

小型 파킷트 交換시스템의 構成에 關한 研究 (A Study on the Implementation of a Small Scale Packet Switching System)

金泰根*, 李在律**, 鄭光洙***, 白濟寅****, 金在均*****

(Tae Geun Kim, Jae Yul Lee, Kwang Sue Chung, Je In Baek
and Jae Kyoon Kim)

要 約

CCITT의 X.25 規定에 의거한 小型파킷트 交換 시스템이 研究 設計되었다. 各 交換端局은 한 개의 마이크로컴퓨터에 의해서 加入者 接續制御로부터 交換回線 設定 및 링크制御의 기능을 수행하도록 되어 있다.

各 階層에 대한 基本的인 制御節次가 設計 構成되었으며, 그 實驗結果가 검토되었다.

Abstract

A small-scale packet switching system is designed in compliance with the CCITT Recommendation X.25. Each switching node is controlled by a single microcomputer for all functions including terminal access control, packet-level control and link control.

Basic protocol functions are successfully implemented for the three basic hierarchical levels, and their results are discussed in detail.

I. 序 論

데이터 통신의 대부분은 컴퓨터 통신이며, 컴퓨터 통신의 대부분은 對話形 通信(interactive communica-

tion)이라 할 수 있다. 對話形 通信의 情報傳達은 單 時間에 집중되는(short burst) 특징이 있으므로 이들을 적절한 크기의 묶음, 즉 파킷트(packet)로 나누어서 전송하는 파킷트 傳送 및 交換方式이 컴퓨터 통신에 매우 적합하다는 것이 잘 알려져 있다.^{1, 2)}

그리고 파킷트 通信網이 점차로 一般化되면서 국제적인 標準化 作業이 국제표준기구(ISO)³⁾와 국제전신전화자문위원회(CCITT)⁴⁾를 중심으로 진행되고 있다. 특히 CCITT의 X.25는 公衆用 파킷트 通信網(communication sub-network)의 制御節次를 명시한 주요 지침이다. 이것은 加入者(DTE=data terminal equipment)와 통신망이 接續端(DCE=data circuit-terminating equipment)과의 接續 및 制御節次를 명시한 것이다.

본 논문에서는 이 X.25를 바탕으로 해서 마이크로

*準會員, 韓國電氣通信公社
(Korea Telecommunication Authority)

**準會員, 三星半導體通信(株)
(Samsung Semiconductor & Telecom. Co. Ltd.)

***準會員, 韓國電氣通信研究所(KETRI)

****正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Electrical Science, KAIST)

接受日字: 1983年 7月 1日

(※本 研究는 三星半導體通信(株)의 研究費 支援에
依해서 遂行되었음.)

컴퓨터를 이용한 한 小型 파킷트 交換網의 構成방법이 연구되었다. 교환망은 세계의 交換端局으로 構成되었으며, 각 交換端局은 한 개의 마이크로컴퓨터로서 통제되고 있다. 各 端局(node)은 非파킷트型 加入者 터미날을 접속하기 위한 PAD(packet assembly and disassembly) 기능, 파킷트를 전달하기 위한 假想回線(virtual circuit)의 設定, 傳送 誤差에 對備한 데이터 링크제御 등의 기능을 제한된 컴퓨터 동작 시간내에 수행해야 한다. 그러므로 加入者 터미날의 數는 제한되었으나, 自局內的 교환 기능과 遠距離의 호스트 컴퓨터와의 접속기능은 가능하도록 하였다.

本文은 설계된 교환 시스템의 構成 概要, 加入者 接續을 위한 PAD, 파킷트제御, 링크제御 및 實驗檢討의 順序로 記述되었다.

II. 交換 시스템의 構成 概要

本 交換 시스템은 그림 1과 같이 3個의 獨立된 交換局(switching node)과 이들을 연결하는 高速 데이터 링크, 그리고 加入者 터미날과 호스트컴퓨터(host computer)로 構成되었다. [8, 9, 10]

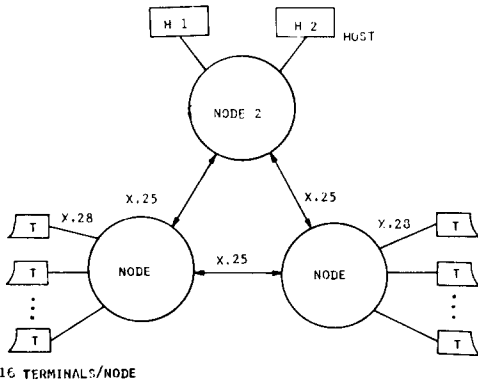


그림1. 交換 시스템의 基本 구조
Fig. 1. Switching system structure.

交換局은 X.25에 依據한 假想回線 方式으로서 自局內的 교환과 他局間的 교환이 可能하도록 構成되었다. 非파킷트型 데이터 터미날 機器(DTE)인 既存 터미날과 컴퓨터를 이 파킷트 交換網에 連結하기 위한 制御 節次는 X.28, X.29에 根據을 두었다. 그러나 이들 CCITT 勸告事項中에서도 파킷트 교환을 위한 基本的 技能만이 構成되었으며 緊要하지 않거나 그 구조가 복잡 部分들은 除外되었다. 各 交換局에는 데이터 速度가 600~2400bps인 非同期式 터미날을 16個까지 연결할 수 있다. 交換局間的 데이터 링크는 9600bps의

4線式 回線으로 하였다.

各 交換局은 모두 同一한 構造形態를 이루며 그림 2와 같이 한 개의 마이크로프로세서의 制御를 通해 터미날 제어 및 PAD기능, 파킷트 레벨과 링크 레벨 기능을 遂行하도록 構成되었다. 各 階層別 制御裝置間的 정보교환은 待機用 버퍼(queueing buffer)를 通하게 함으로써 階層사이의 相關關係를 최소화하고 파킷트의 順次的 處理가 容易하도록 하였다.

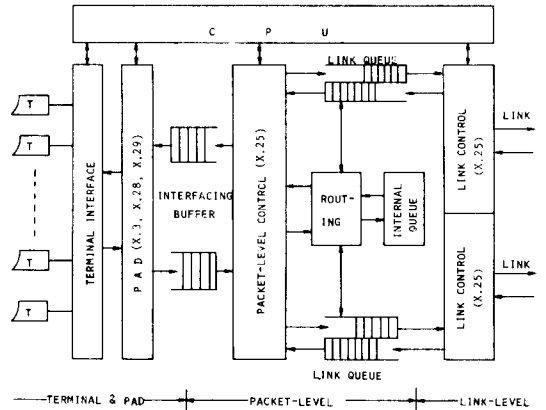


그림2. 교환국의 구조
Fig. 2. Block-diagram of a switching node.

加入者 터미날로부터 들어온 非同期式 데이터는 PAD에 依해서 適切한 크기의 데이터 파킷트로 묶여진 다음에 파킷트 제어장치로 넘겨진다. 파킷트 제어

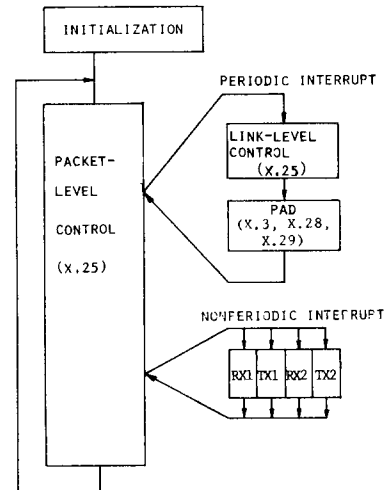


그림3. 시스템 프로그램의 구조
Fig. 3. System program structure.

장치에서는 X. 25의 假想回線 設定方式에 따른 接續節次를 遂行한다. 파킷트 제어장치에 의해서 形成된 制御 파킷트(control packet)나 데이터 파킷트는 自局內的 通화를 위해서는 内部 待機버퍼(internal queue)에 보관되며 他局 가입자와의 交信을 위해서는 링크 待機 버퍼(link queue)에 넘겨진다. 링크 待機 버퍼의 파킷트는 링크 制御裝置에 의해서 高速 링크를 거쳐 相對 교환국의 링크 制御裝置로 傳達된다.

交換局的 모든 技能은 한 개의 마이크로프로세서에 依해서 遂行되므로 効率的인 時間 分配를 위해서 인터럽트(interrupt) 방식이 使用되었다. 시스템 프로그램은 그림 3 과 같이 平常時에는 파킷트 제어기능을 遂行하며, 週期的으로 링크제어와 PAD 서어비스를 遂行하도록 되어 있다. 그리고 非週期的인 인터럽트에 依해서 링크로 送受信되는 데이터 프레임의 誤謬 點檢을 遂行하고 있다.

III. PAD(Packet Assembly and Disassembly)

加入者 斷末裝置가 직접 接續되는 部分인 PAD는 터미날로부터의 데이터와 파킷트 形態의 데이터사이의 信號變換, 터미날과의 접속에 따른 프로토콜 交換 및 呼 處理 技能을 遂行한다. 그리고 特性이 서로 다른 여러 종류의 터미날에 대해서 共通의 處理方式을 適用하기 위해서 X. 3에서 規定하는 터미날 파라미터를 記憶, 變更할 수 있는 기능도 가지고 있다.^{15, 9)}

PAD의 構造는 그림 4 와 같이 터미날 接續 하드웨어와 X. 3, X. 28, X. 29의 터미날 프로토콜을 위한 프로그램으로 구성되었다.

터미날 接續 하드웨어에는 每 터미날에 대해 하나의 UART(universal asynchronous receiver/transmitter)가 사용되어 S/P(serial/parallel) 變換뿐만 아니라 프로그램의 제어에 의한 傳送速度의 變換이 가

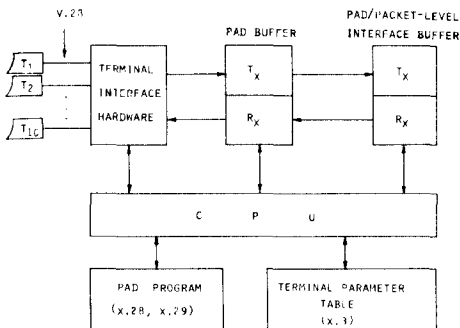


그림 4. PAD의 구조

Fig. 4. PAD structure.

능하다. PAD 버퍼는 파킷트 제어장치와 터미날의 데이터 處理 速度의 差異를 補償하기 위한 것으로서 각 터미날에 일정하게 配分되어 있다. 여기서 송신용 버퍼는 단순한 터미날의 個別編輯(local editing) 用으로도 사용될 수 있다. PAD 버퍼에서 編輯된 데이터 파킷트는 PAD의 제어신호와 함께 PAD/파킷트 레벨 접속 버퍼를 通過 파킷트 제어장치로 傳達된다.

터미날 제어를 위해 X. 3에서 規定된 파라미터의 種類는 모두 18가지가 있으나 本 시스템에서는 표 1 에서와 같이 一部分만 具現되었다.

표 1. 본 시스템에서 구현된 터미날 파라미터 Table 1. Implemented terminal parameters.

파라미터	기능
P 1	PAD recall using a character
P 2	Echo
P 3	Selection of data forwarding signals
P 4	Selection of idle timer delay
P 6	Control of PAD service signals
P 10	Line folding
P 11	Binary speed of start-stop mode DTE
P 13	LF insertion after CR
P 15	Editing
P 16	Character delete
P 17	Line delete

PAD 프로그램은 그림 3 에 나타난 바와같이 週期的으로 動作하며 여러 터미날에 對해 順次的인 서어비스를 제공한다. 하나의 터미날에 대한 PAD의 運行은 터미날-PAD사이에 定義되는 接續狀態의 變換方法에

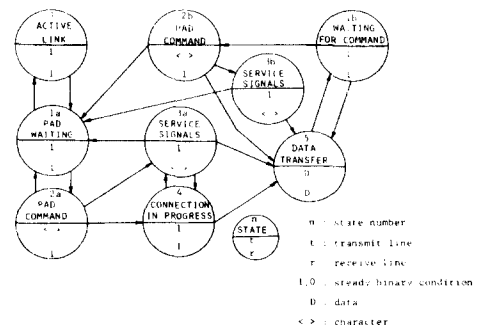


그림 5. PAD 접속상태의 변환도

Fig. 5. PAD state-transition diagram.

바탕을 두고 있다⁴⁾. 接續狀態와 이들 사이의 變換關係가 그림 5에, 그리고 接續狀態의 技能이 표 2에 나타나 있다.

표 2. PAD 접속상태의 기능

Table 2. Functions of PAD states.

상태번호	상태명	기능
0	Active link	터미널과 PAD 사이의 전기적 링크 형성
1a, 1b	PAD waiting	터미널 파라미터 결정완료, 터미널의 command 기다림
2a, 2b	PAD command	터미널의 command 저장
3a, 3b	Service signal	Command 수행
4	Connection-in-progress	상대 PAD까지의 end-to-end 통화로 형성
5	Data transfer	상대 터미널과의 데이터 송수신

여기서 PAD待機, PAD커맨드, 서어비스 신호상태가 각각 두 가지씩 區別된 理由는 데이터 전송을 위한 假想回線이 設定되기 以前과 以後의 터미널 許容 콤맨드가 서로 다르기 때문이다. 그림에서 알 수 있듯이 狀態 變換 經路 1a-2a-3a나 1b-2b-3b-5의 사이클을 通해서 터미널 파라미터의 內容을 變更改할 수가 있으며 특히 後者의 경우는 데이터 送受信 狀態에서 상대방의 파라미터를 읽거나 變更改할 수가 있다.

IV. 파킷트 制御 裝置

파킷트의 交換 業務를 위한 파킷트 제어장치의 主要 기능에는 데이터나 제어 파킷트의 形成, 呼 節次에 따른 假想回線의 設定과 維持 및 復舊, 그리고 通話量 調節 등이 있다^{1) 6, 8)}.

全般的 구성 과정에서 교환국사이의 전송 파킷트가 X.25에 符合되게 하는데 重點을 두었다. 그러나, 根本적으로 교환국사이의 관계와 X.25의 DTE-DCE 관계가 완벽하게 對應되는 것은 아니므로 部分的으로는 X.75를 참조하였다. 한 例로서 呼 處理時의 假想回線 割當 順序는 X.25와는 달리 論理的 回線(LC; logical channel)의 番号가 작은 쪽에서 부터 시작되며 同 - 回線에서 呼가 충돌되는 경우에는 양쪽 回線을 모두 復舊하도록 하였다. 이 밖에 X.25의 파킷트는 一般的인 狀況을 考慮하여 다양한 기능의 添加가 容易하도록 設定되어 있으나 本 장치에서는 표 3과 같이 限定된 부분만 具現되었다.

표 3. X.25 레벨-3의 구현 상태

Table 3. Implemented X.25 level 3.

항목	내용	구현 여부
General field identifier	D bit	Data packet에서 사용
	Q bit	PAD간의통신용으로 사용
	Modulo	8
Packet type	Call reg./accepted	0
	Clear reg./confirm.	0
	Data	0
	Interrupt	X
	RR	0
	RNR	X
	REJ	X
	Reset reg./confirm.	0
	Restart reg./confirm.	0
	Diagnostic	X
Cause field		일부
Diagnostic code		X
User facility		X
Datagram		X

본 장치는 取扱 對象이 파킷트 單位의 데이터 또는 제어 신호이며 교환국內에서의 情報處理에 限定되므로 프로그램만으로 구성되었다. 프로그램의 수행과정은 그림 6과 같이 PAD 파킷트와 링크 파킷트의 처리를 反復하게 되어 있다.

初期 準備 프로그램은 파킷트 제어장치가 交換 業務를 履行하기 위해 필요로 하는 여러가지 準備 過程을 수행하는 것으로서 隣接 裝置와의 待機 버퍼 및 터미널 情報 테이블, 論理的 回線 情報 테이블의 정리를

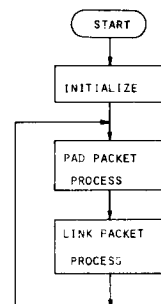


그림 6. 파킷트 제어 프로그램

Fig. 6. Packet-level program.

포함한다. 터미날 情報에는 전송 링크와 論理的 回線 番号등의 通信回線을 지정하는 정보와 파킷트 레벨에서의 터미날 狀態 情報, 그리고 送受信 확인을 위한 파킷트 順次番号(sequence number) 등이 있다. 論理的 回線 情報 테이블에는 교환 상태를 나타내기 위해 各 論理的 回線에 접속되어 있는 터미날 番地數가 記憶된다

PAD 파킷트 處理 프로그램은 PAD로 부터의 接續 信號와 그와 關聯된 데이터를 받은 후, 이것을 X. 25의 파킷트 형태로 만들어 링크 제어장치나 自体 교환 메모리에 전달하며 이것의 系通圖는 그림 7 과 같다.

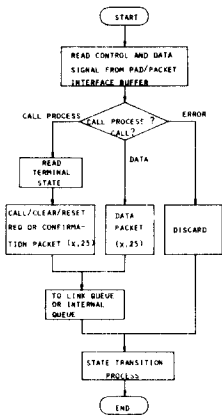


그림7. PAD 파킷트 처리 프로그램

Fig. 7. PAD packet process program.

PAD로 부터 받은 데이터는 먼저 呼 制御 節次를 위한 신호인지 전송을 위한 데이터인지 判別된다. 前者인 경우에는 다시 파킷트 레벨에 대한 터미날의 狀態를 확인하여 適切한 制御 파킷트를, 後者인 경우에는 파킷트 順次 番号를 덧붙여 데이터 파킷트를 만든다. 제어 파킷트에는 呼出, 復舊, 리셋 등 各에 대한 要請 및 確認 파킷트와 受信 可能 狀態를 알리는 파킷트가 있다. 파킷트 레벨에 대한 터미날 狀態란 터미날과 파킷트 제어장치사이에서 定義되는 呼 接續 過程을 나타내는 것으로서 X.25에서의 파킷트 레벨 DTE/DCE 接續狀態에 對應된다. 本 裝置에서의 狀態 變換 關係는 呼 衝突(call collision) 狀態의 처리를 제외하고는 X. 25의 表現方式과 一致되도록 構成되었다.

시스템의 非正常的 動作으로 인하여 許容되지 않은 入力 信號가 수신되면 무시하던가, 安全을 考慮하여 回線을 復舊하도록 하였다. 本 프로그램에 의해 形成된 파킷트가 設定된 通話路에 따라 링크 待機 버퍼나 自体 交換 메모리에 옮겨진 다음, 마지막으로 터미날의 狀態變換 處理가 遂行된다.

링크 파킷트 處理 프로그램은 PAD 파킷트 처리의 反對 過程을 擔當하는 것으로서 그 遂行 過程도 그림 7과 類似하다. 즉, 링크 待機 버퍼나 自体 교환 메모리에서 읽은 파킷트로 부터 파킷트의 종류와 受信 터미날을 확인한 후 定해진 節次에 따라 回線을 제어하거나 수신 데이터를 PAD로 넘겨주며 터미날의 狀態變換 處理를 遂行한다.

本 裝置에 關聯된 制御變數들로서 送受信 順次番号는 모듈로(modulo) - 8이며 交換局사이에서 한번에 受信應答할 수 있는 데이터 파킷트의 最大 갯수(window size)는 2개로 하였다. 通話路 制御 信號 送出에 대해 受信側으로 부터 應答이 오지 않을 경우에 대한 時間 測定 技能은 구성되지 않았다. 데이터 파킷트 送受信 狀態에서 파킷트들 사이의 關聯性을 나타내는 M비트는 0으로 固定하였다.

V. 링크 制御 裝置

링크 제어 장치는 交換局間의 파킷트 전송 과정에서, 데이터 파킷트의 順序維持와 誤謬復舊 기능등을 수행한다.^{17,10)} 本 장치는 X.25의 링크 제어 절차인 平衡 링크 接續 節次(LAPB; balanced link access procedure)를 遂行하는 소프트웨어와 링크를 통한 데이터 송수신 하드웨어로 구성되었다.

링크의 제어 방법은 相對 交換局間에 링크 제어용 프레임(frame)을 서로 교환하므로써 이루어진다. 本 시스템에서 具現된 링크 제어용 프레임은 X.25 LAPB의 推薦事項인 8가지를 모두 포함하고 있다.

프레임의 제어 필드(control field)에 있는 P/F(poll/final) 비트는 SABM, DISC 프레임의 送受信 確認을 위해 사용되었다. 그밖의 링크 제어를 위한 變數들로서 送受信 프레임의 順次番号는 모듈로-8로 하였으며 再送信 遲延時間(T1) 값은 250msec, 再送信 回數(N2)는 3, 受信 應答信號가 수신되기 전에 보낼 수 있는 최대 프레임 數(k)는 7로 設定하였다. 그리고 프레임당 傳送될 수 있는 최대 데이터 量(N1)은 1,072비트로 하여 128바이트(byte)의 메세지가 전달될 수 있다.

하드웨어는 加及的 프로그램의 부담과 傳送 遲延時間을 줄이기 위해 그림 8과 같이 DMAC(direct memory access controller)와 HDLC 프로토콜 콘터롤러, CTC(programmable counter/timer circuit)등의 LSI로 구성되었다.

링크 待機 버퍼는 通話調節을 위해 두 링크의 送受信 各各에 대하여 8개의 파킷트를 貯藏할 수 있도록 4 Kbyte의 메모리로 構成되었다. 이 버퍼는 앞에서 밝

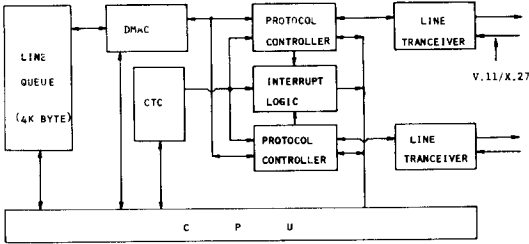


그림8. 링크 제어 하드웨어
Fig. 8. Link-level hardware.

힌 바와 같이 파킷트 제어장치와의 接續 버퍼로도 이용되는 效果를 갖고 있다. 파킷트 제어장치에 의해 링크 대기 버퍼에 넣어진 파킷트 데이터는 DMAC에 의해 프로토콜 콘트롤러를 통하여 9.6Kbps의 링크로 전송된다. 링크 線路上의 電氣的 信號 特性은 V. 11 / X. 27 (EIA RS-422-A)의 接續 規格에 따르도록 하였다. 受信 過程에서도 프로그램의 命命을 받은 DMAC의 제어에 따라 링크의 데이터가 링크 대기 버퍼에 記錄된다.

프로토콜 콘트롤러는 프레임의 送受信 過程에서 플래그(flag), FCS(frame check sequence)의 發生 및 檢出을 수행한다. 하나의 프레임에 대한 처리가 完了되면 인터럽트 論理回路에 의해 그 結果를 CPU에 傳達하게 하므로서 프로그램의 負擔을 輕減시킨다. CTC는 링크에서의 전송속도를 維持시키는 同期信號를 발생시킬 뿐만 아니라 交換局 全体 시스템의 週期的 運轉을 위해 4msec의 實時刻 인터럽트 信號를 供給하고 있다.

링크 제어 프로그램은 링크의 帶域幅을 最大로 活用하기 위해 프로토콜 수행 프로그램과, 緊急 處理가 要求되는 부분에 대한 인터럽트 처리 프로그램으로 區分하여 구성되었다. 프로토콜 수행 프로그램은 PAD 프로그램과 같이 4msec의 適期로 反復 運行하면서 相對 링크 제어장치와 送受信을 위한 프로토콜 業務를 수행하지만 인터럽트 처리 프로그램은 DMAC에 의한 프레임 送受信이 完了되는 즉시 그 結果를 처리하여 다음 프레임의 송수신에 對備하도록 한다.

그림 9는 프로토콜 수행 프로그램의 系通圖이다. 이것은 링크 대기 버퍼에 있는 파킷트의 送信業務와, 受信된 프레임 중에서 데이터 파킷트 부분을 링크 대기 버퍼에 기록하는 受信業務를 反復한다. 이 過程에는 링크 접속상태의 變換業務와 그에 따른 링크 제어 프레임의 送受信, 그리고 프레임의 送受信 確認過程 및 하드웨어에 대한 送信 命命 등이 隨伴된다. 링크 接續 상태는 표 4와 같이 自身 側을 DCE, 相對 交換局 側

을 DTE로 간주하여 定義되었으며 링크의 設定 및 復舊, 그리고 데이터 送受信 狀態로 區分되었고, 이 중의 데이터 送受信 狀態는 通話 調節 技能을 爲해 다시 細分되었다. 이들 사이의 狀態 變換 系通圖는 그림10에 나타나 있다.

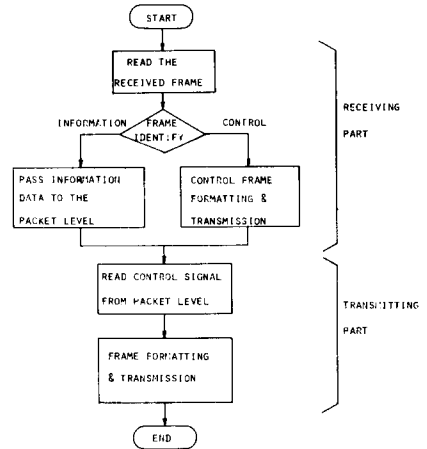


그림9. 프로토콜 수행 프로그램
Fig. 9. Protocol process program.

표 4. 링크 접속상태
Table 4. States of the link access procedures.

상태 기호	상태 내용
F 1	Link level ready
F 1	DTE link set-up request
F 3	DCE link set-up request
F 4	Data transfer
I 1	Flow ready
D 1	Normal data transfer
D 2	DTE busy
D 3	DCE busy
D 4	Both busy
I 2	DTE reset request
I 3	DCE reset request
F 5	DTE link disconnect request
F 6	DCE link disconnect request

인터럽트 처리 프로그램에는 두 개의 링크 各各에 대하여 送受信을 구분하여 전부 4 가지 部分 프로그램이 있으나 모두 그림11과 같은 方式으로 動作한다. 먼저 프로토콜 콘트롤러로부터 송(수)신 결과를 점

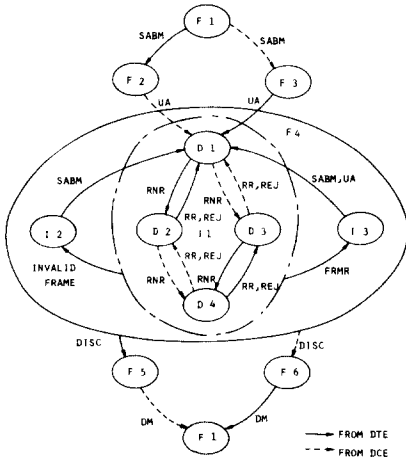


그림 10. 링크 접속 상태의 변환도

Fig. 10. State transition diagram of the link access procedures.

검한 다음 잘못된 결과에 대해서는 再送(受)信 命令을 내리며 正常的인 경우에는 이것을 링크대기 버퍼에 기록하여 次後에 프로토콜 수행 프로그램으로 하여금 處理를 完了하도록 한다.

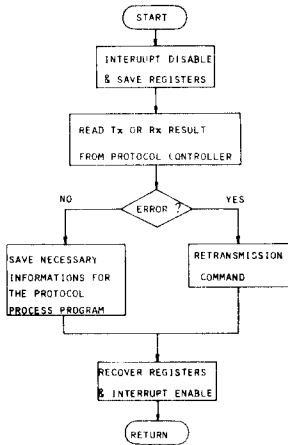


그림 11. 인터럽트 처리 프로그램

Fig. 11. Interrupt process program.

VI. 實驗結果

앞에서 설명된 各 階層에 따른 制御裝置는 하나의 마이크로컴퓨터 시스템에서 그림12와 같은 接續方式으로 統一 構成되었고 구성된 세계의 교환국은 실험실 내에서 링크를 통해 연결되어졌다. 그림에서 送受信 파킷 數는 링크 待機 버퍼에서 파킷 제어장치나 링크 제어장치의 서어비스를 기다리는 파킷의 갯

수를 가리킨다. PAD와 파킷 제어장치 사이에서 터미널 番地數가 교환되는 理由는 각 터미널이 PAD의 서어비스를 받음으로써 個別的 番地數를 갖는 독립된 DTE로 看做되기 때문이다.

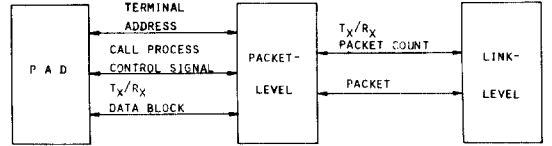


그림 12. 제어장치의 접속 형태

Fig. 12. Integration of a switching node.

構成된 각 교환국은 하나의 마이크로프로세서에 의해 동작하며 교환국 소프트웨어는 프로세서의 能率向上을 위해 機械式 言語(machine language)로 프로그램되었다. 구성된 각 제어장치의 프로그램과 使用 메모리 容量은 표 5에 나타나 있다.

표 5. 프로그램 및 메모리 용량(Kbyte)

Table 5. Sizes of the program and the memory.

제어 장치	프로그램크기	RAM(버퍼용)	ROM (변수값 기억용)
초기프로그램	1	X	X
PAD	6	4	1.5
파킷 제어	6	6	X
링크 제어	2.5	4	X

두개의 교환국에는 각각 4개의 터미널을, 그리고 나머지 한 교환국에는 두대의 마이크로컴퓨터를 연결한 후 이들 사이의 呼 接續을 통해서 한 交換局當 8개까지의 通話路가 동시에 사용될 수 있음을 確認하였다.

여러 傳送速度에서 터미널사이의 데이터 교환은 誤差가 없이 安全하게 이루어졌으나 마이크로컴퓨터와 연결되었을 때에는 通話量 調節이 不完全하여 데이터 일부를 잃어버리는 現狀이 發見되었다. 그 理由는 송신 컴퓨터가 受信 不可能 信號에 즉시 對應하지 못하고 一定 時間동안 송신을 계속하기 때문인 것으로, 이것은 컴퓨터가 접속된 PAD에 餘分의 受信 버퍼를 設置하면 解決될 것이다.

本 시스템의 性能 및 交換 品質을 확인하기 위해 각 제어장치의 서어비스 遲延時間의 最小值가 測定되었다. 여기서 最小값이라는 것은 交換 시스템의 正常 運行

狀態에서 測定 實驗以外的 通話 및 링크에서의 傳送 誤着는 發生되지 않았을 때를 意味한다. 그림13은 PAD의 서어비스 時間 測定裝置를 나타낸 것이다. 터미날 代身에 마이크로컴퓨터를 연결하여 데이터를 反復해서 入力시키고 PAD의 서어비스 狀態를 1과 0으로 나타내도록 하여 오실로스코우프를 통해 脈幅을 測定하였다. 터미날의 接續 狀態에 따라 서어비스 시간이 多少 다르지만 平均적으로 0.3msec가 所要되었다. 여기서 PAD의 서어비스 週기가 4 msec인 점과 다른 제어 장치의 서어비스 시간을 감안하면 同時處理가 可能的 터미날 수는 8개 程度임을 알 수 있다.

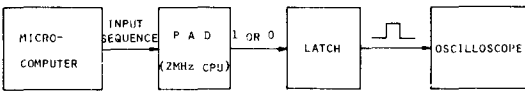


그림13. PAD 서어비스 시간 측정 장치
Fig. 13. Measurement set of the PAD service time.

그림14는 局間 交換과 自体 交換 各各에 대하여 파켓트 제어장치와 링크 제어장치에 의한 通話路 設定 遲延時間을 링크의 傳送速度를 變化시키면서 測定한 것이다. 局間 交換과 自体 交換의 遲延時間 差異는 링크 제어장치만의 서어비스 시간을 나타내며 이것은 링크 전송속도가 높아지면 一定하게 되는 것을 볼 수 있다. 自体 交換에서의 遲延時間은 呼 接續 파켓트가 内部 待機 버퍼를 經由하므로 링크 전송속도와는 無關하다.

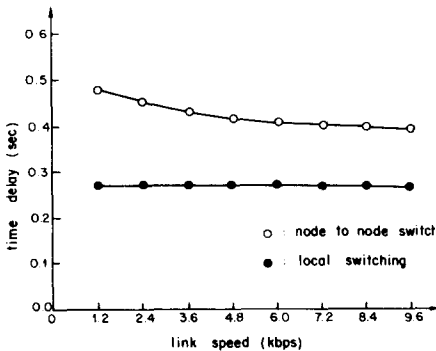


그림14. 통화로 설정 지연시간
Fig. 14. Call connection delay.

그림15는 파켓트 제어장치에서 데이터 파켓트의 形成 및 解体에 所要되는 시간을 나타낸 것으로서 데이터의 길이에 따라 시간이 증가되는 것은 待機 버퍼들 사이의 데이터 移動 過程에 따른 現狀이다.

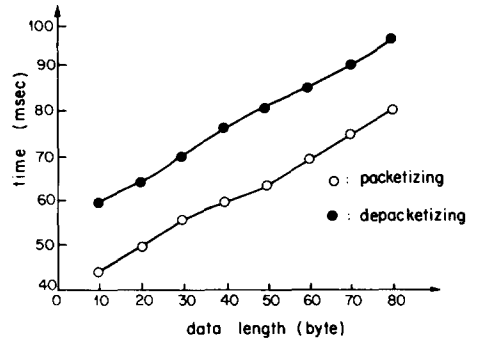


그림15. 파켓트의 형성 및 해체 시간
Fig. 15. Packetizing and depacketizing delay.

그림16의 링크 제어장치의 遲延 時間은 送信 링크와 受信 링크를 직접 연결한 軌還(feedback) 모델에서 여러가지의 링크 전송속도에 따라 데이터 파켓트의 傳送時間으로 測定된 것이다. 파켓트가 긴 경우에는 遲延時間이 링크 속도에 反比例하지만 링크 속도가 더욱 증가되면 속도에 상관없는 一定한 값으로 收斂하는 것을 볼 수 있다.

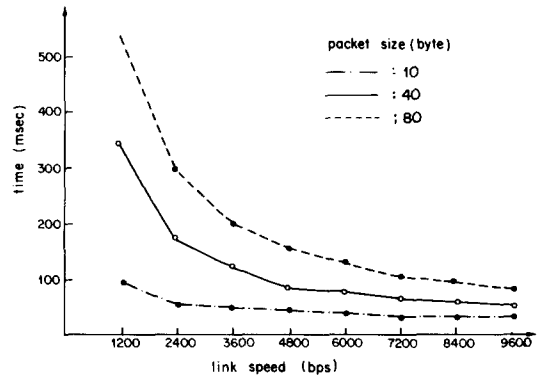


그림16. 파켓트의 링크 전송시간
Fig. 16. Packet transmission delay.

Ⅶ. 結 論

데이터 및 컴퓨터 通信을 위하여 세계의 交換局으로 구성된 小型 파켓트 교환 시스템이 設計 構成되었다. 교환을 위한 基本的인 技能인 PAD, 링크 및 파켓트 制御裝置가 한개의 마이크로프로세서로써 具現되었다. 制限된 기능의 具現으로 인하여 호스트 컴퓨터의 接續이 圓滑하지 않았으나 대체적으로 安定된 데이터 교환이 이루어지는 것을 확인하였다.

本 研究를 통하여 DTE와 DCE 間의 制御節次인 X.

25가 交換端局사이의 프로토콜로도 利用될 수 있음이 確認되었으며, 常用 高密度 集積素子와 마이크로프로세서를 이용한 저렴한 價格의 파킷트 교환 시스템의 能率的 構成 方案이 提示되었다

構成된 교환국은 일반적인 컴퓨터 通信網의 FEP (front end processor)나 LAN(local area network)에도 應用될 수 있으며 그 自体가 하나의 DTE로서 X.25 파킷트 交換網에 직접 接續될 수 있을 것이다.

앞으로 全体 交換 시스템의 性能과 雜音이 있는 링크에서의 프로토콜의 安全度 測定이 계속 수행되어야 할 것이다. 多樣한 서어비스 기능의 補完과 交換容量의 擴張을 위해 多重 프로세서를 이용하는 방법과 라우팅 알고리즘의 適用, 교환국의 메세지 貯藏技能의 追加設置 等도 중요한 研究 課題이다.

參 考 文 獻

[1] IEEE, "Special issue on packet communication networks," *Proc. IEEE*, vol. 66, no.11, Nov. 1978.
 [2] IEEE, "Special issue on computer network architectures and protocols," *IEEE Trans. on Comm.*, vol. COM. 28, no. 4, April

1980.
 [3] H. Zimmermann, "OSI reference model-the ISO model of architecture for open systems interconnection", *Ibid.*, pp. 425-432, April 1980.
 [4] CCITT, *CCITT Recommendations Yellow Book*. vol. VIII, 1981.
 [5] J.D. Day, "Terminal protocols", *IEEE Trans. on Comm.*, vol. COM. 28, no. 4, pp. 585-593, April 1980.
 [6] A. Rybczynski, "X.25 interface and end-to-end virtual circuit service characteristics", *Ibid.*, pp. 500-510, April 1980.
 [7] D.E. Carlson, "Bit-oriented data link control procedures", *Ibid.*, pp. 455-467, April 1980.
 [8] 金泰根, "小型 파킷트 交換網의 파킷트 制御에 關한 研究", 韓國科學技術院, 碩士學位論文, 1982.
 [9] 李在律, "小型 파킷트 交換網의 터미날 制御에 關한 研究", 韓國科學技術院, 碩士學位論文, 1982.
 [10] 鄭光洙, "小型 파킷트 交換網의 링크 制御에 關한 研究", 韓國科學技術院, 碩士學位論文, 1982.