

## SUPREM을 이용한 프로세스 설계

金興津\*, 崔成鉉\*\*

金星半導體(株) 研究所 研究員\*,  
責任研究員\*\*

### I. 서 론

반도체 소자의 설계 개발을 위해서는 단계적으로 여러 형태의 CAD 소프트웨어를 필요로 하는데, 그 가장 첫 단계에서 공정 설계용 모의실험(simulation) 소프트웨어가 사용되며 가장 대표적인 것이 SUPREM (stanford university process engineering models) 이라 하겠다.

반도체 제조공정은 계속적으로 평면 및 단면 구조에 있어 축소지향적으로 발전되어 오고 있으며, 또한 경제성을 높이기 위해 최적화된 설계를 추구하고 있다.

이러한 설계를 모의실험을 통해 수행하는 것은 개발 기간의 단축, 오류의 극소화 및 비유결감등의 측면에서 매우 바람직하나, 그러한 모의실험이 얼마나 사실에 가까운가하는 문제는 그 소프트웨어의 효용성을 결정하는 가장 중요한 요소의 하나가 된다.

SUPREM은 반도체 제조공정에 있어 가장 기본적인 공정을 이루고 있는 이온주입(ion implantation), 확산, 산화막 성장, 성층성장 및 식각 공정등을 2차 효과(2nd order effect)까지 감안하여 컴퓨터 소프트웨어로 실현시킨 것이며, 소프트웨어 사용자가 EDPS에 관한 구체적 지식이 없이도 사용할 수 있도록 구성하였고, 모의실험 결과에 의해 sheet resistance 및 threshold voltage등도 자동적으로 산출케하여 회로 설계자의 편의를 도모케 하고 있다.

### II. SUPREM의 처리 능력

SUPREM은 1차원적인 반도체 제조공정의 모의실험 소프트웨어로서 fortran으로 프로그래밍되어 있으며, 실리콘내에서의 불순물 분포와 실리콘 산화막의 두께등을 정량적으로 산출해 내는 것을 기본적인 기능으로 하고 있다.

즉 SUPREM은 입력으로 주어지는 각 공정단계(pro-

cess steps)에 따라 실리콘 혹은 실리콘 산화막내에 존재하는 모든 확산 불순물의 깊이에 따른 1차원적인 분포를 출력으로 제시할 수 있으며, 구체적으로 다음 사항들을 처리할 수 있다.

- Si 혹은 SiO<sub>2</sub>내에서의 개별적 혹은 전체적인 불순물 분포
- 산화막의 성장 두께
- 이온주입 혹은 확산된 층의 접합 깊이
- 이온주입된 불순물의 range, 표준편차 및 농도
- 단위 면적당의 산화막 용량과 접합 용량
- 각 불순물 확산층의 sheet resistance
- MOS 트랜지스터의 threshold voltage

### III. 프로세스 모델

#### 1. 이온주입(Ion Implantation) 모델

이온주입 공정에 의해 실리콘내에 분포하는 불순물은 그 불순물의 종류에 따라 다른 양상을 나타낸다.

#### 1) 비소(As), 인(P) 모델

위 불순물들은 그림 1과 같이, 최대농도를 중심으로 서로 다른 분포편차  $\sigma_1$  및  $\sigma_2$ 를 갖는 Half-Gaussian 분포에 의해 근사적으로 나타낼 수 있다.

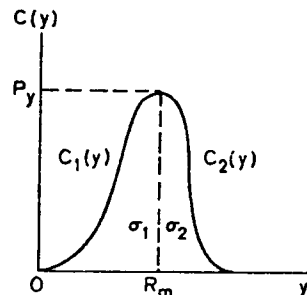


그림 1.

2) 붕소(Boron) 모델

그림 2는 붕소의 이온주입 분포도로서, 표면으로부터 최대농도지점까지는 Pearson IV 분포곡선과 잘 일치하고 있으나 그 이후부터는 주입 에너지에 관계없는 일정한 exponential tail을 관찰할 수 있다. 그림 2와 같은 실험결과에 일치하도록 붕소의 경우 Modified Pearson IV 곡선에 의해 SUPREM은 내부적으로 프로그래밍되어 있다.

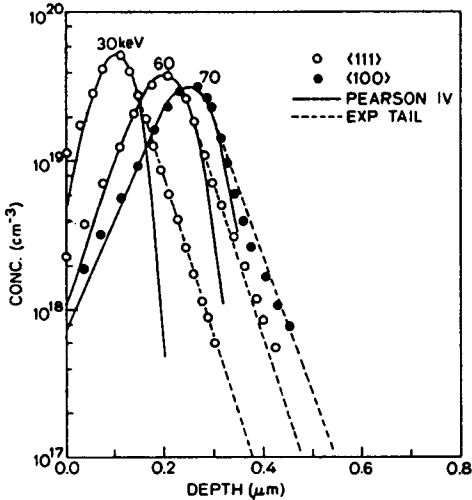


그림 2.

2. 고체상태에서의 확산 모델

고온에서의 확산에 의한 불순물 분포변화는 확산방정식에 근간을 둔 일련의 수식에 의해 기술될 수 있는데, SUPREM에서는 다음과 같이 크게 두 가지로 나누어 모델링하고 있다.

첫째, 확산진행온도에서 불순물 농도가 진성 반송자 농도  $n_i(T)$ 보다 낮은 경우에는

$$\frac{\partial C}{\partial t} = D_1 \frac{\partial^2 C}{\partial y^2} \quad (\text{Fick's 2nd Law})$$

둘째, 불순물 농도가  $n_i(T)$ 보다 높은 경우에는 Si 내부의 charged point defect에 의한 확산계수의 증가효과를 생각하여 위식의  $D_1$  대신

$$D = D_1 (1 + \beta f_v) / (1 + \beta)$$

로 기술하고 있다. 여기서  $\beta$ 는 charged defect의 영향을 나타내는 계수이고  $f_v$ 는 Donor 불순물의 경우  $n/n_p$ , acceptor 불순물의 경우  $n_i/n_a$ 이다.

상술한 방법들은 As 및 B의 확산에 적용되는 모델이며 P의 확산의 경우 Si의 stress에 따른 국지적인 확산계수의 변화등 부차적 효과들이 실제 현상과 일치

하도록 감안되어 있다.

3. 산화막 성장 모델

산화막 성장공정은 잘 알려진 다음 수식을 근간으로 한다.

$$Z_{ox}^2 + AZ_{ox} = B(t + \tau)$$

여기서  $A = P_{O_2} K_p / K_L$ ,  $B = P_{O_2} K_p$ ,

$$\gamma = \frac{Z_{ox}^2(t=0) + AZ_{ox}(t=0)}{B}$$

이며  $K_p$ ,  $K_L$ 은 각각 parabolic 및 linear growth rate 이고  $P_{O_2}$ 는  $O_2$ 의 partial pressure이다.

표면 불순물 농도의 증가에 따라 산화막 성장속도가 가속되는 현상이나, 역으로 산화막 성장에 따라 표면 불순물 농도가 변화하는 제반 현상도 SUPREM에 반영되어 있다.

4. 성층 성장 모델

성층 성장과정에서는 Si 경계표면이 시간의 경과에 따라 변화하는데 이에 따라 평형상태에서의 불순물 농도가 변화하게 된다.

성층 성장 공정의 모델은 그림 3과 같이 2개의 flux  $F_s$  및  $F_b$ 에 의해 표현될 수 있는데  $F_s$ 는 doping 을 위한 불순물의 flux이고  $F_b$ 는 Si 표면이 이동하는 현상에 대한 flux를 나타낸다.

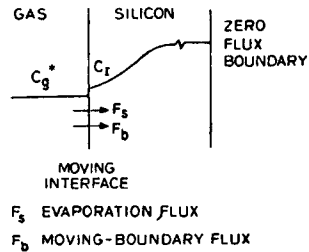


그림 3.

IV. SUPREM의 사용방법

SUPREM은 매우 방대한 source code를 갖는 프로그램이므로 대체로 미니컴퓨터 이상의 대용량 처리능력을 보유한 하드웨어를 필요로 한다.

1. SUPREM의 데이터 입출력

SUPREM이 적절한 하드웨어에 로딩된 경우 공정의 모의실험을 하고자하는 사용자는 규정된 바에 따라 데이터를 입출력시켜야하며 특히 다음에 열거하는 입출력 데이터 포맷은 그 고유의 특정한 규정에 의

## SUPREM 을 이용한 프로세스 설계

해 작성되어야 한다.

### 1) Initialization Card

입력 데이터의 시작과 끝을 나타내거나 모의실험의 정확성에 관계되는 카드들로 TITLE, GRID, SUBS, END 등이 있다.

### 2) I/O Card

입력된 데이터를 저장하고 프로그램의 진행을 관찰하며 출력의 형식등을 결정하는 카드들로서 SAVE, LOAD, PRINT, PLOT 등이 있다.

### 3) Step Card

Ⅲ에서 설명한 프로세스 모델들에 의해 공정을 정의하는 카드들로서

- 이온주입
- 식각
- Low temp oxide deposition
- Oxidation 및 drive-in
- Predeposition
- Epitaxial growth

공정들을 규정하며 모의실험에서 핵심적인 입력이 된다.

### 4) 모델 카드

프로그램 사용자가 프로그램 내부에 내장되어 있는 물성적 상수들의 값을 임의로 바꾸고자 할 때 사용한 다.

## 2. SUPREM 소프트웨어의 구조

Ⅲ에서 설명한 각 공정의 모델들은 그림 4에서 보인

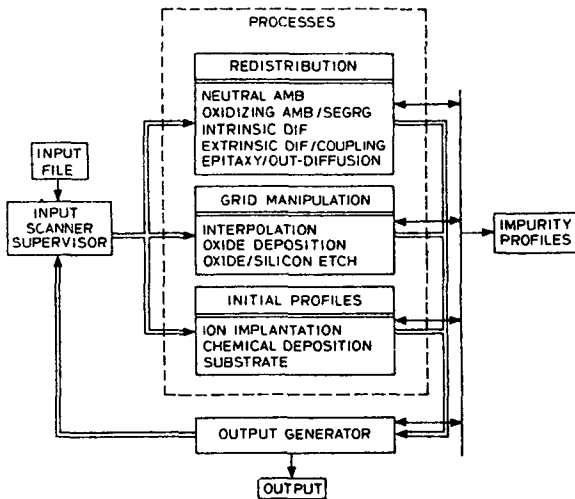


그림 4.

바와 같이 모듈러 서브프로그램들로 구현되어 있으며, 이들은 여러개의 서브루틴과 펀크션으로 구성되어 있다.

사용자의 input data는 여러 단계의 공정들로 구성되어 있으므로 SUPREM내의 supervisor program이 이들 공정들을 서로 연결시키면서 제어하도록 한다.

각 공정마다의 output은 사용자가 규정해 주는 I/O

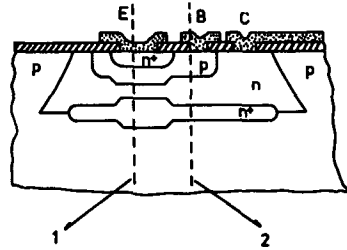


그림 5

\*\*\* STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM \*\*\*  
\*\*\* VERSION 0-02 \*\*\*

```

1...TITLE KITCHIP PROCESS
2...GRID YMAX=5, DPTH=1, DYSI=.01
3...SUBS ELEM=B, CONC=1E15, DRNT=100
4...PRINT HEAD=Y
5...COMM BURIED LAYER
6...STEP TYPE=IMPL, DOSE=1.5E15, AKEV=30, ELEM=AS
7...PLOT TOTL=Y, WIND=4
8...STEP TYPE=OXID, TEMP=1250, TIME=180, MODL=DRYO
9...PLOT TOTL=N
10...STEP TYPE=ETCH, TEMP=25
11...COMM EPITAXY
12...PLOT TOTL=Y, WIND=8
13...STEP TYPE=EPIT, TEMP=1000, TIME=11, GRTE=.5, ELEM=AS, CONC=1E15
14...PLOT TOTL=N
15...COMM ISOLATION
16...STEP TYPE=OXID, TEMP=1100, TIME=60, MODL=DRYO
17...STEP TYPE=OXID, TEMP=1200, TIME=90, MODL=DRYO
18...PLOT TOTL=Y
19...STEP TYPE=ETCH, TEMP=25
20...COMM BASE DIFFUSION
21...PLOT WIND=4
22...STEP TYPE=PDEP, TEMP=950, TIME=30, ELEM=B, CONC=1.2E20
23...PLOT TOTL=N
24...STEP TYPE=OXID, TEMP=1000, TIME=45, MODL=DRYO
25...STEP TYPE=OXID, TEMP=1000, TIME=60, MODL=METO
26...STEP TYPE=OXID, TEMP=1000, TIME=5, MODL=DRYO
27...STEP TYPE=OXID, TEMP=1000, TIME=10, MODL=NITO
28...PLOT TOTL=Y
29...STEP TYPE=ETCH, TEMP=25
30...SAVE FILE=EBNCF, TYPE=B
31...COMM EMITTER DIFFUSION
32...MODEL NAME=MPH2, STCO=0
33...STEP TYPE=PDEP, TEMP=1025, TIME=33, ELEM=P, CONC=1.15E21
34...PLOT TOTL=N
35...STEP TYPE=OXID, TEMP=900, TIME=10, MODL=NITO, MODL=MPH2
36...STEP TYPE=OXID, TEMP=900, TIME=10, MODL=METO
37...SAVE FILE=EBNCL, TYPE=B
38...PLOT TOTL=Y
39...STEP TYPE=OXID, TEMP=900, TIME=10, MODL=NITO
40...END
    
```

그림 6.

카드의 포맷에 따라 line-printer output, line-printer plot, 혹은 high-resolution plot들이 형태로 뽑아볼 수 있다.

3. SUPREM에 의한 모의 실험의 예

SUPREM을 사용하여 모의 실험을 행한 예로서 그림 5와 같은 단면 구조를 갖는 bipolar transistor의

경우를 고찰한다. 이러한 구조를 갖도록 하는 기본적인 공정은 다음 순서와 같다.

- Buried layer 형성
- 성층 성장
- 격리 확산
- 베이스 확산
- 에미터 확산

그림 6은 이 공정 순서에 따라 작성한 전형적인 입력 데이터이며, 이에 의하여 모의 실험을 수행하고 나서 그림 5의 단면 (a) 및 (b)에 따른 불순물농도의 분포도를 얻어 보면 그림 7의 (a) 및 (b)와 같이 된다.

V. 맺음말

SUPREM의 구조 및 사용방법등에 대하여 간략하게 기술하였으나, SUPREM을 사용하고자 하는 사람은 반드시 SUPREM users manual을 읽고 그 규정을 지켜야 한다.

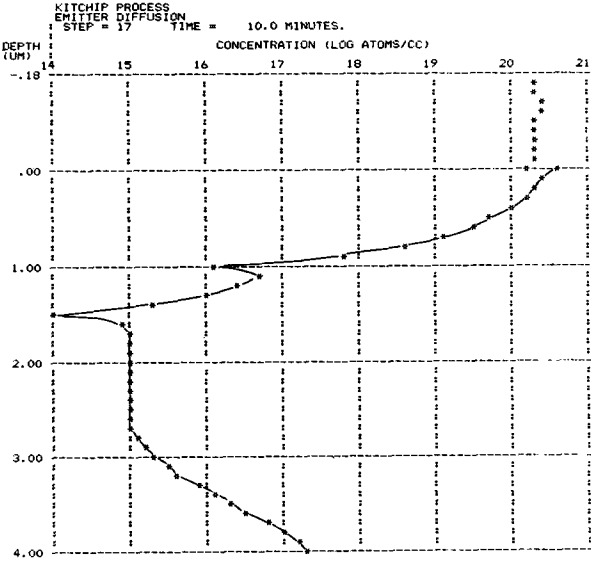
반도체 소자의 고집적화에 따라 보다 미세적인 현상들에 의해 소자의 특성이 결정되므로 모의실험 소프트웨어도 계속적으로 수정 보완되어야 한다.

근래에 들어 우리 나라에서도 이러한 분야에서의 연구 개발이 시작되고 있으나 아직 초기단계에 지나지 않는다. 관련 기술자들의 적극적인 참여와 연구정보교환등이 특히 요구된다 하겠다.

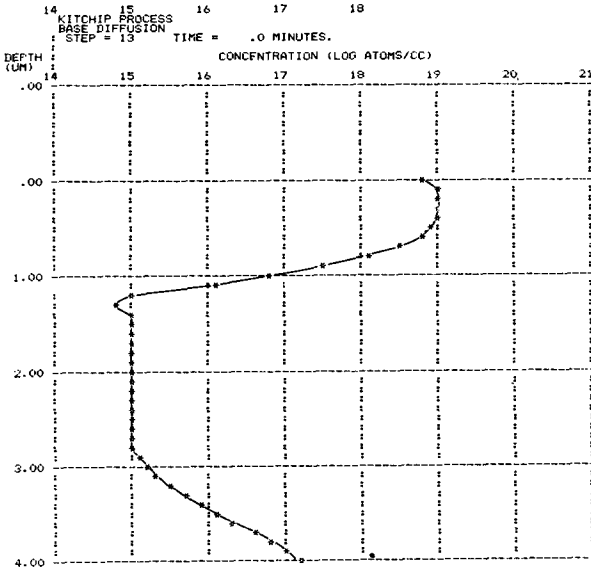
참 고 문 헌

[1] D. A. Antoniadis and R. W. Dutton, "Models for computer simulation of complete IC fabrication process", *IEEE JSSC*, vol. SC-14, no. 2, Apr. 1979.

[2] D. A. Antoniadis, S. E. Hansen, and R. W. Dutton, "SUPREM II-A program for IC process modeling and simulation", Stanford University Technical Report, no. 5019-2, June 1978. \*\*\*



(a)



(b)

그림 7.

◆ 用語 解説 ◆

시이퀀셜 파일(sequential file) 컴퓨터의 시이퀀셜 액세스에 적합하도록 데이터를 어떤 일정 순서로 기록한 파일을 말한다. 일반적으로 標題가 되는 分類項目에 따라 순서로 정렬되어 있다. 예를 들면 賣上데이터 파일의 경우라면 去來先코우드順과 같이 되어 있다.