

실리콘 게이트 n-well CMOS 소자의 제작, 측정 및 평가

(Fabrication, Measurement and Evaluation of Silicon-Gate n-well CMOS Devices)

柳 鍾 善, 金 光 洙, 金 輔 佑*

(Jong Son Lyu, Kwang Soo Kim and Bo Woo Kim)

要 約

3 μm 게이트 길이를 가지는 n-well CMOS 공정이 개발되었고 이의 응용 가능성을 검토하였다. Threshold 전압은 이온주입으로 쉽게 조절할 수 있으며, 3 μm 채널 길이에서 short 채널 효과는 무시할 수 있다. Contact 저항에 있어서 Al-n⁺ 저항값이 커서 VLSI 소자의 제작에 장애 요인이 될 것으로 보인다.

CMOS inverter의 transfer 특성은 양호하며, $(W/L)_{\text{load}} / (W/L)_{\text{driver}} = (10/5) / (5/5)$ 인 89단의 ring oscillator로부터 구한 게이트당 전달 지연 시간은 3.4nsec 정도이다. 본 공정의 설계 규칙에서 n-well과 p-substrate에 수 mA의 전류가 흐를 때 latch-up이 일어나며, well 농도와 n⁺소오스-well간의 간격에 크게 영향을 받는다. 따라서 공정과 설계 규칙의 변화에 따른 latch-up 특성에 집중적인 연구가 필요할 것으로 사료된다.

Abstract

A silicon-gate n-well CMOS process with 3 μm gate length was developed and its possibility for the applications was discussed. Threshold voltage was easily controlled by ion implantation and 3- μm gate length with 650 Å oxide shows ignorable short channel effect. Large value of Al-n⁺ contact resistance is one of the problems in fabrications of VLSI circuits. Transfer characteristics of CMOS inverter is fairly good and the propagation delay time per stage in ring oscillator with layout of $(W/L)_{\text{PMOS}} / (W/L)_{\text{NMOS}} = (10/5) / (5/5)$ is about 3.4 nsec. Latch-up occurs on substrate current of 3-5 mA in this process and critically dependent on the well doping density and n⁺-source to n-well space. Therefore, research more on latch-up characteristics as a function of n-well profile and design rule, especially n⁺-source to n-well space, is required.

I. 序 論

한국전자기술연구소에서는 8-bit 단일 칩(chip) 마이

크로컴퓨터인 K8048을 이미 성공적으로 개발한 바 있고¹⁾ 이를 기초로 하여 ROM과 RAM 부분을 확장하고 NMOS 대신 CMOS 제조 기술을 이용하는 K80C49를 설계하고 있다. CMOS는 NMOS에 비해 전력소모가 적고 비교적 큰 잡음 여유도를 가지며, 스피드에 있어서도 NMOS에 거의 접근하고 있다. N-well CMOS는 p-substrate와 n-well의 불순물 농도가 낮기 때문에 threshold 전압에 대한 body 효과와 소오스 및 드레인의 기생 용량(parasitic capacitance)이 또한 작아서 p-well CMOS보다 유리하며 n-well에 p-채널 array를 놓음으로서 device scaling에 잇점이 있으며,

*正會員, 韓國電子技術研究所
(Korea Institute of Electronics Technology)

接受日字: 1984年 4月 25日

(※ 본 연구는 과학기술처에서 시행한 '83년도 국책과제인 "모스 기술개발에 관한 연구" 사업의 일환으로 이루어졌음.)

고밀도가 요구되는 64K CMOS EPROM, 256K DRAM 등에 적용하고 있다.¹⁾

본 연구에서 채택한 3 μm n-well CMOS 공정을 위한 test chip에서는 게이트 산화막을 600Å 정도로 하여 전기적 변수를 측정하였으며, 특히 threshold 전압의 조절과 scaling에 따르는 V_T 의 변화, n-well의 profile, n^+ 와 p^+ 저항, Al- n^+ 와 $-p^+$ 와의 contact 저항, CMOS inverter 특성, 회로의 동작 속도와 직접 관계되는 ring oscillator의 주기, 그리고 CMOS에서 가장 큰 장애 요인이 되는 latch-up 특성에 중점을 두었다.

N-과 p-MOSFET의 threshold 전압은 단일 게이트 봉소 주입으로 가능하며 3 μm 의 게이트 길이에 있어서 short channel 효과는 무시할 수 있으나 이보다 더 줄이기 위해서는 게이트 산화막의 두께 또는 p-MOSFET쪽의 소오스와 드레인의 접합 깊이를 낮추어야 한다. Al- n^+ contact 저항이 Al- p^+ 보다 커서 n-MOSFET의 transconductance를 떨어뜨리는 요인이 되므로 이의 개선책이 요구된다.

CMOS에서 가장 큰 문제가 되고 있는 latch-up은 $p^+-n-p-n^+$ 구조를 가지는 inverter나 vertical PNP와 lateral NPN 트랜지스터 각각의 전류이득 β_{PNP} 와 β_{NPN} 을 측정하여 예측할 수 있는데¹⁾ 현 test chip에서 latch-up threshold 전류가 수 mA, 이때의 전류이득의 곱은 $\beta_{PNP} \cdot \beta_{NPN} \geq 1$ 정도로 정상 상태에서 latch-up이 일어나기는 힘들다. 그러나 design rule이 더 작아지면 이의 가능성이 예상되므로 더욱 개선된 test pattern으로 더 많은 연구가 필요하다.

II. 테스트 Chip의 제작

본 공정은 p-substrate에 n-well을 형성하여 p-MOSFET를 만들고 n-과 p-MOSFET의 게이트로서는 n^+ -polysilicon을 이용하는 표준적인 실리콘 게이트 CMOS 공정이다.

Active 마스크 작업후 p-MOSFET의 field inversion을 방지하기 위해서는 threshold 전압이 -10V이하를 유지하여야 하는데 field 지역에 봉소가 이온 주입되는 것을 막기 위하여 추가로 n-well 지역을 masking하는 double photolithography가 필수적이다.

N-과 p-MOSFET의 polysilicon 게이트에 봉소 불순물이 많이 주입되면 열처리 과정에서 약간의 봉소가 게이트 산화막을 확산하여 실리콘 표면에 쌓여져서 threshold 전압에 영향을 미치므로 device가 불안해지는 요인이 된다.¹⁾ 따라서 polysilicon에 인(phosphorus)을 확산시켜 n^+ 로 만든 다음 봉소 불순물이 게이트에 이온 주입되지 않도록 masking 해 주는 또 하나

의 double photolithography 작업이 필요하게 된다.

CMOS 테스트 chip의 제작은 8개의 마스크를 사용하며 모든 photolithography 작업은 positive photoresist(PR)를 쓰게 되어 있다. N-well의 형성, p-substrate의 field inversion을 방지하기 위한 봉소의 주입, n-과 p-MOSFET의 threshold 전압 조절과 소오스/드레인 형성은 모두 이온 주입으로 이루어지며 polysilicon을 n-type로 도우핑할 때만 POCl_3 로써 확산 과정이 이루어진다.

그림 1은 CMOS 공정을 마스크 작업의 순서대로 나열한 것이며 그 중요한 공정단계는 다음과 같다.

- 1) 공정에 사용하는 실리콘 웨이퍼로는 15~20 $\Omega \cdot \text{cm}$ 의 비저항을 갖는 p형, (100)결정 방향이다. 3,000Å의 초기 산화막을 기른 다음 n-well 마스크 작업을 거쳐 1.5~2.5 $\times 10^{12} \text{cm}^{-2}$ 의 dose와 100keV의 이온 에너지로 인을 실리콘 표면으로 이온 주입한다.
- 2) 1,150°C에서 N_2 분위기로 16시간 동안 이온 주입한 인을 drive-in시키며 이때 약 3,000Å의 산화막이 길러진다. 산화막을 완전히 etch한 다음 TCE와 O_2 분위기에서 800Å의 buffer 산화막을 기르고 CVD 방법으로 1,000Å의 Si_3N_4 막을 증착한다.
- 3) Active 마스크를 사용하여 active 영역을 정의하고 Si_3N_4 막을 dry etch한다.
- 4) Active 영역의 PR을 남겨놓은 채 field V_T 마스크를 사용하여 n-well 지역을 PR로 덮은 다음 field 지역에 5~10 $\times 10^{12} \text{cm}^{-2}$ 의 dose와 60keV의 이온 에너지로 봉소를 이온 주입한다. 그런데 active 영역의 PR은 n-well 지역의 PR과 겹치는 이중 구조이며 PR의 bake 온도와 develop 조건을 조절하여 active 영역의 PR이 들뜨는 것을 방지하여야 한다.
- 5) 두 층의 PR을 제거하고 세척을 한뒤 925°C에서 wet 분위기로 8,500Å의 산화막을 기르고 Si_3N_4 막을 제거한다. 1,000°C에서 TCE와 O_2 분위기로 게이트 산화막을 500~650Å으로 기르고 봉소를 50keV의 에너지로 웨이퍼 전면에 이온 주입하여 n-과 p-MOSFET의 threshold 전압을 조절한다.
- 6) 웨이퍼 전면에 polysilicon을 CVD 방법으로 4,500Å 증착하고 POCl_3 로 polysilicon을 도우핑시킨다.
- 7) 게이트 마스크 작업을 거친 다음 polysilicon을 dry etch하여 n-과 p-MOSFET의 게이트와 interconnection line을 형성한다.
- 8) Polysilicon 위의 PR을 그대로 남겨둔 채 p^+ -S/D 마스크 작업을 하여 p-MOSFET의 소오스/드레인과 p-substrate contact 지역만을 열고 봉소를 50keV의 에너지와 3 $\times 10^{15} \text{cm}^{-2}$ 의 dose로 이온 주입한다.

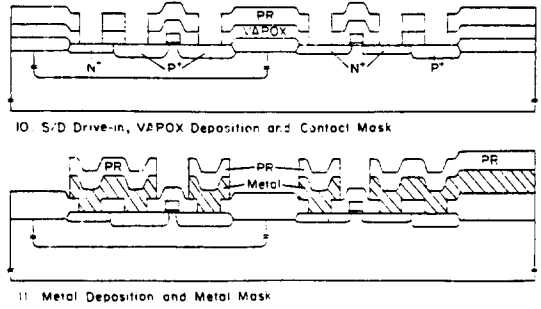
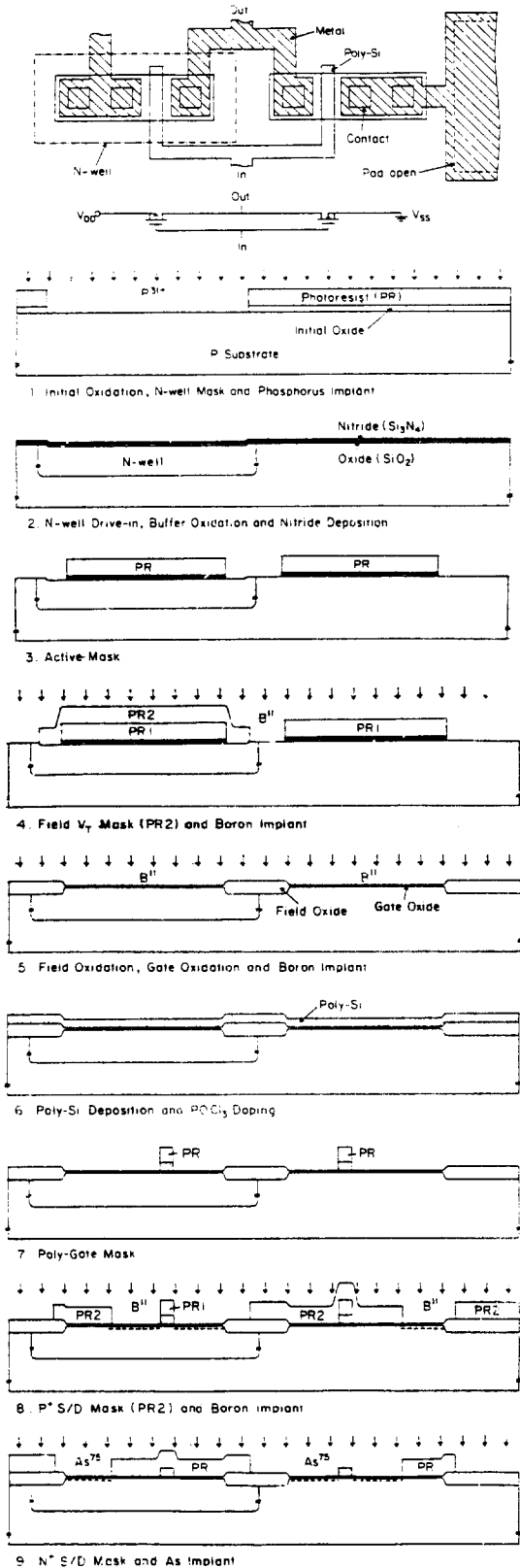


그림 1. CMOS의 제작 순서에 따른 단면도
Fig. 1. Cross-sections of CMOS process sequence.

9) 두 층의 PR을 dry etch하고 n⁺-S/D 마스크 작업으로 n-MOSFET의 소오스/드레인과 well contact 지역을 노출시킨 다음 비소(As) 이온을 150keV의 에너지와 $4 \times 10^{15} \text{cm}^{-2}$ 의 dose로 이온 주입한다.

10) PR을 dry etch로 벗겨내고 1,000°C N₂ 분위기에서 30분간 열처리하여 이온 주입된 불순물을 drive-in시킨다. CVD 산화막을 7,000Å 입히고 925°C에서 CVD 산화막을 densification 시킨 다음 contact 마스크 작업을 하여 contact을 연다.

11) Contact 표면을 cleaning한 다음 1µm의 1% Si-Al을 진공증착하고 metal 마스크 작업으로 interconnection을 완성시킨다. 460°C, H₂분위기로 30분간 alloy 하면 CMOS 테스트 chip이 완성된다.

그림 1은 8개의 mask 작업으로 CMOS 공정을 완성시키는 과정을 나타낸 것이다. 여기서 passivation 한 후의 pad 마스크 작업은 생략되었다.

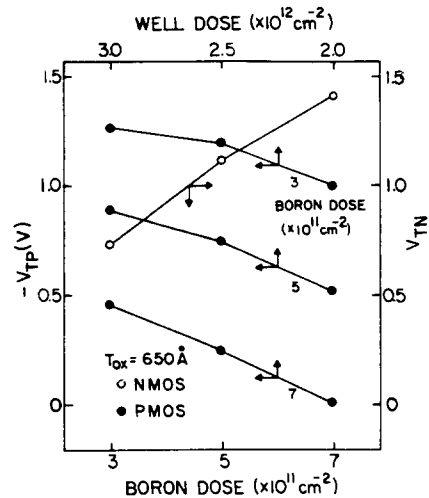


그림 2. 이온 dose에 따른 threshold 전압의 변화
Fig. 2. Threshold voltage as a function of ion dose.

III. 측정결과 및 검토

1. MOSFET의 Threshold 전압

N-well CMOS 공정은 5V의 전원으로 동작하는 digital 회로에 응용할 수 있게 하였으며 n-과 p-MOSFET의 threshold 전압은 $V_{TN} = -V_{TP}$ 로 하여 0.8±0.1V를 목표로 하였고 field inversion 전압은 $V_{TFN} = -V_{TFP} \geq 10V$ 를 만족하도록 하였다. 그림 2는 650Å의 게이트 산화막에 대하여 n-과 p-MOSFET의 threshold 전압을 나타낸 것이다. 붕소 dose를 매개 변수로 하였을 때 $-V_{TP}$ 는 n-well의 인 dose에 따라 증가한다.

5V로 동작하는 CMOS 회로에서는 $V_{TN} = -V_{TP} \approx 0.8V$ 가 되는 것이 회로 동작에 유리하다. 600Å 정도의 게이트 산화막일 경우 붕소 dose는 $3.5 \sim 4.0 \times 10^{11} \text{ cm}^{-2}$, 인 dose는 $1.5 \sim 2.0 \times 10^{12} \text{ cm}^{-2}$ 의 범위에 있으면 원하는 threshold 전압을 얻을 수 있다. 그림 3은 인 dose가 $2.0 \times 10^{12} \text{ cm}^{-2}$ 일 때 붕소 dose의 함수로 V_{TN} 과 V_{TP} 를 나타낸 것이다. 붕소 dose가 $3.8 \times 10^{11} \text{ cm}^{-2}$ 이면 $V_{TN} = -V_{TP} = 0.8V$ 가 되어 추가로 붕소 주입을 할 필요가 없다.

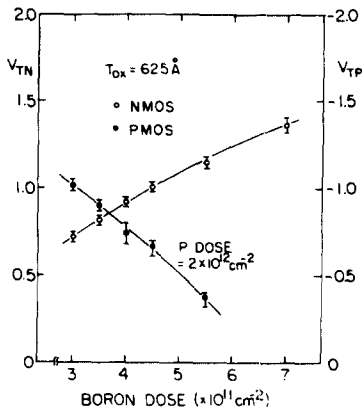


그림 3. 붕소 dose에 따른 threshold 전압의 변화
Fig. 3. Threshold voltage as a function of boron dose.

그림 4는 n-well인 dose와 n-MOSFET의 field 지역에 이온 주입한 붕소 dose의 함수로 V_{TFN} 과 V_{TFP} 를 나타낸 것이다. Al 게이트의 V_{TFP} 가 polysilicon 게이트의 V_{TFP} 보다 항상 큰데 이것은 Al 게이트의 산화막이 polysilicon 게이트의 산화막보다 CVD 산화막만큼 더 두꺼워 산화막 capacitance가 작아지므로 식(1)에 의하여 inversion 전압의 절대값이 커진다.

$$V_T = \phi_{MS} + \psi_s - \frac{Q_{SS}}{C_{OX}} - \frac{q}{C_{OX}} \int_0^w \rho(x) dx \quad (1)$$

여기서 ϕ_{MS} 는 게이트와 S_1 간의 일함수의 차이, ψ_s 는 실리콘 표면의 potential로 $-0.6V$ 정도이며, Q_{SS} 는 단위면적당 fixed oxide charge, C_{OX} 은 단위면적당 산화막의 capacitance, x 는 실리콘 표면에서 bulk로의 거리, w 는 공핍층의 두께이며 $\rho(x)$ 는 공핍층내의 전하 밀도이다.

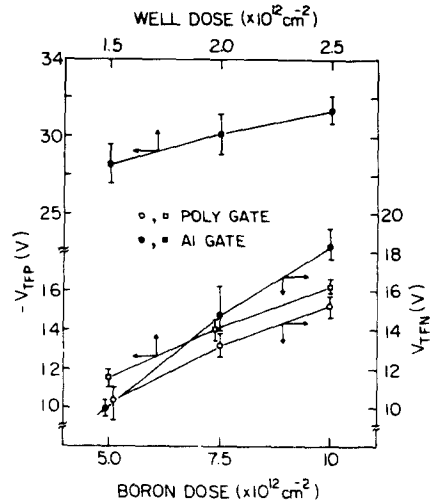


그림 4. 이온 dose에 따른 field inversion 전압의 변화
Fig. 4. Field inversion voltage as a function of ion dose.

V_{TFN} 의 경우 Al 게이트의 ϕ_{MS} 가 $-0.9V$ 이고 polysilicon의 ϕ_{MS} 가 $-0.6V$ 정도이며 Q_{SS} 는 $5 \times 10^{10} \text{ cm}^{-2}$ 정도이다. 따라서 붕소 주입 dose가 $5.0 \times 10^{11} \text{ cm}^{-2}$ 이상이 되어야 Al 게이트의 V_{TFN} 이 polysilicon 게이트의 V_{TFN} 보다 커지게 된다. V_{TFP} 에 있어서 Al 게이트는 polysilicon 게이트의 경우보다 $|V_{TF}|$ 가 항상 크며 그 값은 25V 이상이다. 실제 측정에 있어서는 $p^+ - n$ 접합 파괴가 20V 정도에서 일어나므로 quadric extrapolation 방법으로 V_{TF} 를 구할 수 없다. 따라서 여기서는 $W/L = 100 \mu\text{m}/5 \mu\text{m}$ 의 게이트일 때 saturation 전류가 $1 \mu\text{A}$ 가 흐르는 시점의 게이트 전압을 V_{TFP} 로 하였다. $V_{TFN} = -V_{TFP} \geq 10V$ 의 조건을 만족하려면 well의 인 dose는 $1.5 \times 10^{12} \text{ cm}^{-2}$, field 지역의 붕소 dose는 $5 \times 10^{12} \text{ cm}^{-2}$ 이상이 필요하다.

유효채널길이 (effective channel length)에 따른 V_{TN} 과 $-V_{TP}$ 의 변화를 그림 5에 나타내었다. 채널 길이가 $2 \mu\text{m}$ 일 때 V_{TN} 과 $-V_{TP}$ 의 감소는 각각 0.1V와 0.09V이다. 그런데 p-substrate의 농도가 n-well보다 낮고 n-MOSFET의 n-접합 깊이가 well의 p-접합 깊이보다 더 작은데도 불구하고 V_{TN} 의 감소가 $-V_{TP}$ 의 감소

만큼이나 큰 것은 n-channel 표면에 붕소가 이온 주입되어 높은 농도를 가지기 때문이다.

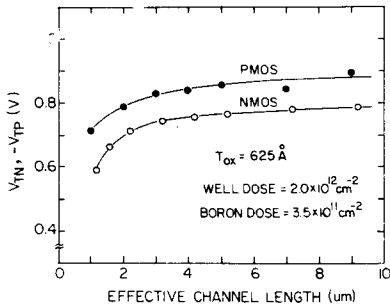


그림 5. 유효 채널 길이에 따른 threshold 전압의 변화
Fig. 5. Threshold voltage shifts as a function of effective channel length.

2. 전류-전압 특성

그림 6 (a)와 (b)는 각각 게이트 폭이 30μm, 길이가 3μm인 n-와 p-MOSFET의 I-V 특성곡선이다. Oxide encroachment와 소오스/드레인의 측면 확산을 고려하면 게이트 폭은 28.5μm, n-과 p-MOSFET의 게이트 길이는 각각 2.2μm와 1.8μm가 된다. Maximum capacitance로부터 구한 게이트 산화막의 두께는 625Å이다.

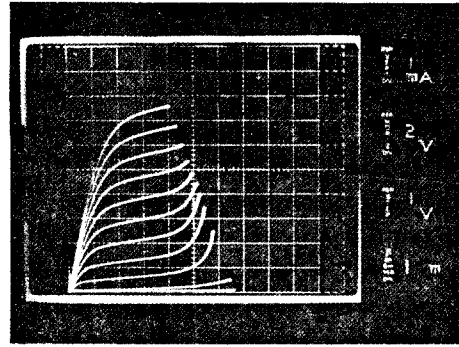
게이트 전압이 0V일 때 n-과 p-MOSFET의 p-n 접합 파괴전압은 각각 16V와 20V 정도인데 실제로 p-MOSFET의 경우에는 well속의 p+소오스/드레인 접합과 p-substrate 사이에서 punchthrough가 먼저 일어난다.^[3] P-substrate의 농도가 n-well의 농도보다 낮은데도 불구하고 n+-p가 p+-n의 접합 파괴보다 낮은 것은 접합 깊이가 보다 작고 실제의 파괴 현상이 n+지역과 field 산화막 아래의 channel stop 지역(붕소가 field 주입된 곳)사이에서 일어나기 때문이다.

그림6 (a)와 (b)에서 보인 두 MOSFET의 I-V 특성곡선에서 3μm의 게이트길이를 가지는 device로써 5V 전원으로 동작하는 CMOS 회로를 꾸밀 수 있다는 것을 알 수 있다.

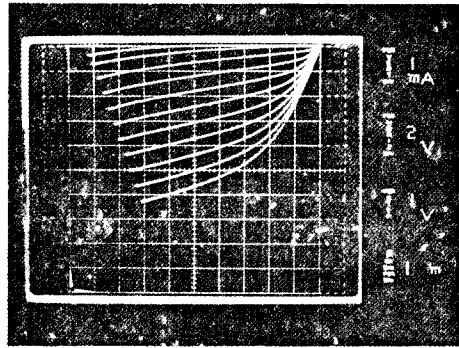
MOSFET에 있어서 carrier가 소오스로부터 드레인인으로 갈 때 게이트의 전계에 의하여 carrier가 산화막쪽으로 끌리게 된다. 따라서 carrier와 게이트산화막간의 충돌이 일어나서 carrier의 속도가 줄어든다.^[5]

실리콘 표면에서 깊이 방향으로의 전계를 E_s 라 할 때 이동도(mobility) μ 는 다음과 같은 실험식이 알려져 있다.^[2]

$$\mu = \frac{\mu_0}{(1 + E_s/U_{crit})^{0.5exp}} \quad (2)$$



(a) n-MOSFET, W/L=30/(3μm)



(b) p-MOSFET, W/L=30/3(μm)

그림 6. N-과 p-MOSFET의 I-V 특성곡선
Fig. 6. I-V characteristics of n-and p-MOSFET.

측정에 있어서는 $V_{ds}=0.8V$ 일 때 $V_{gs}=V_{ds}+0.1, V_{ds}+0.2, \dots, V_{ds}+3.8(V)$ 의 20점에 대하여 각각 드레인 전류를 측정하고 linear regression에 의하여 μ_0, U_{crit}, U_{exp} 을 구한다. $V_{ds}=1.0, 1.2, \dots, 2.0(V)$ 에 대해서도 위의 과정을 반복하여 각 변수의 평균치를 구한다. 이때 사용한 전류-전압 관계식은 다음과 같다.

$$I_{ds} = \mu \cdot (W/L) \cdot [C_{ox}'(V_{gs} - V_{FB} + 2\phi_F - \frac{1}{2} \cdot V_{ds}) \cdot V_{ds} - \frac{2}{3} \sqrt{2\epsilon_s \cdot q \cdot N_{sub}} \cdot (2\phi_F + V_{ds} - V_{BS})^{3/2} - (2\phi_F - V_{BS})^{3/2}] \quad (3)$$

그림 7은 n-과 p-MOSFET에 있어서 전자와 정공의 유효 표면 이동도인 μ_n 과 μ_p 를 나타낸 것이다. 붕소 dose가 증가함에 따라 μ_n 은 비례적으로 감소한다. 이것은 실리콘 표면에 붕소의 농도가 증가함에 따라 전자와의 충돌(scattering)이 늘어나기 때문이다. P-MOSFET의 경우도 well의 인 dose에 따라 μ_p 는 감소한다. 그러나 붕소 dose의 증가에 따라 μ_p 는 오히려 증가하는데 이것은 counter doping이 될 경우 p-channel의 표면 불순물 농도가 감소하는 효과를 보이

기 때문이다.^{1,3)}

Well dose가 $2.0 \times 10^{12} \text{cm}^{-2}$ 이고 붕소 dose가 $3.5 \times 10^{11} \text{cm}^{-2}$ 일 때 μ_n 과 μ_p 는 각각 700과 $200 \text{cm}^2/\text{V}\cdot\text{sec}$ 정도이다.

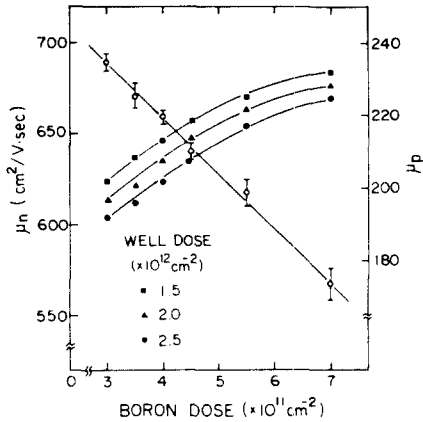


그림 7. 붕소 dose에 따른 n-과 p-MOSFET의 유효 표면 이동도

Fig. 7. Effective surface mobilities of n-and p-MOSFET's as a function of boron dose.

3. N-Well Profile

Well의 도우핑 profile은 threshold 전압, body effect와 latch-up 문제등에 있어서 중요한 구실을 하므로 SUPREM II simulation으로 profile과 접합 깊이를 구하였고 실험적으로 구한 불순물 농도 또는 접합 깊이와 비교하였다. Simulation은 주입한 인 전부가 균일한 붕소 농도를 지닌 p-substrate로 확산되어 들어간다고 가정하고 계산한 것이다. N-well의 불순물 농도는 아래와 같이 주어진다.

$$N_{well}(x) = \frac{N'}{\sqrt{\pi Dt}} \exp\left(-\frac{x^2}{4Dt}\right) - N_{sub} \quad (3)$$

식(3)에서 N' , D , t 와 x 는 각각 이온 주입된 인 dose, 인의 확산 계수, 확산 시간, 그리고 깊이를 표시한다. 본 공정에 있어서는 인 dose가 $1.5 \sim 2.5 \times 10^{12} \text{cm}^{-2}$, 이온 주입 에너지가 100KeV, drive-in 온도가 $1,150^\circ\text{C}$ ($D = 2.9 \times 10^{-13} \text{cm}^2/\text{sec}$), drive-in 시간이 16hr ($t = 5.76 \times 10^4 \text{sec}$), 그리고 N_{sub} 가 $6 \times 10^{14} \text{cm}^{-3}$ 이다.

그림 8은 인 농도를 깊이의 함수로 나타낸 것이다. 인 dose가 커짐에 따라 n-well 표면의 농도가 증가하고 접합 깊이도 커진다. 표면 근처에서의 인의 평균 농도는 back bias의 증가에 따른 V_{TP} 의 변화로부터 계산할 수 있다. 식(4)는 n-well에 인가한 bias에 의한 V_{TP} 의 변화를 나타낸 것이다.

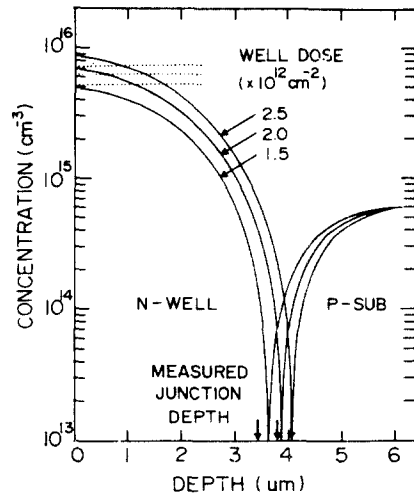


그림 8. N-well의 도우핑 profile, 접합 깊이와 인의 유효 표면 농도(점선으로 나타냄)

Fig. 8. N-well doping profile, junction depth and effective surface phosphorus concentration (shown by dotted line)

$$\Delta V_{TP} = \frac{\sqrt{2q \cdot \epsilon_{si} \cdot N_{av}}}{C_{ox}} (\sqrt{V_{BS} + 2|\phi_F|} - \sqrt{2|\phi_F|}) \quad (4)$$

그림 9는 게이트 산화막의 두께가 540\AA 인 p-MOSFET의 back bias 효과를 보인 것이다. Bias 전압이 증가하면 n-well을 통하여 누설전류가 갑자기 증가하는 현상이 나타나는데, 이것은 앞 절에서 설명한 바와 같이 소오스와 드레인 아래에 있는 n-well이 완전히 depletion되기 때문이다. 이 breakdown 전압은 인 dose가 증가함에 따라 커진다. 식(4)에 의하여 그림 9에서 구한 V_{TP} 의 기울기로부터 N_{av} 를 구한 것을 그림

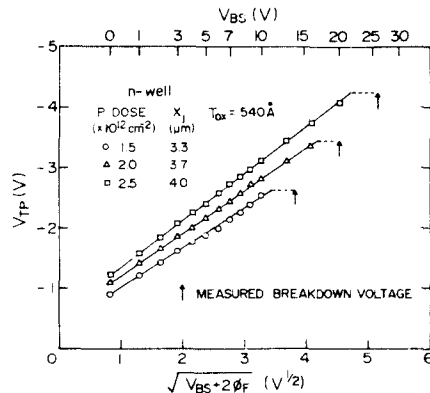


그림 9. p-MOSFET의 back바이어스 효과와 n-well의 파괴 전압

Fig. 9. Back bias effect of p-MOSFET's and n-well breakdown voltages.

8에 점선으로 나타내었고 grooving 방법으로 측정된 n-well의 접합 깊이도 표시하였는데 실험치는 계산치와 잘 일치하고 있다.

N-well의 도우핑 profile은 V_{TP} , breakdown 전압, body effect, 그리고 latch-up 등에 영향을 미친다. Well의 농도와 접합 깊이가 클수록 breakdown 전압은 높아지고 vertical PNP 트랜지스터의 전류이득은 줄어들어 latch-up의 가능성은 작아지나 $-V_{TP}$ 와 body effect가 커져서 logic에 영향을 미치며 측면 확산 효과로 design rule이 커진다. 따라서 상호간의 관계를 고려하여 well의 농도와 접합 깊이를 결정하여야 한다.

4. 저항

불균일한 도우핑 profile에 있어서 sheet 저항 R_s 는 식(5)로 구할 수가 있으면 전자의 이동도 μ_n 은 불순물 농도의 함수이다.

$$R_s = \frac{1}{q \int_0^{x_j} \mu_n \cdot n(x) dx} \quad (5)$$

Well의 인 dose에 따라 불순물 농도가 증가하면 μ_n 은 감소하므로 dose에 반비례하여 저항값이 작아지는 않는다. 표 1은 well dose에 따른 sheet 저항값의 변화를 실험치와 SUPREM II simulation에서 얻은 계산치와 비교한 것이다.

표 1. N-well의 sheet 저항
Table 1. N-well sheet resistance.

well dose ($\times 10^{15} \text{cm}^{-2}$)	측정치 ($\text{K}\Omega/\square$)	계산치 ($\text{K}\Omega/\square$)
1.5	5.03 ± 0.13	4.7
2.0	3.64 ± 0.07	3.4
2.5	2.86 ± 0.09	2.7

Well내의 p-MOSFET 지역에는 붕소를 이온 주입, drive-in하여 소오스/드레인을 형성한다. N-well 지역 외에는 비소를 이온 주입하는데 에너지를 180KeV 까지 높더라도 접합 깊이는 $0.5\mu\text{m}$ 를 넘지 않는다. 그림10은 n^+ 와 p^+ 소오스/드레인 이온 주입 dose에 따른 저항값의 변화를 나타낸 것이다. 저항은 $W/L=30\mu\text{m}/300\mu\text{m}$ 인 test pattern으로 저항을 구하고 contact 저항을 빼 준 다음 10으로 나누어 sheet 저항값으로 환산한 것이다. 이온 주입 dose가 증가할수록 저항값은 포화치를 나타낸다. 붕소 dose가 $3 \times 10^{15} \text{cm}^{-2}$, 비소 dose가 $4 \times 10^{15} \text{cm}^{-2}$ 일 때 소오스/드레인의 sheet 저항은 각각 $60\Omega/\square$ 와 $44\Omega/\square$ 이다.

Polysilicon은 POCl_3 로 도우핑하여 저항값이 소오스/드레인보다는 작다. $4 \times 10^{15} \text{cm}^{-2}$ 의 비소를 추가로 이온 주입하였을 때 sheet 저항값은 $26\Omega/\square$ 이다.

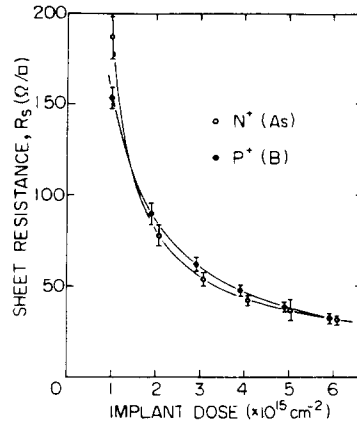


그림10. 이온 주입 dose에 따른 n^+ 와 p^+ 저항의 면저항값

Fig. 10. Sheet resistances of n^+ - and p^+ -resistors, as a function of implantation dose.

소오스와 드레인의 ohmic contact은 device scaling에 상당한 영향을 미치며 특히 얇은 접합일 때 더욱 기술적인 제조 공정을 요하게 된다. $1 \sim 2\mu\text{m}$ 의 접합 깊이에서는 Al을 단일 성분으로 하여 metalization을 하는 것이 일반적이나 이 경우 contact 저항을 결정하는 barrier height (Al/ n^+ -Si의 경우는 $\approx 0.7\text{V}$, Al/ p^+ -Si의 경우는 $\approx 0.5\text{V}$)가 경계면의 표면 상태에 따라 민감하게 변하며 contact 저항의 전기적 특성에서 aging 효과도 나타나게 된다.¹⁶ 또한 고온($<450^\circ\text{C}$)에서 alloy를 하게 되면 실리콘이 dissolution되고 온도가 내려감에 따라 recrystallization이 일어나 접합속으로 알루미늄의 spiking을 유발시킨다. 따라서 실리콘을 함유한 Al alloy를 사용함으로써 Al이 실리콘내로 dissolution 되는 것을 방지하여 얇은 접합에서의 contact이 가능하다. 그러나 barrier height의 증가로 contact 저항이 커지는 것은 여전히 문제로 남아 있다.¹⁷

Contact 저항을 정확하게 구하기 위하여 Kelvin resistor¹⁷를 이용하였으며 n^+ 와 p^+ 를 형성시키는 비소와 붕소 dose는 $1 \sim 6 \times 10^{15} \text{cm}^{-2}$ 으로 하였다. 그림11은 $5 \times 5\mu\text{m}^2$ 의 면적을 갖는 contact에 대하여 이온 dose에 따른 contact 저항값의 변화를 나타낸 것이다. Dose가 $3 \times 10^{15} \text{cm}^{-2}$ 보다 커지면 contact 저항값은 포화되는데 이것은 이 영역의 도우핑 농도에서 tunneling mechanism이 지배적이기 때문에 낮은 저항값을 유지한다. Al- p^+ 가 Al- n^+ contact보다 barrier height가 낮아지기 때문에 저항값이 보다 작다. $4 \times 10^{15} \text{cm}^{-2}$ 의 비소 dose일 때 contact 저항은 $5 \times 5\mu\text{m}^2$ 면적에서 11Ω 정도이고 specific contact resistance로 환산하면 $270\Omega \cdot \mu\text{m}^2$ 가 된다. Al- p^+ Si의 경우 붕소 dose가 3.0

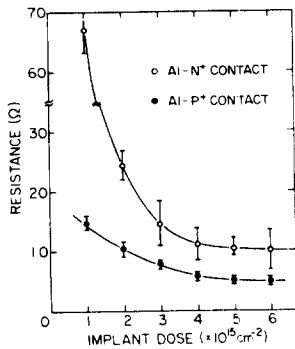


그림11. 이온 주입 dose에 따른 Al-n⁺와 Al-p⁺의 접촉저항값
 Fig. 11. Contact resistances of Al-n⁺ and Al-p⁺ as a function of implantation dose.

$\times 10^{15} \text{ cm}^{-2}$ 일 때 contact 저항은 7.8Ω 이며 specific contact resistance는 $190 \Omega \cdot \mu\text{m}^2$ 이다.

LSI 회로에서는 $5 \times 5 \mu\text{m}^2$ 의 면적을 가지는 contact 저항이 소자의 특성에 미치는 영향이 크지 않으나 VLSI 회로의 경우 contact 면적이 줄어들면 MOSFET에서 linear 영역의 I-V 특성곡선에 degradation이 일어나므로 metal-silicide 제를 쓰는 것이 바람직하다.

5. Function 측정

CMOS inverter는 NMOS에 비하여 전력소모가 낮고 transfer 특성이 좋다는 장점이 있으나 면적의 소모가 커지는 단점이 있다. 그림12는 V_{TP} 와 T_{IN} 이 각각 -1.0 과 0.64V 이고 $(W/L)_{PMOS} / (W/L)_{NMOS} = (10/5) / (5/5)$ 인 CMOS inverter의 transfer 특성곡선이다. PMOS와 NMOS사이의 $|V_T|$ 와 gain factor의 차이로 대칭적인 transfer 특성에서 조금 벗어나 있다.

그림13은 앞에서 설명한 inverter로 구성된 89stage의 ring oscillator이다. 주기가 600nsec 정도이므로 한 stage 당 전달 지연 시간은 3.4nsec이다. 게이트 길이를 줄이거나 V_T 와 β ratio를 조절하면 전달 지연

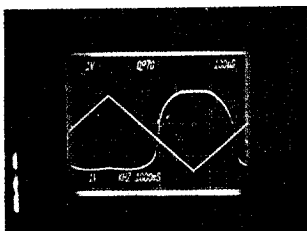


그림12. CMOS 인버터의 특성
 Fig. 12. Characteristics of CMOS inverter.
 $V_{TN} = 0.64\text{V}$, $V_{TP} = -1.0\text{V}$ and $(W/L)_{PMOS} / (W/L)_{NMOS} = (10/5) / (5/5)$.

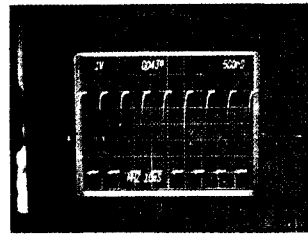


그림13. 89단으로 된 CMOS 링 발진기의 출력파형
 Fig. 13. Output waveform of 89 stage CMOS ring oscillator.

시간은 훨씬 짧아질 것으로 예상된다.

CMOS에서 가장 큰 문제로 등장하고 있는 latch-up 현상은 well을 형성시킴으로써 생겨난 vertical PNP 트랜지스터와 lateral NPN 트랜지스터가 동시에 active될 때 발생하게 된다.⁴⁾ Latch-up을 간단하게 확인하는 방법은 inverter의 V_{DD} 와 V_{SS} 사이에 높은 전압을 인가하여 well의 접합 파괴를 일으켜 latch-up 전류를 유발시키는 것이다. 그림14는 n-well dose가 $1.5 \times 10^{12} \text{ cm}^{-2}$, well 접합 깊이가 $3.3 \mu\text{m}$, well과 n⁺ 소오스 사이의 간격이 $16 \mu\text{m}$ 인 CMOS inverter의 latch-up 현상을 나타낸 것이다. 그림에서 latch-up threshold 전류는 $\sim 1\text{mA}$, latch-up holding 전류는 $\sim 2\text{mA}$ 이다.

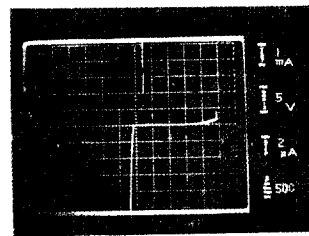


그림14. CMOS 인버터에서의 latch-up현상
 Fig. 14. Latch-up in CMOS inverter.

CMOS inverter의 SCR 구조에서 latch-up이 일어날 필요 조건은 PNP 트랜지스터의 전류이득 β_{PNP} 와 lateral NPN 트랜지스터의 전류이득 β_{NPN} 의 곱 $\beta_{PNP} \cdot \beta_{NPN}$ 이 1보다 클 때이다.

Well의 농도가 높아지면 vertical PNP의 전류이득이 낮아지므로 latch-up threshold 전류는 커진다. 표 2는 well dose에 따라 latch-up threshold 전압, 전류의 평균값을 비교한 것인데 threshold 전류가 n-well dose에 가장 종속적이다.

그림15는 lateral NPN 트랜지스터의 전류이득을 베이스 폭을 변수로 하여 콜렉터 전류에 따른 β_{NPN} 의 변화를 측정된 것이며 그림16은 vertical PNP 트랜지스

표 2. Well dose에 따른 latch-up 현상
Table 2. Variation of latch-up parameters according to well dose.

N-well dose ($\times 10^{12} \text{cm}^{-2}$)	latch-up threshold(전압V)	latch-up threshold전류(mA)	latch-up holding전류(mA)
1.5	~20	3.2	1.8
2.5	"	4.0	1.9
3.5	"	5.8	2.0

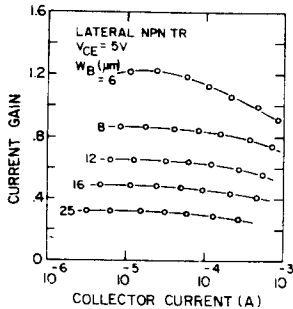


그림 15. Lateral NPN 트랜지스터의 전류이득
Fig. 15. Current gains of lateral NPN transistors.

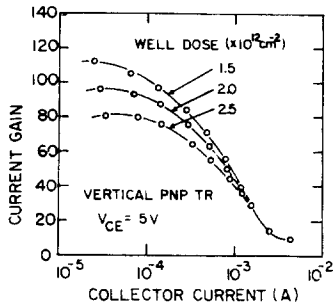


그림 16. Vertical PNP 트랜지스터의 전류이득
Fig. 16. Current gains of vertical PNP transistors.

터 ($W_{B, \text{Lateral}} = 3 \mu\text{m}$)의 전류이득 β_{PNP} 를 나타낸 것이다. 두 그림에서 알 수 있는 바와 같이 $\sim \text{mA}$ 의 콜렉터 전류에서 $\beta_{\text{PNP}} \cdot \beta_{\text{NPN}}$ 은 lateral NPN 트랜지스터의 베이스 폭에 좌우하며 그 폭이 작아질수록 커진다. 설계규칙 (design rule)을 줄일 경우 latch-up의 가능성은 커질 것이므로 앞으로 이에 대한 연구가 지속되어야 할 것이다.

VI. 結 論

이미 개발 완료된 실리콘 게이트 NMOS 기술을 바탕으로 $3 \mu\text{m}$ 실리콘 게이트 CMOS 공정을 수행하였다. 마스크 작업에서 double photolithography 기술이 요구

되며, 도우핑에 있어서는 polysilicon 도우핑을 제외하고는 모두 이온 주입 방법을 이용하였다.

$3 \mu\text{m}$ 의 채널 길이에 short 채널 효과로 threshold 전압이 감소하는 영향은 무시될 정도이나 설계 규칙을 더 줄일 경우는 threshold 전압의 감소와 함께 Al-n^+ contact 저항이 MOSFET의 전류-전압 특성에 미치는 영향을 고려하여야 한다.

Inverter 특성은 양호하였고 ring oscillator에서 측정된 신호 전달 지연 시간은 layout이 $(W/L)_{\text{PMOS}} / (W/L)_{\text{NMOS}} = (10/5) / (5/5)$ 의 경우 3.4nsec 이다.

CMOS inverter 측정에서 latch-up은 수mA에서 발생하며 이 전류는 n-well phosphorus 농도와 lateral NPN 트랜지스터의 베이스 폭에 의하여 결정되며 설계 규칙을 줄일 경우 더 낮은 전류에서도 latch-up이 일어날 가능성이 커지므로 앞으로 이에 대한 지속적인 연구가 필요하다.

參 考 文 獻

- [1] 김충기 등, "MOS technology development (8 bit $\mu\text{P}/\mu\text{C}$)에 관한 연구", 한국전자기술연구소, 연구보고서 (SN 8212-F), Apr., 1983.
- [2] 김보우 등, "MOS technology development에 관한 연구", 한국전자기술연구소, 연구보고서 (SN 8309-F), Aug., 1983.
- [3] T. Ohzone, H. Shimura, K. Tsuji, and T. Hirao, "Silicon-gate n-well CMOS process by full ion-implantation technology," *IEEE Trans. Electron Devices*, vol. ED-27, pp. 1789-1795, 1980.
- [4] D.B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits," Stanford University, CA, DARPA Tech. Rep. no. G-201-9, Contract no. DAAG-07-6-2684, Nov., 1980.
- [5] T. Sato, Y. Takeishi, H. Hara, Y. Okamoto, "Mobility anisotropy of electrons in inversion layers on oxidized silicon surfaces," *Phys. Rev. B*, vol. 4, pp. 1950-1960, 1971.
- [6] H.C. Card, "Aluminum-silicon schottky barriers and ohmic contacts in integrated circuits," *IEEE Trans. Electron Devices*, vol. ED-23, pp. 538-544, 1976.
- [7] S.S. Cohen, G. Goldenblat, M. Ghezzi, and D.M. Brown, "Al-0.9% Si/Si ohmic contacts to shallow junctions," *J. Electrochem. Soc.*, vol. 129, pp. 1335-1338, 1982 *