

# 集積回路 製造工程의 모델

慶 宗 旻

韓國科學技術院 電氣 및 電子工學科 助教授(工博)

## I. 序 論

집적회로의 제조기술이 지난 20년간 계속적으로 발전하여, 최근에는 수십만개의 트랜지스터가 0.5cm<sup>2</sup> 보다 작은 칩안에서 연결되어 고도의 기능을 수행해 내는 수요자의 요구에 따른 chip의 설계와 제작이 가능하게 되었다. 이러한 추세는 종래의 chip 설계방식에 두 가지 주목할만한 변화를 가져왔다.

첫째, 소자 자체의 크기가 줄어들음에 따라 나타나는 threshold의 전압의 변화와 불안정성, hot electron 효과, latch-up 등의 효과에 대한 고려가 소자의 구조와 소자간의 배열을 설계하는데 필수적으로 되었다는 것으로서, 최근에는 이러한 악영향을 최대한으로 배제하면서 소자의 크기를 축소하는 작업과 Montecarlo, Boltzmann Transport Equation 등의 방법에 의한 축소된 소자의 model이 많이 연구되고 있다.

둘째, 소자의 크기는 줄어드는데 반하여 chip 크기가 점점 커짐에 따라, chip 내부회로의 동작속도는 소자 자체의 특성보다 소자간의 연결 상태에 의해 결정되게 되었다. 즉, 종래의 IC설계에서는 무시되었던 연결선에 의한 기생 저항, 용량 성분에 대한 고려가 중요해졌으며, 모든 회로의 동작을 고려한 제작공정의 설계가 필요하게 되었다.

제작공정에 의해 생기는 연결선등에 의한 수동 소자와 트랜지스터등의 능동소자의 구조와 전기적 특성을 예측하는 것이 집적회로 chip의 개발기간을 단축시키는데 큰 역할을 하게 되었다.

그림 1은 집적회로 제조공정으로 부터 회로 시뮬레이션까지에 사용되는 CAD tool 들간의 관계를 보이고 있다. Process simulation의 결과는 1차원, 혹은 2차원적 불순물 분포와 소자의 구조로서 device simulator의 입력 자료를 제공하게 된다. 또한 저항, 용량 등의 기생성분의 크기를 예측함으로써 layout까지 완성된 회로의 simulation을 하는데 입력자료를 만들어

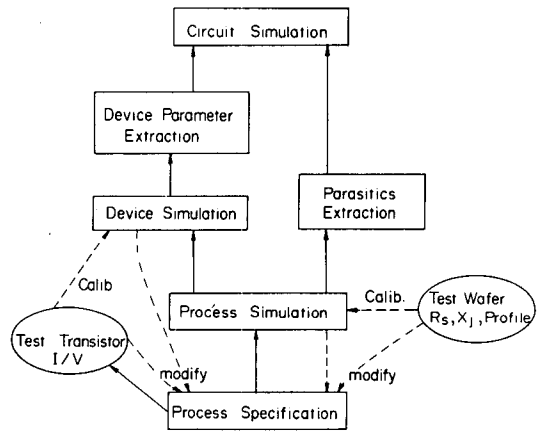


그림 1. Process 조건으로 부터 회로 동작을 예측하는데 필요한 CAD tool 들간의 상호 관계

주며, 실제로 cell library 등의 설계에서 많이 쓰이고 있다. 또한 process simulation 결과가 실험결과와 잘 일치 하도록 하기 위해서는 test wafer의 측정에 의한 simulator의 내부 parameter의 calibration 작업이 사용자에게 의해 행해져야 할 것이다. 집적회로의 제조공정은 bipolar, MOS등의 technology에 따라 다르게 되는데, 일반적으로 산화막 성장, 불순물 확산 및 이온 주입, 에피층 성장, lithography, 식각, 증착 등의 개별공정들의 조합으로 이루어진다. 여기서는 산화, 확산, 이온주입 공정을 중심으로 하여 이들 개별공정의 모델 및 simulation에 대하여 살펴 보기로 한다.

## II. 개별공정의 모델링

반도체내에 P형, N형 불순물을 주입하는 방법으로 가장 오래된 열적확산 방법은 원하는 양의 불순물 원자를 반도체내에 주입하는 predeposition과 이들을 재분포시키는 drive-in의 두 공정으로 구성되며, 깊이에 따른 불순물의 분포는 각각 확산방정식의 analytic sol-

ution인 complementary error 함수와 Gaussian 함수로 표시될 수 있으나, 최근에는 불순물 농도에 따른 확산 계수의 변화, 서로 다른 불순물거리의 상호 영향, 산화와 확산의 복합작용 등의 문제때문에 computer에 의한 수치해법에 의존하게 되었다.

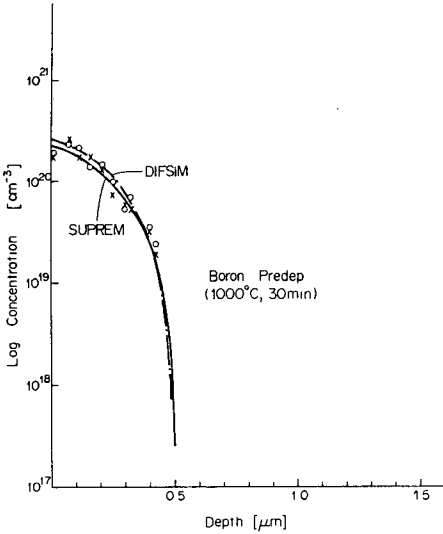


그림 2. Boron predeposition 공정에 의한 불순물 분포에 대한 SUPREM과 DIFSIM의 계산결과와 실험결과(O, X표)의 비교

그림 2는 P형 불순물인 boron을 silicon wafer에 1000°C에서 30분간 확산시킨 경우의 profile에 대한 실험 및 계산 결과이다. Stanford 대학에서 발표하여 우리 나라에서도 널리 쓰이고 있는 1차원 simulator인 SUPREM<sup>(11)</sup>으로 계산한 결과와 과학기술원에서 작성한 DIFSIM<sup>(12)</sup>이라는 program의 결과가 모두 O, X로 표시된 실험결과를 상당히 잘 맞추고 있음을 알 수 있다. 두 프로그램이 모두 고농도 영역에서는 확산계수가 vacancy 농도에 비례하여 증가하는 vacancy 확산 모델<sup>(13)</sup>을 기본으로 하고 있다. Predeposition의 경우는 비교적 간단하여 그림 2와 같이 실험과 계산결과가 잘 일치하지만, 그림 3과 같이 불순물의 확산이 silicon 표면이 산화됨과 동시에 일어나는 경우에는 Si/SiO<sub>2</sub> 계면에서의 segregation과 산화공정의 진행으로 인하여 Si/SiO<sub>2</sub> 계면이 이동하는 moving boundary 문제로 인하여 상당히 복잡해지게 된다. DIFSIM의 내부 model parameter를 실험결과와 잘 맞도록 조절함으로써, 그림 3과 같이 SUPREM에 비해 실험결과와 잘 일치하는 계산 결과를 얻고 있다. 산화막의 성장에 대한

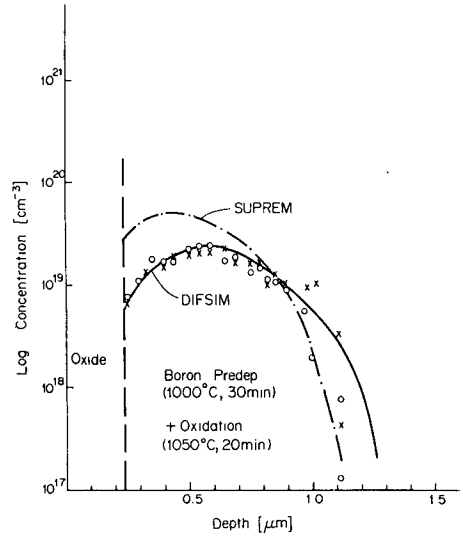


그림 3. 그림 2의 sample을 산화시킨 후의 불순물 분포에 대한 SUPREM, DIFSIM 및 실험 결과(O, X표)의 비교

model은 성장초기의 직선영역과 이후의 포물선 영역으로 나누어 각 영역에서의 계수를 실험식으로 부터 구하여 사용하는 Grove의 model<sup>(4)</sup>이 오래사용되어 왔다. 최근에는 실리콘의 표면농도에 따른 성장율의 변화와 local oxidation 공정에 의한 bird's beak(새부리) 근처의 산화막 구조의 계산등에 대한 연구 결과가 행하여지고 있다. 그림 4는 Precise<sup>(15)</sup>라는 2차원 simulator에 의한 boron의 확산 및 지역적 산화공정에 대한 profile을 보여주고 있다. 이 경우에는 새부리 영역의 산화막 모양을 complementary error function으로

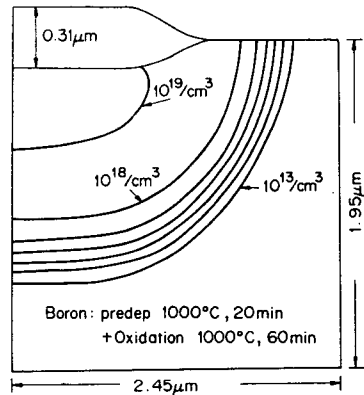


그림 4. Precise라는 program에 의한 지역적 산화 후의 boron의 2차원 분포

로 가정하고, 좌표변환에 의해 직사각형 영역에서 해를 구하는 방법이 많이 쓰이고 있다.<sup>15,16</sup> 새부리 영역의 oxide막의 profile을 질화막에서의 stress와 산화막의 점도(viscosity)를 parameter로 하여 Navier-Stokes 방정식으로 부터 구한 결과도 발표 되었다.<sup>17</sup>

소자의 크기가 면적의 축소와 함께 수직방향으로도 줄어들어야 정상적인 동작을 하게 됨에 따라, 불순물의 확산깊이를 매우 작게 하며, 비교적 자유자재로 불순물 분포를 조절 할 수 있는 이온 주입법의 사용이 보편화 되고 있다. Boron의 경우에는 4차 moment까지 고려하는 Pearson-IV형 분포가, phosphorus는 joint Gaussian 함수가 일반적으로 model에 사용되고 있으며, 분포함수의 각 moment 값은 이온주입 에너지와 불순물 종류에 따라 작성된 table이 사용된다.<sup>11</sup> 이외에도 mask edge 부근에서의 이온주입에 의한 2차원 profile에 대한 model<sup>18</sup>이 발표되어서 많이 사용되고 있으나, 2차원 불순물 분포를 정확히 측정하는 기술의 어려움으로 인하여, 확실히 어느 모델의 결과가 정확한지는 논란하기가 힘들다. 그림 5는  $10^{13}$  atoms/cm<sup>2</sup>, 50KeV로 이온주입된 boron을 1000°C, 30분간 확산한 경우에 precise에 의해 구한 profile을 보여 주고 있다.

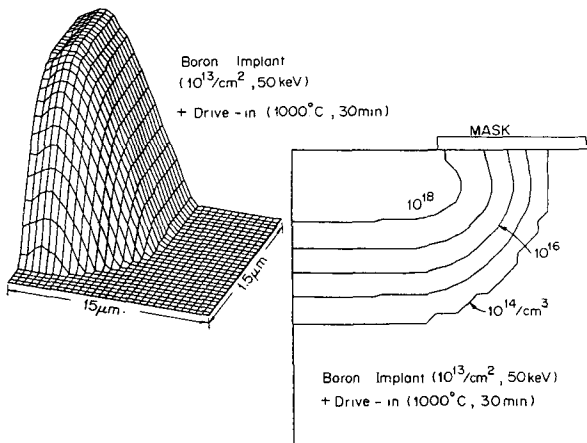


그림 5. Boron 이온 주입과 산화 공정후의 2차원 분포(precise)

Bipolar 공정과 twin tub 등의 CMOS 공정에서 사용되는 epi 성장 공정에서의 매립층의 out diffusion에 의한 불순물 profile의 변화와 epi film 두께 변화, autodoping에 대한 model<sup>19</sup>도 발표되었다. 이외에도 소자

의 크기가 submicron 영역까지 줄어들어 따라, lithography(사진), etching(식각), deposition에 대한 2차원 topography를 예측하는 작업이 매우 중요해졌고, Berkeley대학에서 발표한 sample이라는 프로그램<sup>10</sup>이 비교적 널리 사용되고 있다. 사진 공정은 optical, exposure 및 development(현상)의 셋으로 나누어 modelling되며, photolithography와 전자빔, 이온빔을 이용하는 lithography에 대한 model들이 발표되어 있으며, 전자빔과 이온빔 lithography의 경우에는 Monte carlo방법이 널리 쓰이고 있다. Etching 공정을 string model을 사용하여 isotropic 한 경우와 anisotropic 한 경우에 대한 resist 혹은 산화막등의 film profile을 계산하고 있다. Deposition공정은 etching의 역공정으로서 같은 model을 사용하여, shadow효과로 인한 poor step coverage, cracking 등을 예측하는 데 쓰이고 있다.

### III. 불순물 확산의 수치 해법

전술한 여러 가지 개별 공정에 대한 model이 세워지면, 이를 computer를 이용하여 풀기위한 적합한 수치 해법을 선택하게 된다. 여기서는 지면관계상 불순물 확산의 경우에 대해서만 간단히 언급하려 한다. 1차원 확산문제 경우에는 공간과 시간 영역을 finite difference grid로 나누는 방법으로서, fully implicit(FI),

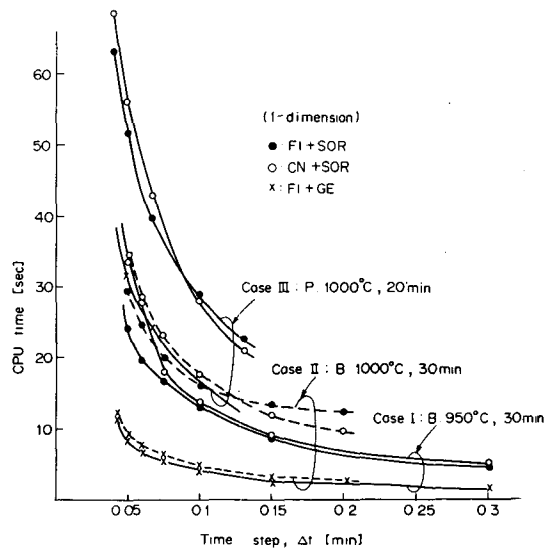


그림 6. 확산 방정식에서의 time step크기, t에 따른 3가지 predep. 공정(case I, II, III)에 대한 3가지 수치해법(fully implicit+SOR, Crank-Nicolson+SOR과 fully implicit+Gauss elimination)의 CPU 시간의 비교

## 參 考 文 獻

fully explicit(FE), Crank - Nicolson(CN)과 Dufort-Frankel(DF)등의 방법이 있고, 해를 구하는 방법으로는 iteration에 의한 SOR (successive over-relaxation)과 직접 해법인 Gauss Elimination(GE) 방법등이 있다. 시간영역과 공간영역을 각각  $\Delta t$ ,  $\Delta x$  간격으로 분할함에 있어서  $\sqrt{D \cdot \Delta t} \approx \Delta x$ 의 관계가 어느 정도 유지되는 것이 빠른 수렴과 정확성을 위하여 필요하다. 그림 6 은 case I (boron, 950°C, 30분), case II (boron, 1000°C, 30분)과 case III (phosphors, 1000°C, 20분)의 각각의 경우에 대하여 FI와 SOR에 의한 해를 얻는데 걸린 CPU 시간, CN과 SOR, FI와 GE의 경우의 각각의 CPU 시간을 보여 주고 있는데, FI(fully implicit)와 GE(Gauss elimination)의 조합이 다른 방법에 비해 3 배 정도 빠른 것을 알 수 있다. 2 차원 확산문제에서는 data 양이 많기 때문에 Gauss 소거법이나 LU decomposition 등의 방법이 memory 사용량 등의 문제로 인하여 거의 쓰이지 않으며, 대개 SOR 등의 방법이 사용된다. 한편, ADI(alternating direction implicit) 방법으로 2 차원 문제를 두개의 연결된 1 차원 문제로 분리하고, GE 등의 직접해법을 사용한 결과, 2 차원 경우에도 SOR 등의 iteration에 의한 방법보다 2~3 배 빠른 해를 구할 수 있음이 발표되었다.<sup>15)</sup>

## IV. 結 論

이상에서 집적회로 제조공정에 대한 model과 해법에 대한 개략적인 소개를 하였으나, 각 개별공정의 특성을 이해하고, 그에 알맞는 model을 제시하는 작업은 제조공정의 발전과 병행하여 계속 진행 될 것이다. 예를 들어, 전자빔, 이온빔을 이용한 etching, lithography 기술의 발전에 따라, 이에 맞는 model이 제시되고 있으며, 이를 실험적으로 확인하기 위한 장비도 매우 다양하게 되었다. 측정되는 sample의 크기가 줄어들음에 따라 측정 해상도도 줄어들고, 전자빔, 이온빔, x선, 중성자를 이용하는 측정장비의 에너지도 매우 높아지고, 가격도 수십만불 이상으로 비싸지게 되었다. 그러나, 집적회로의 동작특성이 제조공정에 의해 받는 영향이 증대됨에 따라, process로부터 system 설계까지의 모든 과정을 modelling과 computer simulation 등을 통하여 설계하는 능력을 갖추는 것이 절실히 필요하게 되었다. 끝으로, 값비싼 process 장비를 효과적으로 운용하기 위해서는 process parameter를 조정함에 따라 얻어지는 process 결과를 정확하게 예측할 수 있는 simulation tool을 구비하는 것이 매우 중요한 일이라고 생각된다.

- [1] D.A. Antoniadis and R.W. Dutton, "Models for computer simulation of complete IC fabrication processes," *IEEE Trans. Electron Devices*, vol. ED-26, pp.490,1979.
- [2] 오형철, 경종민, "수치해법에 의한 실리콘에서의 불순물 분포의 산출," *전자공학회지*, 제 21 권 6 호, 11월, 1984년.
- [3] R.B. Fair, "Concentration Profiles of Diffused Dopants in Silicon" as Chapter 7 in "Impurity Doping Processes in Silicon" ed. F.F.Y. Wang. North-Holland, 1981.
- [4] B.E. Deal and A.S. Grove, "General relationship for the thermal oxidation of silicon," *J. Appl. Phys.*, vol.36, pp.3770, 1965.
- [5] Y.Y. Yang, H.C. Oh and C.M. Kyung, *Characterization of Two-Dimensional Impurity Profile in Semiconductor using Direct Solution Method*. Presented at the Int'l Electronic Devices and Materials Symposium, Taiwan, ROC, Sept., 1984.
- [6] B.R. Penumalli, "Comprehensive two-dimensional VLSI process simulation program, BICEPS," *IEEE Trans. Electron Devices*, vol. ED-30, pp. 986-992, Sept., 1983.
- [7] D. Chin, S.Y. Oh and R.W. Dutton, "A general solution method for two-dimensional nonplanar oxidation," *IEEE Trans. Electron Devices*, vol. ED-30, pp.993-998, Sept., 1983.
- [8] S. Furukawa and H. Matsumura, "Back-scattering study on lateral spread of implanted ions," *Appl. Phys. Lett.*, vol. 22, no.3, Feb., 1973.
- [9] R. Reif and R.W. Dutton, "Computer simulation in silicon epitaxy," *J. Electrochem. Soc.*, vol. 128, pp. 909, 1981.
- [10] W.G. Oldham et al., "A general simulator for VLSI lithography and etching processes: part II - application to deposition and etching," *IEEE Trans. Electron Devices*, vol. ED-27, pp. 1455, 1980.