

CAD 技術의 現況과 動向

- 레이아웃 -

鄭 正 和

漢陽大學校 工科學 電子工學科 助教授(工博)

I. 序 言

반도체 集積회로가 출현한 이후, 이들이 시스템에 도입되어온 理由는 集積회로가 갖는 低價格性, 高信賴度, 高性能 等の 利點이 그대로 시스템의 經濟性에 연결되기 때문이다. 더욱 보다 뛰어난 시스템을 실현할 수 있는 集積化 技術이 開發, 實用化되어 가고 있으며, 그 技術의 큰 흐름은 大規模·集積化-VLSI 技術에 있다.

한편 앞에 서술한 LSI가 갖는 利點은 集積度의 向上으로 요약되며, 集積度의 向上을 지탱해 온 중요한 技術의 하나로서 CAD 技術을 들 수 있다.

LSI 設計에 있어서 CAD 技術은 論理設計 및 그 시뮬레이션, 레이아웃 設計, 檢査 等に 應用되어 오고 있는데, 특히 LSI의 集積度의 增加에 따라서 레이아웃 設計는 점점 더 많은 時間을 必要로 하는 部分이 되고 있으며 컴퓨터의 이용 즉 CAD 技術은 필수불가결한 것으로 되고 있다.

따라서 本文에서는 CAD 技術이 적용되고 있는 레이아웃 設計方式과 레이아웃 設計時 적용되는 기본적인 알고리즘, 그리고 현재 레이아웃 設計의 중간 出力으로 널리 사용되는 CIF에 관하여 해설한다.

II. 各種 LSI 및 그 레이아웃 方式

지난 10여년 동안 레이아웃 方式은 전적으로 손작업에 의존하던 것으로부터, 개념상으로는 실리콘 컴파일러를 사용한 완전 自動化 과정으로 진보하였다.¹⁾

최근 널리 사용되고 있는 레이아웃 方式은 다음과 같은 2 가지 方式으로 크게 나눌 수 있다.

1) 規則的 構造 레이아웃

- ① 게이트 어레이(마스터 슬라이스)
- ② 스탠다드 셀 및 계층적 구조 레이아웃
- ③ PLA

2) 커스텀 레이아웃

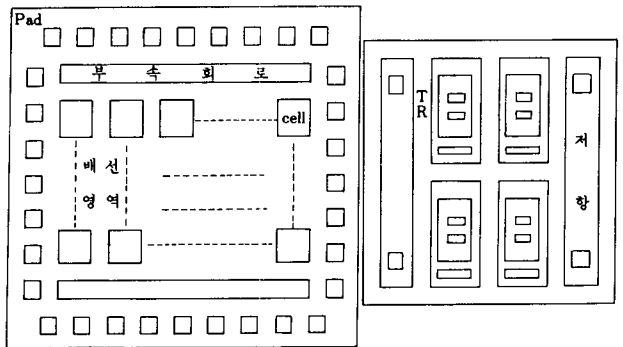
① 심볼릭 레이아웃

위의 方式中 LSI의 大量 生産에는 集積度가 높은 커스텀 레이아웃 方式²⁾ LSI의 少量·多品種 生産에는 設計時間 및 設計費用이 적게 드는 規則的 構造 레이아웃 方式이 一般的으로 많이 사용된다.

위의 方式외에 시스템의 高位의 機能記述로부터 自動的으로 設計하고, 그 設計한 것을 分析, verification 하는 것으로 실리콘 컴파일레이션이 研究되고 있다.³⁾

1. 게이트 어레이(Gate-Array)

확산공정까지 끝마친 칩(마스터 칩이라 부른다.) 상에 配線 패턴만을 변경하여 여러가지 회로를 실현할 수 있는 方式이며, 그것을 그림 1에 나타냈다.



(a) Chip의 구조 (b) Cell의 한 예

그림 1. 마스터 슬라이스 方式

확산공정까지 끝나 있으므로 製造期間의 단축과 製品出荷까지의 턴어라운드 시간이 짧으며, 칩 製造공정이 많은 品種과 共通이기 때문에 어느 정도까지 大量 生産이 가능하다. 칩 構造에 있어 셀의 排列과 配線영역을 規則的으로 設計함으로써 프로그램이 가능하도록 한 것으로 레이아웃 設計가 관건이 된다.

配置 프로그램에서는 配線영역의 配線容量이 미리 정하여져 있으므로 100% 配線이 가능한 配置法에 대한 研究가 필요하다. 配線프로그램은 프린트기판에서의 配線問題와 類似하므로 다수 발표된 프로그램들을 그대로 적용할 수 있다.

한편 論理設計圖의 규모에 적당한 마스터 칩을 어떻게 선택할 것인가라는 문제가 있으며 이것은 칩의 이용율을 최대로 함으로서 回路의 物理的 條件(예를 들어 크리티컬 패스 문제)등을 만족시킬 수 있게 된다.

2. 스탠다드 셀(Standard Cell)¹³⁾ 및 階層的 構造(Hierarchical) 레이아웃¹⁴⁾

前述한 마스터 슬라이스 방식에 비해 칩의 規則性을 어느 정도 감소시킨 方法으로 回路規模가 큰 VLSI 레벨에서 널리 이용된다.

대표적인 方法으로 폴리셀(poly-cell) 방식이 있으며 이것은 빌딩블럭(building-block)의 높이는 일정하게 하고 폭은 可變으로 하여 配置하며, 配線영역 또한 可變인 것이 특징이다. 이것을 그림 2에 나타내었다.

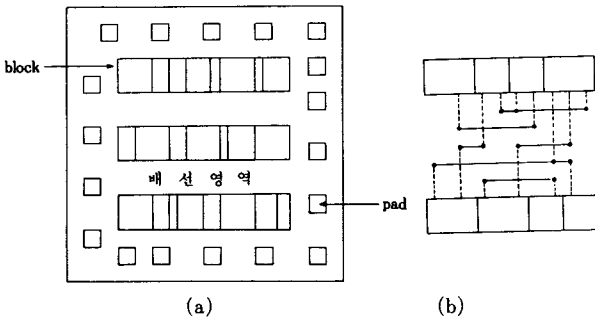


그림 2. 폴리셀 레이아웃

配線영역(配線채널 또는 세그먼트라 부른다.) 이 可變이기 때문에 100% 配線을 保證할 수 있으며 레이아웃 문제에서는 칩 크기를 最小로 하는 目的函數를 채택하고 있다. 즉 가능한 한 적은 配線영역을 사용하여 신호선을 연결함으로써 칩 면적을 줄이는 方法이 研究되고 있다.

레이아웃 設計 순서는 다음과 같은 段階로 된다.

- 1) 位相學的 配置: 配線 領域이 칩의 많은 領域을 차지하지 않도록 블럭들의 상대적 위치를 決定.
- 2) 채널 割當: 각각의 配線이 실재 행하여지는 채널의 순서를 決定.
- 3) 트랙 割當: 이웃하는 블럭사이의 트랙위에 있는 配線들을 그림 2 (b)와 같이 割當.

스탠다드셀 방식은 게이트 어레이 방식에서 보다 칩 면적이라는 측면에서 훨씬 유리하기 때문에 規模가 큰 回路에서는 널리 사용되고 있으나 점점 증대해가는 회로에 대하여는 그 개념 자체만으로는 해결할 수가 없게 되었다. 그 결과 회로를 分割하여 취급하기 쉬운 기본단위(submodule이라 부른다.)로 나눈다음, 각 서브모듈에 있어 레이아웃을 마친다음, 다시 전체를 완성하는 階層構造 레이아웃(hierarchical layout) 개념이 도입되기에 이르러 널리 사용되고 있다. 이것은 그림 3에서와 같이 VLSI 칩의 階層構造를 나타내기 위해 構成트리(structure tree)를 사용한다.

規則的 構造 레이아웃에서는 構成트리의 가장 높은 레벨에서 配置 및 配線이 完了되나, 階層構造 레이아웃에서는 블럭의 크기 및 상대적 크기 比率뿐만 아니라 블럭의 핀에 대한 仕様을 토대로 이들 블럭의 레이아웃을 마치고 그들을 서로 獨立한 것으로 간주하며, 構成트리의 유용한 영역내에서 配置 및 配線을 행하게 된다. 이 과정은 전체 칩의 레이아웃에 있어 "top-down" 經路를 마칠때 까지 계속된다.

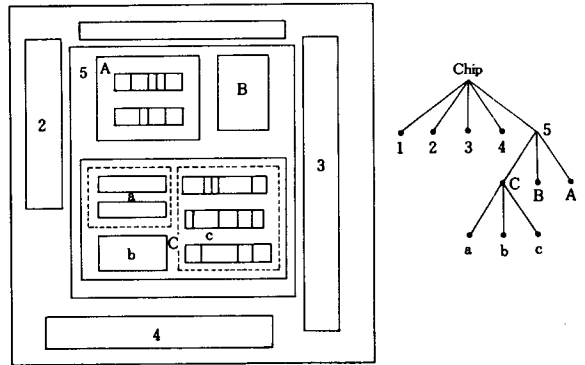


그림 3. 階層構造 레이아웃

한편 어떤 레벨에서의 모듈의 면적과 그 比率이 正確하다고는 確信할 수 없으므로 그들 모두의 슈퍼-모듈에 대하여 配置와 配線을 改善하여 칩의 構成을 최적화해야 하는데 이 과정은 構成트리의 "bottom-up" 經路를 통하여 계속 수행된다.

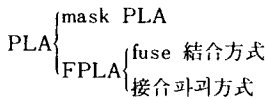
한편 階層的 構造를 취하면 각 레벨에 있어 처리하기 쉬운 小規模 構造를 가지나, 레벨間的 레이아웃(配置, 配線 포함) 변경이 발생하여, 이것을 잘 처리하지 않으면 칩의 크기가 증가해 버리는등 문제점을 갖고 있다.

따라서 이 방식은 레이아웃을 마칠때까지는 여러번의 top-down 및 bottom-up 經路를 거쳐야 하므로 앞으로 經路數를 줄이는 문제와 設計 規則을 自動적으로 滿足하기 위한 알고리즘에 대한 研究가 進行되어야 할 것이다.

3. PLA(Programmable Logic Array)

論理函數를 回路로 실현하는 경우 부울함수 그 자체를 회로로 직접 표현 가능하기 때문에 設計개념이 쉬우며 사용자 스스로 비교적 손쉽게 설계하여 사용할 수 있다는 측면에서 널리 이용되고 있다.

PLA는 프로그램 방식에 따라 다음과 같이 分類할 수 있다.



마스크 PLA는 LSI 제조공정에서 마스크에 의해 다이오드의 패턴을 만들어 내는 것이며, FPLA는 사용자가 현장에서 프로그래머를 사용하여 어레이에 요구되는 PLA 패턴을 프로그램 할 수 있는 것을 말한다.

또한 마스크 PLA는 마스크 設計의 코스트가 높기 때문에 같은 패턴의 回路를 大量으로 사용하는 경우와 특히 高速回路등에 사용되나, FPLA는 少量 多品種의 랜덤로직에 사용된다.

한편 PLA는 論理設計와 수정 및 검사의 自動化는 쉬우나 랜덤로직(random logic)에 비해 일반적으로 10~20%의 칩 이용율을 감소시키는 단점이 있다. 따라서 PLA 設計에서는 칩 이용율을 어떻게 하면 증가시켜 칩 면적의 最小化를 달성하느냐가 연구 방향이 되며 대략 아래와 같은 3가지로 연구방법을 분류할 수 있다.

- 1) 論理函數의 最小化 方法
- 2) n비트 解讀器를 사용하는 方法
- 3) Folding에 의한 方法^{[5][6]}

1)의 方法은 Quine & McClusky에 Tabular法을 필두로 여러 가지 方法이 고안되고 있으며 부울대수의 확장으로 볼 수 있다.

2)의 方法은 人力線에 decoder를 사용함으로써 2^n (n : 人力갯수) 갯수만큼의 人力을 미리 生成하여 AND 어레이상의 다이오드에 대응시킴으로써 소자이용율을 증가시킬 수 있으나 decoder 회로의 부가로 인한 redundancy가 증가된다.

3)의 方法은 현재 가장 활발히 研究가 進行되고 있

는 것으로 변수간의 독립성을 최대한 반영하여 兩方向 또는 4方向에서 변수를 入力시키는 方法이 제안되어 있다.

4. 심볼릭 레이아웃^[7]

설계자가 메탈, 폴리실리콘, 확산층(diffusion), 콘택(contact) 등 레이아웃 構成要素들을 기호화하여 그들의 상대 위치만 고려 設計하면, CAD시스템이 設計規則을 고려하여 그들의 실제 마스크 도형을 그려내는 방식으로 對話形 그래픽 시스템의 발달과 더불어 크게 脚光을 받는 방식으로 LSI칩 전체의 레이아웃에 보다, 전체 시스템을 이루는 셀들의 레이아웃에 주로 사용된다.

5. 실리콘 컴파일러^[8]

실리콘 컴파일러는, 소프트웨어에 있어서 컴파일러가 高級言語로된 소스 프로그램을 入力하여 컴퓨터의 機械語를 生成하는 것 같이, VLSI칩에 대한 高位의 機能記述(high-level architectural description)을 入力하여 직접 레이아웃 패턴을 生成하고자 하는 것이다.

실리콘 컴파일러는 칩의 集積度가 커짐에 따라 發生할 VLSI 칩 開發費用의 增大에 대응할 유력한 方式으로서 1979年 Caltech.의 David L. Johannsen이 "Bristle Blocks"에서 서술후 활발히 研究되고 있으나, 그 實現에 있어서는 出力된 코드가 레이아웃 패턴의 2次元 情報이기 때문에 문제의 복잡성이 소프트웨어의 컴파일러와 전혀 다르고 實現이 쉽지 않다는 의견과, 본래 인간이 행해야 할 高位의 設計 과정까지 컴퓨터에 대행시키는 것은 不適當하다는 등 비판적인 의견도 있다. 또한 ROM이나 PLA와 같은 반복적이고 規則的 構造의 設計에 제한되어 있고, 手動 칩 設計에 비해 성능상의 문제를 포함한 것이 많다.

실리콘 컴파일러의 内部的 處理과정을 살펴보면 機能레벨의 記述을 入力하여 VLSI의 제조과정에 무관한 論理合成을 하는 부분과 그 結果로부터 각 제조과정에 대응한 마스크 레이아웃 情報를 出力하는 自動 레이아웃 부분으로 나누어진다. 현재까지 발표된 대표적인 실리콘 컴파일러 시스템으로는 Bristle Block,^[9] MacPitts,^[10] FIRST^[11] 등이 있다.

Ⅲ. 레이아웃 알고리즘

1. 配置 알고리즘

레이아웃 設計는 一般的으로 配置設計와 配線設計로 나누어 각각 행하고 있다. 配置設計의 目的은 LSI 設計方式에 관계없이 配線率이 100% 達成될 수 있는

方式를 고안해 낼 必要가 있다. 그러기 위해서는 配置 配線을 同時에 行할 必要가 있으나 計算時間이 많이 걸리기 때문에 現實的으로 不可能하다.

따라서 配置設計에서는 現實的 配線處理에 가까우면 가까울수록 計算時間이 增大하므로 現實的 配線處理에 가까운 假想 配線 經路에 대한 研究가 시급한 과제이다.

배치 알고리즘은 초기 배치 알고리즘 및 배치개선 알고리즘으로 構成된다. 초기배치 알고리즘은 최적해에 비교적 가까운 초기해를 빠른 時間에 구하는 方法을 말하며, 배치 개선 알고리즘은 초기해를 반복 개선하여 최적해에 次차 接近시켜가는 方法을 말한다.

본래 配置問題는 combinatorial 問題이기 때문에 規模가 커지면 現實的으로 最適해를 보장하는 알고리즘은 存在하지 않는다. 따라서 最適해에 가까운 해라고 생각되는 近사해를 구하는 方法(heuristic 方法)의 概念을 도입할 수 밖에 없으며 지금까지의 研究 발표의 내용은 모두 이 概念에 속한다.

초기 배치 알고리즘은 배치할 빌딩 블록을 選擇하는 選擇規則과 選擇한 블록을 칩상의 어디에 배치할 것인가를 결정하는 配置規則으로 構成되어 있다. 종래 발표된 배치 초기 알고리즘으로 Cluster 성장법,^[11] Pair-Linking 법,^[12] Goto-kuh 법^[13] 등이 있으나, 모두 총배선장을 목적함수로 총배선장을 최소로 하는 것을 최적 배치로 간주하고 있다.

配置改善法은 지금까지 많은 研究結果가 報告되고 있으며,^[12] 대부분이 목적함수로 총배선장의 最小화를 採用하고 있다.

최근에 주목을 끄는 연구로서는 Breuer가 제안한 配線領域의 通過線數를 最小로 하는 것^[14] 과, 配線混雜度를 確率에 의해 구한 다음 최대 配線混雜도를 해소시키는 방안^[15] 등이 있다.

2. 配線 設計

配線 LSI내의 빌딩 블록設計는 간의 接續해야 하는 等電位점에 대해서 物理的 條件을 고려하면서 정해진 接續規則에 따라서 신호선의 經路를 결정하는 것이다.

배선은 일반적으로 총배선장 最小가 목표이지만 경우에 따라서는 100%의 配線率이 問題되는 것도 많다. 配線問題는 一般的으로 配線區間의 決定, 配線經路의 決定 등으로 나누어서 행해진다. 配線區間의 決定의 경우 同一 信號에 대하여 多點間 配線을 행하는 경우, 이것을 몇 개의 2 점간 配線으로 分割해서 행한다. 2

점간 배선의 알고리즘에는 다음 3 가지의 基本적 方法이 있다.

1) 미로법^{[16][17]}

Lee가 고안한 것으로 다수의 改良法이 發表되어 있다. 配線領域을 셀으로 나누어 波形으로 成長시켜가는 方法이며 經路가 있으면 반드시 찾아내는 探索能力을 갖는다. 그러나 經路가 지그재그형이 되어 through hole의 수가 增加되며, 分解能이 증가되면 컴퓨터 記憶容量이 매우 많이 必要하다는 短點을 갖는다.

2) 선분 探索法^[18]

Mikami-Tabuchi에 의해 基本적인 알고리즘이 제안된 이래 많이 사용되고 있는 方法으로 配線領域을 격자화하여 그 격자상에 선분을 연장하여 가는 方法이며 휴리스틱 方法이므로 經路를 반드시 찾아낸다는 보장은 없다.

그러나, through hole의 수가 最小인 經路를 찾아낼 수 있으며 더욱 선분단위로 經路를 探索하므로 記憶容量이 적게 必要하며 計算時間의 면에서도 다른 方法에 比較하여 우수하다.

그러나, through hole의 位置가 고정되어 있는 場合には 使用 不可能하다.

3) 채널 할당법

Hashimoto-stevens에 의해 고안 발표^[19]된 이후 “Dogleg”를 이용한 LTX^[20]가 研究 發表되었으며, 最近에는 그라프理論에 의한 最適화에 가장 近接한 方法이 提案되었다.^[21]

適用하기 쉬운 칩의 形態는 through hole의 패턴이 등간격으로 存在하는 경우로 채널 할당법에서는 配線區間을 표현하기 위해 사용되는 記憶容量이 적으며, 또 配線區間을 全體的으로 平均 分散시키기 때문에 좋은 配線結果를 얻을 수 있다.

IV. CIF(Caltech Intermediate Form)^[22]

CIF는 LSI회로나 시스템 설계자가 IC설계도면을 記述하는데 사용한다.

CIF의 目的은 汎用의 컴퓨터가 나타낼 수 있는 文字와 數字를 사용해서 IC의 設計도면을 나타내고, 이로부터 플롯터나 videodisplay 및 pattern-generator의 入力(PG tape)을 얻어 낼 수 있도록 하는데 있다.

CIF의 基本 아이디어는 다양한 정밀도로 設計된 모든 形狀소자들을 文字로서 표현하는 것으로, CIF 화일은 심볼릭 레이아웃 言語나 對話形 設計 프로그램 등으로 부터 컴퓨터 프로그램에 의해 얻어진다.

CIF의 장점으로서는 다음을 들 수 있다.

- 1) Integrated system project의 설계도면을 기술하는 데 공통분모로 사용된다. 즉 서로 다른 設計方式으로 설계된 도면이 모두 CIF로 표현됨으로서 한 그룹이 다른 그룹의 설계결과를 쉽게 이용할 수 있어 공동작업에 편리하다.
- 2) CIF를 데이터베이스로 하여 저렴한 그래픽 터미널과汎用 컴퓨터를 이용한 design work station은 CAD vendor들이 팔고있는 turnkey system과 비교했을 때 가격면에서는 비교도 안될 정도로 저렴하나 그 성능은 떨어지지 않는 것으로 알려져 있다. 이상의 장점들로 미루워 CIF를 출력으로 하는 CAD 시스템을 構成하면 이제까지 학계에서 연구된 IC 設計 기술을, CIF를 이용 실제 IC를 설계하거나 다른 기관의 공정 설비를 이용해서 공정까지 마칠 수 있으므로 실제적인 연구결과를 얻는데 크게 도움이 된다. CIF의 semantics를 포함한 보다 자세한 것은 참고 문헌^[22]를 참조하기 바란다.

V. 結 言

自動設計라는 측면에서 LSI/VLSI를 개관하는 레이아웃 CAD에 관해 설명하였다. VLSI方式에 따라서는 實用化가 상당히 發展한 것이 있는가 하면 아직도 인간에 의한 設計보다 성능과 가격면에서 불리하기 때문에 뒤떨어져 있는 것도 있다.

VLSI 레이아웃 設計를 自動化하는 것이 手動에 의한 設計보다 성능면에서 반드시 우수하다고는 볼 수 없다. 인간의 창조력을 충분히 발휘함으로써 컴퓨터가 갖는 단점을 보완하는 맨·머신 인터페이스 도입으로 設計하는 것이 CAD의 본래 성격이 되리라 간주된다.

앞으로의 과제로서는 능률 좋은 알고리즘의 개발은 물론 인터랙티브 설계에 있어 인간과 기계가 담당해야 할 분야를 정리하는 研究, CAD 전용 하드웨어에 의한 레이아웃 처리의 高速化와 人工지능 研究의 성과를 레이아웃 設計에 응용하여 知的 CAD어프로치등을 들 수 있다.

그리고 워크스테이션의 발전은 레이아웃 CAD 시스템의 이용 편리성을 향상시키는데 크게 기여하리라 기대된다. *

參 考 文 獻

- [1] Jerry Werner, *Recent Programs in CAD Systems for IC Layout*. VLSI Design, pp. 48-59, May/June, 1983.
- [2] Ayres, *VLSI Silicon Compilation and the Art of Automatic Microchip Design*. Prentice-Hall, 1983.
- [3] K. Kani, *ROBIN-A Building LSI Routing Program*. Proc. IEEE ISCAS, pp. 658-662, 1976.
- [4] B.T. Preas and C.W. Gwyn, *Methods for Hierarchical Layout of Custom LSI Circuit Masks*. Proc. 15th D.A. Conf., pp. 206-212, 1978.
- [5] G.D. Hachtel, A.R. Newton, A.L. Sangiovanni-Vincentelli, "An algorithm of optimal PLA folding," *IEEE Trans. CAD*, pp. 63-76, April, 1982.
- [6] 李永保, "高密度 PLA 設計에 관한 研究", 漢陽大學校 碩士請求論文, 1982.
- [7] Hseuh, M.y. and Pederson, D.O, *Computer Aided Layout of LSI Circuit Building Blocks*. Proc. of 1979 ISCAS, pp. 474-477, July, 1979.
- [8] 平山正治, "ツリコソ・コンパイラ", 日本情報處理學會誌, pp. 1153-1160, Oct., 1984.
- [9] Johannsen, D., *Bristle Blocks: A Silicon Compiler*. Proc. of 16th D.A. Conf., 1979.
- [10] Southard, J.R., "MacPitts: An approach to silicon compilation," *Computer*, vol. 16, no. 12, Dec., 1983.
- [11] Denyer, P.B. et al, *A Silicon Compiler for VLSI Signal Processors*. ESSCIRC'82 Digest of Technical Papers, Sep., 1982.
- [12] M.A. Breuer (ed.), *Design Automation of Digital Systems*. vol. I chapter 5, Prentice-Hall, 1972.
- [13] S. Goto and E.S. Kuh, "An approach to the two-dimensional placement problems in circuit layout," *IEEE Trans. CAS*, pp. 208-214, 1978.
- [14] M.A. Breuer, *A Class of Min-Cut Placement Algorithms*. Proc. 14th D.A. Conf, pp. 284-290, 1977.
- [15] J.H. Jung, S. Goto and H. Hirayama, A new approach to the two-dimensional placement with wire-congestion in master-slice LSI layout design, 日本電子通信學會論文誌, vol. J64-A, no. 1, 1981.
- [16] C.Y. Lee, "An algorithm for path connections and its applications", *IRE Trans. EC-10*, pp. 346-365, 1961.
- [17] S.B. Akers, "Some problems and techni-

- ques of automatic wire layout," *Digest of First Annual IEEE Computer Conf.*, pp. 135-136, 1967.
- [18] D.W. Hightower, *A Solution to Line Routing Problems on the Continuous Plain*. Proc. 6th D.A. Workshop, pp. 1-24, 1969.
- [19] A Hashimoto and J. Stevens, *Wire Routing by Optimizing Channel Assignment with Large Apertures*. Proc. 8th D.A. Workshop, pp. 155-169, 1971.
- [20] G. Persky, D.N. Deutch and D.G. Schweikert, *LTX-A System for the Directed Automatic Design of LSI Circuits*. Proc. 13th D.A. Conf., pp. 399-407, 1976.
- [21] T. Yoshimura and E.H. Kuh, "Efficient algorithms for channel routing," *IEEE Trans. CAD of IC and Systems*, vol. CAD-1, no.1, pp. 25-35, 1982.
- [22] Carver Mead and Lynn Conway, *Introduction to VLSI Systems*. Addison-Wesley, 1980. *

◆ 用 語 解 說 ◆

Mierarchical design

hardware design의 방법. hardware를 모듈과 sub module로 나누어 설계한다.

설계 데이터 베이스 (design data base)

설계에 대한 모든 정보-물리적, 전기적, 논리적, 개념적 정보-를 포함하고 있는 데이터 베이스.

유저 인터페이스 (user interfase)

컴퓨터 시스템과 통신하는데 사용되는 디스플레이와 데이터 출입에 관한 기능의 조합.

Layout editor

designer IC의 layout을 편리하게 그릴수 있고 수정할 수 있게 하는 소프트웨어.

Behavioral Simulation

회로에서의 각각의 게이트와 노드(node)의 on/off를 modeling하는 대신 수행될 기능(function)을 모델링하는 회로 시뮬레이션.

Physical modeling

소프트웨어 시뮬레이션에서 VLSI 칩을 표현하는 방법.

Design rules

기본적인 물리적 회로 구조의 최소 차원. 예를 들면 메탈 접합 실리콘의 도핑(doping 영역)의 폭, 등은 모두 이 디자인 룰을 만족해야 한다.

Silicon compiler

회로의 기능을 표현해 주는 computer program (high-level)만으로 회로의 물리적 layout을 생성가능하게 해주는 software 디자인 방법.

Symbolic Layout editor

회로 소자(예를 들면 트랜지스터, 논리게이트, 레지스터 등)를 매번 다시 설계하는 대신에 회로소자를 나타내는 기호(심벌)로 표현해 주는 소프트웨어 설계 방법.

PLA (Programmable Logic Array)

여러개의 입력 및 출력단자를 갖는 논리 소자로 입력의 조합으로써 표현된 논리회로를 구성할 수 있다.

LSI 내부의 AND 매트릭스와 OR 매트릭스의 매스컴에 의해 논리가 결정된다.

LSSD

LSSD는 level sensitive와 scan design 개념을 함께 갖는 설계 방법이다. Level sensitive란 입력상태의 변화에 대한 정상 상태 응답이나 하강 시간과 같은 ac 특성에 영향을 받지 않게 하는 것이다. 또 scan design이란 Test시 시스템내의 래치들을 쉬프트 레지스터로 구성하여 쉬프트 기능을 갖게 함으로써 어떤 특정한 값으로 래치들을 제어할 수 있고 그 래치내의 값을 외부에서 관찰할 수 있도록 하는 것이다.