

바이폴라 VLSI 技術의 展望

李 振 孝

韓國電子技術研究所 半導體 設計部長

I. 서 론

최근 미세 패턴 형성 기술이 contact, projection 에서 E-beam exposure 기술로 발전되어감에 따라서 최소 선폭이 5, 2 마이크로에서 1 마이크로 이하의 VLSI 소자 개발이 급진전되어 가고 있다.

VLSI 집적회로로서 필수적인 조건은 집적도가 높아야 되고, 소비전력이 적어야 되고, 더 나아가 동작 속도가 빨라야 한다. 이와같은 조건을 쉽게 만족시킬 수 있었던 MOS 소자가 VLSI 집적회로로서 최근까지 각광을 받아 많은 연구개발이 있었지만 동작속도면에서 유리한 바이폴라 소자도 VLSI의 총아로서 새삼 인식되고 있다.

바이폴라 트랜지스터가 VLSI로서 발전이 침체되었던 이유는 PN 접합 방법에 의한 소자 격리 면적이 컸고, MOS에 비해 전력소모가 컸고, 작은 면적에 높은 부하 저항을 만들기가 어려웠던 점 등이다. 그러나 동작속도 측면에서 유리한 바이폴라 집적회로는 공정기술 발전과 더불어 회로 및 트랜지스터 특성에서 주목할 만한 발전을 가져오게 되었다. 근본적으로 MOS 트랜지스터는 소자격리가 필요하지 않고, 적은 면적에 MOS 트랜지스터를 이용한 높은 부하 저항을 얻을 수 있을 뿐 아니라 전력 소모도 적어서 LSI, VLSI에 사용하기 쉬웠다.

바이폴라 트랜지스터 분야에서도 소자격리 기술, 다층 도선연결 기술, 다결정 실리콘을 이용한 self-align 및 매우 얇은 길이의 불순물 확산 기술등이 개발되고 있으며, 높은 부하저항을 얻는 방법으로서 이온주입에 의한 다결정 실리콘 저항 및 회로적으로 I²L(integrated injection logic), ISL(integrated Schottky logic) 등이 이용되어 저전력, 고집적도의 VLSI 개발이 가능하게 되었다.

이와같은 기술을 이용한 1 마이크로 바이폴라 트랜지스터의 특성은 ECL에서 전달 지연 시간이 70ps 정도

를 얻을 수 있어 복합 반도체로서 얻을 수 있는 20~50ps에 가까워졌으며 반도체 재료 측면에서 오랜 기술 축적으로 안정성이 좋은 실리콘 반도체로서 고속의 VLSI에 활용이 기대된다.

II. VLSI 바이폴라 트랜지스터의 구조

바이폴라 VLSI 집적회로를 위하여 세계적으로 많은 연구가 계속되어 왔으나 그 중에서 가장 유망한 대표적인 트랜지스터 구조를 알아 보기로 한다.

1. PSA 트랜지스터 구조

집적도를 향상시키기 위해서 다결정 실리콘을 사용하여 베이스와 에미터 및 콜렉터 접점을 자동적으로 align시키는 기술을 PSA(polysilicon self-align)라 하여 1980년 이래 계속 연구 발표되고 있다.^{1)~3)~4)}

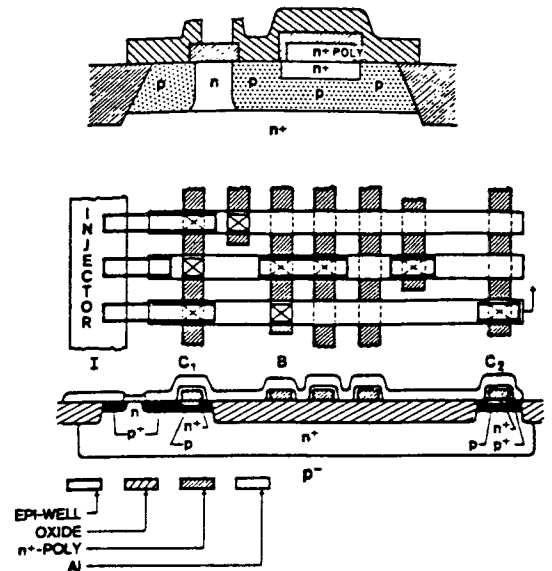


그림 1. n-poly PSA 트랜지스터 구조

PSA 트랜지스터 구조에는 대표적으로 N-poly 방식(그림 1)과 P-poly 방식(그림 2)이 있다. 이와 같은 구조에서는 다결정 실리콘을 비활성 베이스 영역의 doping source로 사용하고, 또는 최근에는 동작속도를 더 개선하기 위해서 매우 얇은 깊이의 intrinsic base junction을 얻기 위한 doping source로 사용하게 되었다.⁽¹⁾ 또한 집적도 개선 및 베이스, 콜렉터와 실리콘 기판사이의 기생 용량을 감소시키기 위해서 PN 접합 소자 격리 기술대신 절연체로 소자를 격리시키는 기술을 이용하고 있다.

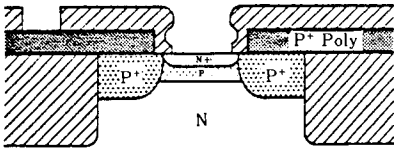


그림 2. P-poly PSA 트랜지스터 구조

트랜지스터의 베이스, 에미터 및 도선 접점을 단한 개의 마스크를 사용하여 만들 수가 있고, 또한 베이스 및 에미터 접점사이를 산화막의 두께인 약 2,000Å 정도로 될 수 있는 self-align 구조이다. P+ poly, n+ poly 및 금속 도선 등으로 이루어진 다층 도선 결선 방식의 장점을 얻을 수 있다. 다음에 n-poly PSA는 개념이 P-poly PSA의 반대가 되며 이는 I²L 회로에 응용하게 되면 도선 설계가 편리한 장점을 갖고 있다.(그림 1).

2. SST 트랜지스터

개념적으로 PSA 구조와 비슷하나 SST(super self-align transistor) 구조(그림 3)에서는 기생 용량을 줄여서 낮은 전류에서 동작속도를 높이고자한 방법이다.^{(5),(6),(7)} PSA 구조에서 p+ poly에 의한 p+ 영역은 오

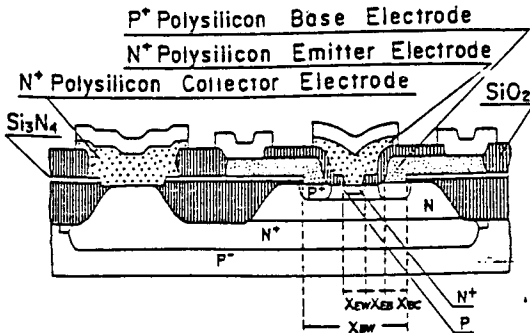


그림 3. SST 트랜지스터 구조

로지 트랜지스터의 활성 베이스(intrinsic base)에 접점 역할을 할 뿐이므로 p+ 접점의 폭을 약 2,000Å 정도로 줄여 베이스와 콜렉터 접합 용량을 감소시킨 것이다.

3. SICOS 트랜지스터

SICOS(side wall base contact structure) 트랜지스터의 구조(그림 4)도 SST 구조에서와 마찬가지로 비활성(extrinsic) 베이스 접점 영역을 극소화하여 동작속도를 향상시키고자 한 구조이다.^{(3),(8)} 본 구조의 특징은 하향 NPN 트랜지스터와 상향 NPN 트랜지스터의 구조가 대칭이 되어 각각의 거의 같은 특성을 얻을 수 있어 I²L 회로 응용에 편리하다.

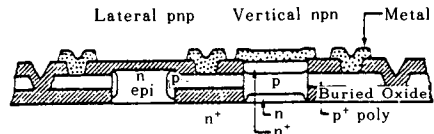


그림 4. SICOS 트랜지스터의 구조

III. 향후 바이폴라 VLSI 기술의 전망

패턴 형성 기술이 발전되어감에 따라서 집적도 및 동작속도등의 제반 특성을 개선키 위한 중점적인 연구가 필요하게 된다. 그 분야로서는 1미크론 이하의 미세 패턴 형성 기술, 소자격리 기술, 다층 도선 연결 기술, 다결정 실리콘을 이용한 self-align 및 박막 확산 기술 등을 들 수 있다.

1. 미세 패턴 형성 기술

집적도 개선은 미세 패턴 형성 기술에 가장 많이 제한을 받아 오고 있다. 미세 패턴 형성 기술에는 크게 최소 선폭 형성 기술과 registration accuracy 개선 기술이 있다. 두 분야 모두 장비의 발전과 개선에 따라서 급진적으로 발전하고 있으며 이는 DSW(direct stepper on wafer), E-beam, X-Ray 장비를 이용하여 1미크론 이하의 패턴 형성이 가능하고 registration accuracy도 0.5미크론에서 0.13미크론까지 가능하게 될 것이다. 또한 최소 선폭을 형성시키는 기술로서 다층 구조의 감광막 이용 기술, 집적회로 표면 평탄화 기술 및 RIE(reactive ion etch) anisotropic etch 기술등의 발전으로 바이폴라 VLSI의 경우 한 개의 칩에 백만개 이상의 소자 집적이 가능하게 될 것이다.

2. 트랜지스터 격리 기술

바이폴라 집적회로는 PN 접합 트랜지스터의 격리 방법으로 '인하여 집적도 개선에 단점이 되었으나 MOS 집적회로에 사용되었던 LOCOS(local oxidation of silicon) 방법을 응용하게 됨에 따라서 약 2미크론의 바이폴라 VLSI가 가능케 되었다. 그러나 MOS나 바이폴라 집적회로에서 1미크론 이하의 트랜지스터 개발에 있어서 bird's beak으로 인하여 효과적으로 집적도 개선이 어려운 LOCOS 방법보다는 다른 소자 격리 기술이 필요하게 된다. 이에 따른 유망한 기술로서는 SWAMI(side wall masked isolation), trench, selective epitaxy 등의 소자 격리 방법이 있다.



그림 5. SWAMI 격리방법

SWAMI(그림 5)는 LOCOS 방법과 비슷하나 bird's beak을 감소시킨 기술이며 이는 RIE etch 기술을 활용한 것이다. 이의 단점으로서 LOCOS와 마찬가지로 트랜지스터의 격리 영역에 산화막의 형성을 위해서 고온에서 장시간 공정을 거쳐야 하기 때문에 매물층의 확산으로 고성능의 VLSI 바이폴라 트랜지스터를 만들기 어려운 점이 있다.

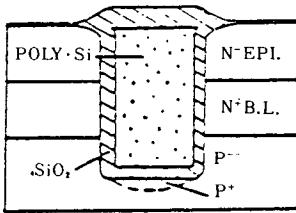


그림 6. Trench 격리방법

Trench 격리 방법(그림 6)은 MOS 및 바이폴라 집적회로에서 가장 유망한 기술로서 RIE로 실리콘을 에칭하여 산화막 및 다결정 실리콘을 채워 넣는 방법이다. VLSI 바이폴라 집적회로에서 매물층 마스크를 사용하지 않아도 되며 특히 소자와 소자간, 즉 매물층과 매물층간의 격리 거리를 최소화 할 수 있어 집적도를 향상시키는데 중요한 기술이 되고 있다.

Selective epitaxy 방법(그림 7)은 바이폴라 소자가 만들어지는 영역외에는 산화막을 남겨 놓은 채 단결

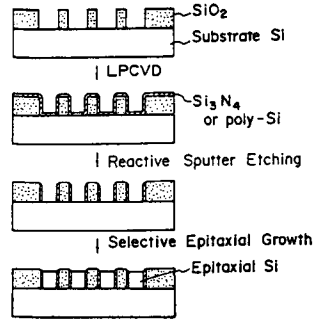


그림 7. Selective epitaxy 격리방법

정 실리콘을 성장시키면 산화막 위에는 실리콘이 형성되지 않고 소자가 만들어지는 영역만 단결정이 형성되는 방법이다.

3. 다결정 실리콘을 이용한 소자기술

다결정 실리콘을 이용하여서 베이스, 에미터 및 콜렉터 접점을 자동으로 align시키는 PSA, SST, SICOS 구조의 바이폴라 트랜지스터 개발은 계속 될 것이다. 1미크론 이하의 에미터 폭을 갖는 바이폴라 집적회로 기술이 개발될 것이고 저 전력에서 동작속도를 개선하기 위해서 비활성 베이스(extrinsic base) 영역을 줄이는 노력도 계속될 것이다.

매우 얇은 불순물 분포 깊이(junction depth)를 형성시키기 위하여 최근까지 직접 단결정 실리콘에 이온 주입하는 방법을 이용하였으나 이러한 방법으로는 베이스 깊이를 0.4미크론 이하로 하기는 어려웠다.¹⁴⁾ 그래서 앞으로는 다결정 실리콘을 불순물 확산 source로 사용하여 비활성 영역의 베이스, 활성 베이스 및 에미터 깊이를 더욱 얇게 하여 minority carrier의 축적량을 감소시켜 신호 전달 시간을(forward transit time) 단축시킬 것이다. 이와같은 방법으로 얻을 수 있는 베이스 깊이는 0.1 미크론 이하이며 이에 따라서 실리콘 표면에서 트랜지스터가 형성되므로 OISF(oxygen induced stacking fault), particle, plasma damage 등에 의한 에미터와 콜렉터간에 단락 현상이 유발될 가능성이 높아져 이를 위해서 gettering 기술의 개발이 필요하게 될 것이다.

4. 도선 연결 기술

백만개 이상의 소자를 기능별로 연결시키기 위해서는 단일층의 도선만으로는 어렵게 된다. 종전의 바이폴라 집적회로 기술에서는 알루미늄을 2중층으로 사용하였으나 다결정 실리콘을 이용한 self-align된 VL-

SI 바이폴라 집적회로에서는 베이스 연결에 P⁺-poly, 에미터 및 콜렉터에 n⁺-poly를 사용하기 때문에 이 자체를 짧은 거리간의 연결 도선으로 사용할 수 있고 알루미늄등 금속 도선을 포함하면 3중층이 될 것이다. 그러나 다결정 실리콘의 스위트 저항은 50~100 OHM/SQ. 정도가 되어 도선으로서 길이가 10SQ. 만 되더라도 적절 저항은 500~1,000 OHM이 되어 먼거리의 연결 도선으로 사용하기는 곤란하게 된다. 그래서 각 다결정 실리콘 위에 텅스텐, 몰리브덴등 실리콘사이드를 형성시키게 되면 스위트 저항이 5OHM/SQ.미만으로 되어 VLSI의 연결 도선으로 가능하게 될 것이다.

5. VLSI 바이폴라 트랜지스터의 특성

VLSI 바이폴라 트랜지스터의 특성은 급진적으로 향상되어 복합 반도체의 t_{pd}≈20ps에 가까운 40ps를 얻고 있다. 2미크론 PSA의 경우 ECL상 3mw/gate에서 300ps를, I²L상 1ns를 얻을 수 있으며, 그리고 0.5 μm PSA나 SST의 경우 ECL상 1mw/gate에서 70ps를, NTL상 40ps를 얻을 수 있게 된다(그림 8).

다음은 0.5미크론 SST의 트랜지스터 특성(표 1)으

표 1. 0.5 μm SST 트랜지스터 특성

Emitter resistance	75Ω
Base resistance	292Ω
Emitter base junction capacitance	4.9 fF
Base collector junction capacitance	6.1 fF
Isolation capacitance	34 fF
Cut off frequency (at V _{ce} =1V)	10.5 GHz
Emitter size	0.5x3 μm

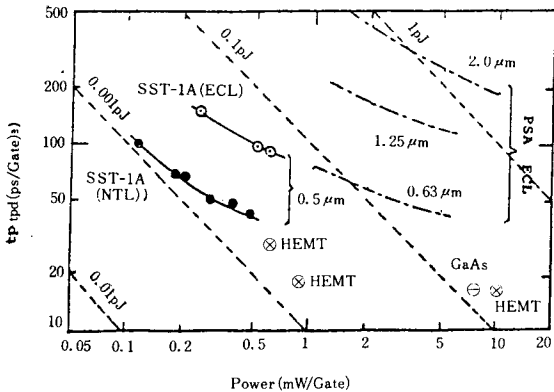


그림 8. Propagation delay time

로서 각 PN 접합 용량은 현저히 줄어들게 되고 f_T를 10GHz 이상 얻을 수 있게 된다.

6. 바이폴라 VLSI의 응용

바이폴라 VLSI는 고속 논리 집적회로에 ELC, 고집적 논리 집적회로에 I²L 및 ISL, 그리고 동시에 한 개의 칩에 선형회로를 집적시킬 수 있어 종합 시스템용 VLSI에 적합하다. 특히 빠른 동작 속도의 기억 소자, 마이크로프로세서, gate array 등 통신용 및 컴퓨터용 집적회로에 응용이 기대된다. 2미크론 I²L 기술로서 이미 access시간이 25ns인 64K SRAM의 시제품이 개발된 바 있다.^[3]

이로써 Trench 격리 1미크론 I²L로서 20ns의 256 K SRAM의 개발을 예상할 수 있다. 또한 VLSI 바이폴라 소자 기술인 다결정 실리콘을 이용한 PSA, SST등을 사용하면 1미크론 I²L로서 속도가 빠른 1M SRAM의 개발이 가능하여진다.^[3] 고속의 기억소자로서도 2미크론의 SST 소자를 이용하여 이미 1.5 ns의 1K SRAM이 개발되었고^[9] 앞으로 최소 선폭을 1미크론 이하로 줄인 트랜지스터로 1ns 이하의 기억소자도 가능하여질 것이다. 최소 선폭이 1미크론인 PSA나 SST 트랜지스터로 800 회로/mm²의 gate array, 3,000 회로/mm²의 논리회로 개발이 실현될 것이다. 마이크로프로세서 응용 분야에서도 1.25미크론 I²L을 이용하여 동작 주파수 10MHz인 16비트 마이크로프로세서를 개발한 바 있고, 이를 PSA 혹은 SST 바이폴라 기술을 이용하면 20MHz 이상의 제품도 개발이 가능하여질 것이다.^[10]

표 2. 16-bit I²L 마이크로프로세서 특성 비교

Item	SBP9989	SBP9889E	Self-aligned
Number of levels	10	10	9
Minimum pattern size, μm (mil)	4.5(0.18)	1.25(0.05)	1(0.04)
Active area, mm ² (K mil ²)	37.1(57.6)	11.2(17.4)	4.1(6.4)
Gates per mm ² (K mil ²)	129(83)	428(275)	1168(748)
Internal gate delay at 100μA (nsec)	18-20	6-10	2-4*
Typical maximum clock freq(MHz)	5.3	10.6	20*
Current(mA) at 5-MHz clock freq	400	67	-
Open collector output sink current(mA)	16	5	-
I/O breakdown(V)	7.0	6.5	-

IV. 結 論

집적도에서 MOS VLSI에 비하여 뒤떨어졌던 바이

플라 VLSI는 미세 패턴 형성 기술과 더불어 다결정 실리콘을 이용한 self-align 기술에 의하여 획기적인 발전을 가져오고 있다.

이는 특히 다기능, 즉 고속 논리회로, 고집적 논리회로, 구동력이 큰 회로, 선형 및 논리회로를 동시에 한 개의 칩에 집적시키는 방가능 신뢰성이 좋은 VLSI 응용에 총아로서 새삼 각광을 받고 있다.

參 考 文 獻

[1] T.H. Ning, R.D. Isaac, P.M. Solomon, and S.K. Wiedmann, "Self-Aligned bipolar transistors for high performance and low-power-delay VLSI," *IEEE Trans. Electron Devices*, vol. ED-28, pp.1010, Sept., 1981.
 [2] D.D. Tang, T.H. Ning, R.D. Isaac, and S.K. Wiedmann, "Subnanosecond self-aligned I²L/MTL circuits," *IEEE Trans. Electron Devices*, vol. EA-27, pp. 1379, Aug., 1980.
 [3] S.K. Wiedmann, "Advancements in bipolar VLSI circuits and technologies" *IEEE J. of Solid State Circuits*, vol. SC-19, pp. 282, Jun., 1984.
 [4] F. Barson, R. Kastl, *Shallow Bipolar*

Transistor Profiles by Diffusion from Implanted Polysilicon. VLSI Science and Technology, A 1982 Symposium, pp. 282.
 [5] T. Sakai, S. Konaka, and M. Suzuki, "Advanced super self-aligned process technology," *Electronics Letters*, vol. 19, no.8, pp. 283, April, 1983.
 [6] S.F. Chu, G.R. Srinivasan, and J. Riseman, *A Self-Aligned Bipolar Transistor*. VLSI Science and Technology, A 1982 Symposium, pp. 306.
 [7] T. Sakai and M. Suzuki, *Super Self-Aligned Bipolar Technology*. 1983 Symposium on VLSI Tech. Digest, pp. 16.
 [8] K. Nakazato, T. Nakamura, and M. Nakata, *SICOS a High Performance Bipolar Structure for VLSI*, 1982 Symposium on VLSI Tech. Digest, pp. 118.
 [9] H. Miyanaga, Y. Yamamoto, and T. Sakai, "A 1.5 ns bipolar RAM using novel circuit design and SST-2 technology," *IEEE J. of Solid-State Circuits*, vol. SC-19, pp. 291, Jun., 1984.
 [10] N.G. Einspruch, *VLSI Electronic S-microstructure Science*. no.7, pp. 121.*

알아봅시다

Sony에서 기록 가능한 광디스크를 이미 개발

今般 소니會社에서는 아크릴(PMMA)基板上에 기록層은 안티몬셀렌(sb-se)合金薄膜을 그리고 熱吸收層은 비스머스-텔루르(Bi-Te)合金薄膜을 蒸着시킨 2層構造의 高感度 光記録 材料를 利用한 大量의 光記録 디스크를 開發하였다.

그런데 이 디스크에 레이저 光을 照射하면 熱로 因하여 金屬薄膜이 非定質狀態에서 金屬結晶狀態로 變化한다는 特長을 利用한 것인데 信號의 記録은 안티몬-셀렌記録層에 레이저 光을 照射시키면 그 熱(170°C)에 의해서 안티몬-셀렌薄膜이 非晶質狀態에서 結晶狀態로 變化하게 된다는 것이다.

또한 안티몬-셀렌층의 變化는 비트 中心이 샤프하고 비트 길이가 正確하기 때문에 넓은 高波數 範圍에서 높은 S/N比(60dB)를 얻게 되며 디지털 기록

보다 아날로그 기록에 對處할 수 있는 性態를 갖고 있다고 한다. 그리고 비스머스-텔루르(Bi-Te)層은 기록層의 變化를 도와 주는 熱吸收層의 役割을 하고 있으며 기록層과 反對의 光學的 變化를 增強시키는 作用도 한다고 한다.

이 2層 構造를 使用함으로써 全體의 記録層이 얇게 되어 記録도가 向上되었고 둘째로는 30cm 디스크(1800r·p·m)로서 7mW以下, 20cm 디스크로 6mW以下의 레이저과워를 기록할 수 있었고 셋째 디지털 기록인 경우 30cm盤으로 A₄판사이즈 文章을 2만매, 20cm 盤으로 萬枚의 記録이 可能하게 되었으며 光學的 性質이 變化하는 形態이므로 기록에 따르는 形像의 變化가 없고 또한 디스크의 信號面은 保護膜으로 直接 密封시킴으로써 信賴性的 向上과 取扱이 容易하다고 한다.