

시간 t_D 는 다음과 같다.^[5,7,3,8]

$$t_D = \frac{V_{BEON} \Sigma C}{2 \alpha I} \quad (1)$$

V_{BEON} : Logic swing level (\approx npn의 base-emitter threshold 전압)

ΣC : 전체 junction capacitance

α : npn transistor common base 전류증폭

I : Injection current

전류가 증가되면 식(1)에서 알 수 있는 바와 같이 junction capacitance의 charge나 discharge에 소요되는 시간은 점점 짧아지는 반면 low doping된 n-epitaxial층에서의 minority carrier인 hole등의 축적 및 방출에 필요한 시간이 증가하여 전체 지연시간을 좌우하게 된다. 이 영역을 intrinsic region이라 하며 이때의 지연시간은 I^2L 의 최소지연시간이 된다. 그림3은 intrinsic region때의 minority carrier의 추적분포를 나타내고 있다. p층은 n-epitaxial층보다 high doping되므로 n-epi층에 축적된 hole이 p층에 축적된 electron보다 훨씬 많으며, 따라서 n-epi층에 축적된 hole이 switching time에 큰 영향을 주게 된다.

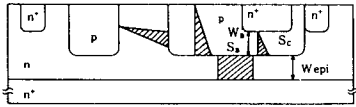


그림 3. 소수 carrier 축적분포

식(2)는 intrinsic region에서의 평균지연시간이다.^[3,5]

$$t_{Dmin} \approx \frac{1 + \sqrt{2\beta_{eff} - 1}}{4\pi f_T \left(1 - \frac{1}{\beta_{eff}}\right)} \quad (2)$$

f_T : npn transistor의 transient frequency

β_{eff} : npn transistor의 실효전류증폭

식(2)의 β_{eff} 는 분자, 분모에 포함되어 있어 t_{Dmin} 에 별 영향을 미치지 못하고 대신 f_T 에 의해 t_{Dmin} 이 크게 좌우된다. f_T 가 증가해야 최소지연시간 t_{Dmin} 이 감소될 수 있다. f_T 는 technology로 조정 가능한 parameter를 가진 다음과 같은 식으로 표현될 수 있다.

$$f_T = \frac{S_c N_{Epi} D_n}{2 \pi S_b N_b W_{Epi} W_b} \quad (3)$$

S_c : npn transistor의 collector 면적

S_b : npn transistor의 base 면적

N_{Epi} : npn transistor의 emitter doping 농도

N_b : npn transistor의 active base 영역의 doping 농도

W_b : npn transistor의 base 폭

W_{Epi} : npn transistor의 epitaxy 폭

f_T 는 S_c/S_b 가 클수록, N_{Epi} 가 크고 N_b 가 작을수록 증가하며 base 폭 W_b 및 W_{Epi} 가 짧을수록 증가함을 알 수 있다.

IV. 연구 및 개발 동향

다른 일반적인 inverter와 마찬가지로 빠른 전환속도를 나타내나 큰 전류영역에서는 전력소모가 증가하게 된다. 저 전류에서는 그에 반해 전환속도의 감속과 동시에 소모전력의 감소가 나타나게 된다.

1) 고속 switching을 위한 개선책 : 고속 switching을 위해서 앞의 식(2), (3)등에서 알 수 있는 바와 같이 큰 f_T 값을 얻게 하기 위한 방향으로 연구가 진행되어 가고 있다. Technology개발에서는 공정최소길이의 감소는 소수 carrier 및 분포, junction 용량의 감소를 나타내게 되어 f_T 를 증가시킬 수 있다. 이와같은 일반적인 공정 최소길이의 축소에 연구 개발되어 오고 있는 몇 가지를 소개하고자 한다.

① 큰 S_c/S_b 비

그림4는 S_c/S_b 를 개선하는 한 방법이다.^[9,10,11]. 그림4(a)의 n-epi에 SiO_2 의 한 부분을 etch하고 p-type의 poly-silicon층을 만들어 high temperature process를 통해 drive-in 확산을 행하면 p영역이 해당되어진다. 그림4(b)와 같이 점선 부분에 n^+ doping을 행하

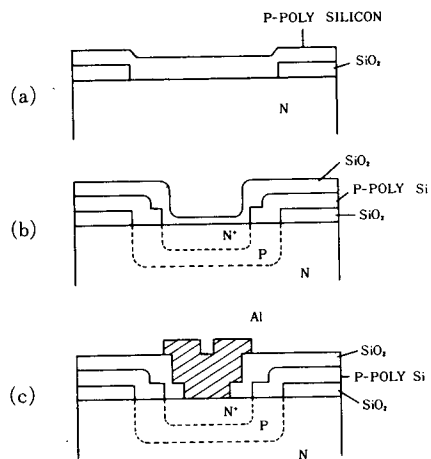


그림 4. Poly-silicon을 diffusion source로 이용하는 process.

고 collector의 contact부분을 위한 SiO₂를 etch 하면 그림4(c)와 같은 단면의 npn transistor를 얻게 된다. 이렇게 함으로써 base부분에 contact을 위한 window를 open시킬 필요가 없어 base의 side 폭을 최소로 줄일 수 있어 S_c/S_B가 크게 개선된다.

② Shallow-I²L-Inverter

Hole의 축적된 양을 적게 하기 위하여 N_{eml}를 크게 해야 하는데 이렇게 되면 다음 단계의 base와 collector를 위한 p 및 n⁺ diffusion이 어려우므로 epitaxy층 성장때 N_{eml}를 크게 할 수 없다. 따라서 그림5와 같이 npn의 emitter역할을 하는 n-epi층을 그냥 통과한 깊숙한 p-doping을 행하면 base의 n⁺가 직접 맞게 되어 n⁺가 emitter역할을 하게 되어 emitter efficiency가 높고 동시에 hole의 축적이 거의 없게 되어 f_T의 증가로 인한 t_{min}의 감소가 나타나게 된다.⁽¹²⁻¹⁴⁾

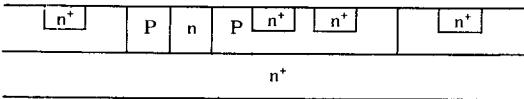


그림 5. Schallow-I²L-inverter 단면도

③ 외부 Base High Doping

N_B 즉 collector 아래에 있는 실질적인 base doping을 적게 해야 하는데^(15,16) 이때 p영역 전체를 low doping하면 pnp의 hole injection이 나빠질 뿐만 아니라 base 전 영역에 electron의 축적이 증가되며 base의 저항 또한 증가되어 multi-collector 구조 경우 injector에서 먼 곳에 있는 collector는 p-base 저항에 의한 전압강하로 npn transistor의 base와 emitter에 작은 전압이 걸리게 되어 전환속도가 느려지는 단점이 있다. N_B를 low doping하면서 동시에 이런 단점을 보상하기 위하여 그림6과 같이 n⁺(collector)바로 아래에 해당하는 내부 base영역외에 전 p영역을 ion-implantation이나 이중 확산을 통하여 high doping을 만든다.

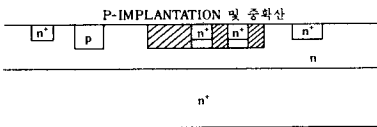


그림 6. npn transistor 외곽 base의 high doping

④그림 7과 같이 npn transistor의 base인 p영역에 높은 energy의 Bor-ion을 implantation을 시켜 base의 doping profile을 형성시키면 base의 collector 쪽에서 emitter쪽을 향한 electric field가 형성되어 emitter에서 출발한 electron이 base를 통과할 때 가속되므로 f_T가 증가되어 t_{min}이 감소된다.^(17,18)

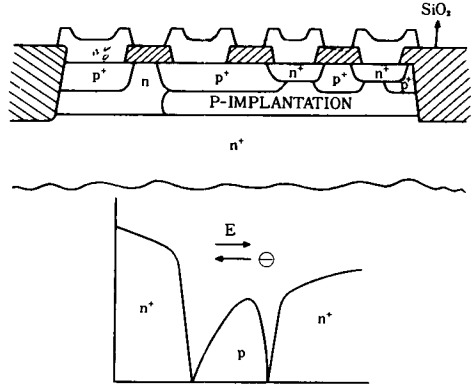


그림 7. npn transistor base의 전계 형성을 위해 doping시킨 단면도 및 profile

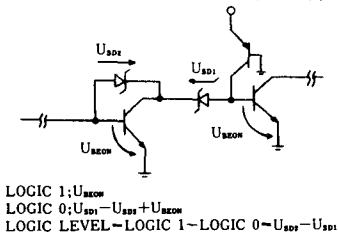
2) Low current에서의 t₀ 개선책

상기와 같은 technological parameter 변경에 의한 f_T 개선과 아울러 그로 인한 t_{min} 개선을 위한 연구가 계속되는 반면 t₀·p 즉 delay time과 power의 product 개선을 위한 노력은 계속되고 있다.

동작점이 전류가 많은 intrinsic영역이 아닌 적은 extrinsic영역에서 switching speed를 개선시킬 수만 있다면 energy 손실이 적으면서 만족한 delay time을 얻을 수 있기 때문이다. 식(1)에 나타나 있는 것처럼 extrinsic 영역에서는 delay time이 junction capacitance의 함에 비례하므로 dimension을 작게 해야 한다는 것을 알 수 있다. 이 dimension을 감소시키기 위해서는 공정최소길이의 감소 및 f_T증가를 위한 1-③방법도 사용되며 이외의 개발된 몇 가지 개선책을 소개하고자 한다.

① Schottky-I²L :

그림 8은 logic level V_{BEON}을 작게 하여 low current에서 delay time을 감소시키는 방법이다.⁽¹⁹⁻²¹⁾ npn-transistor의 base와 collector에 Schottky diode를 집적시키고 collector의 출력단과 다음 단의 입력단 사이에 또 다른 하나의 Schottky diode를 연결할 경우 swing하는 logic level이 Schottky diode의 전압차 V_{SD2} - V_{SD1}에 의해 나타나게 되며 Schottky diode 1, 2를 위해 각각 T₁ 및 p₁를 사용하면 V_{BEON}은 0.35V 정



LOGIC 1; U_{AZON}
 LOGIC 0; $U_{AZO1} - U_{AZO1} + U_{AZO1}$
 LOGIC LEVEL - LOGIC 1 - LOGIC 0 - $U_{AZO1} - U_{AZO1}$

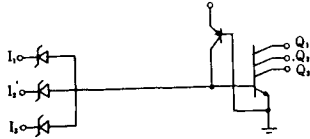


그림 8. Schottky-PL inverter

도로 줄어 들어 switching time을 높정도로 줄일 수 있다.

② Substrate Fed Logic :

그림 9와 같이 2개의 epi층을 형성시켜 p*로 부터 injection되는 hole이 모두 npn의 base로 injection되게 할 수 있으므로 pnp transistor common base 전류증폭률 α 가 매우 크게 증가되어 t_b 가 감소한다.^[20] 이와같은 substrate logic의 또 다른 장점은 임의의 p 영역에, 즉 npn의 base에 base 저항을 고려할 필요가 없어 collector를 원하는 수대로 구성시킬 수 있으며 base에 Schottky diode를 형성시킬 수 있으므로 multibase와 multicollector의 특성을 가지게 되므로 packing density를 향상시키고 complex한 logic을 쉽게 실현시킬 수 있다. (standard PL보다 약 25% 이상의 gate절약)

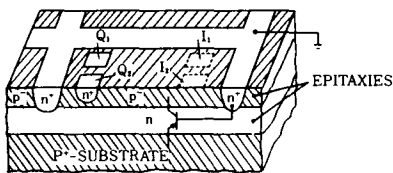


그림 9. Substrate-Fed logic의 단면도

V. 응용범위 및 결론

이와같이 PL의 minimal time 개선과 $p \cdot t_b$ product 개선 및 packing density 향상을 위한 연구는 technological parameter가 switching time에 주는 영향에서 출발하여 행하여 지고 있다. 그림10은 PL, CMOS 및 ECL의 delay time, 소요면적 및 $t_b \cdot p$ 관계를 나타내고 있다.^[22] PL은 CMOS보다 paking density 면에서 장점을 갖고 있음을 알 수 있다.

	I ² L	C-MOS	ECL
Delay time	1 ~ 10nS	10nS	1 nS
소요 면적	1	10	6 ~ 7
$t_b \cdot p$	< 1 pJ	< 1 pJ	50pJ

그림10. I²L, C-MOS 및 ECL의 지연시간, 소요면적 및 $t_b \cdot p$ 비교

그림11은 중요한 logic 회로에 대한 발전 과정을 나타내고 있다.^[22] I²L은 아직 시장 점유율이 증가 일로에 있고 비교적 최근에 개발된 회로라는 것을 이 표는 말해 주고 있다.

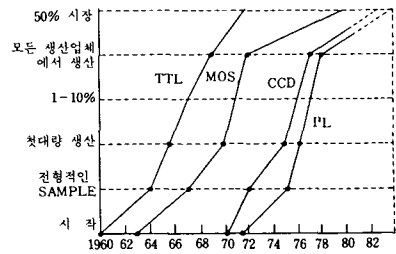


그림11. 주요 집적회로의 개발 시기 비교

1971년에 high density, low power memory cell^[23]로 등장하여 '75년에 static shift register를 200 bits/mm² 정도로 제작했으며^[24] 이때 I²L microprocessor SBP0400이 처음 등장했다.^[25,26] 이때 digital 시계에 I²L이 응용되어 digital시계의 값을 본격적으로 down 시켰으며^[25,27] Fairchild에서 4K RAM, 4K DRAM을 n-MOS 보다 약 2배 빠른 속도로 제작했다.^[28]

'76~'77사이에 Mass production이 시작되어 Tele Text decoder, 통신기기, Camera 회로, timing 회로, Radio phase-locked AFC 회로에 응용되었다.^[29-33]

Technology의 개발로 MOS도 linear function을 하는 다른 device 등과 집적될 수 있으나 driver용 device와는 집적되기 어렵다. 왜냐하면 MOS는 I²L보다 약 10배 정도의 크기를 가지므로 dirver단에 필요한 one chip에 충분한 space를 제공하기 어렵기 때문이다.

그에 반해 I²L은 각종의 bipolar transistor와 집적시키기에 compatible하여 linear bipolar transistor와 집적시켜 analog signal과 digital signal을 한 chip에서 동시에 처리할 수 있으며 driver단과의 집적^[34]이 필요한 곳에 그 용도가 점차 확대 개발되어 가고 있다.

參 考 文 獻

- [1] H.H. Berger, S.K. Wiedmann, "Merged-transistor logic (MTL)-a low-cost bipolar logic concept," *IEEE, J. SSC.*, vol. SC-7, vol. SC-7, no.5, Oct., 1972.
- [2] K. Hart and A. Slob, "Integrated injection logic: A new approach to LSI", *IEEE, J. SSC.*, vol. SC-7, Oct., 1972.
- [3] F.M. Klassen, "Device physics of integrated injection logic," *IEEE, Trans. Electron Devices*, vol. ED-22, no.3, Mar., 1975.
- [4] N.C. DE Troye, "Integrated injection logic-present and future," *IEEE J. SSC.*, vol. SC-9, no.5, Oct., 1974.
- [5] H.H. Berger and S.K. Wiedmann, "Terminal-oriented model for merged transistor logic (MTL)", *IEEE, J. SSC.*, vol. SC-9, no.5, Oct., 1974.
- [6] S. Muroga, *VLSI System Design*. John Wiley & Sons, 1982.
- [7] R. Muller and J. Graul, "High-Speed I²L with oxide isolation," *Siemens Forsch.- u. Entwickl.-Ber.*, Bd.5, (1976), Nr.6, Springer-Verlag, 1976.
- [8] H.J. Hwang, *Dissertationsarbeit an der Tu-München*, 1982.
- [9] J. Middelhoek and A. Kooy, "Polycrystalline silicon as a diffusion source and interconnect layer in I²L realizations," *IEEE, J.SSC.*, vol. SC-12, no.2, Apr., 1977.
- [10] S. Kameyama, K. Kanzaki, M. Taguchi, Y. Sasaki, G. Sasaki, "Propagation delay time dependence on gate geometry for the self-aligned I²L," *IEEE*,
- [11] D.D. Tang, T.N. Ning, R. Isaac, G. Feth, S.K. Wiedmann, H.N. Yu, "Subnanosecond self-aligned I²L/MTL circuits." *IEEE, Trans Electron Devices*, vol. ED-27, no.8, 1980.
- [12] C. Mulder and H.E.J. Wulms, "High speed integrated injection logic (I²L)", *IEEE J. SSC.*, vol. SC-11, no.3, Jun., 1976.
- [13] F.M. Klassen, "Some consideration on high-speed injection logic," *IEEE J. SSC.*, vol. SC-12, no.2, Apr., 1977.
- [14] F.M. Klassen, "Design and performance of micron-size devices," *Solid-State Electronics*, vol. 22, 1978.
- [15] S. Shinozaki, T. Iizuka u.a., "Role of the external n-p-n base region on the switching speed of integrated injection logic (I²L)," *IEEE J. SSC.*, vol. SC-12, no.2, Apr., 1977.
- [16] S. Shinozaki, K. Shinda and J.I. Miyamoto, "Effects of gate geometry on propagation delay of integrated injection logic (I²L)", *IEEE J. SSC.*, vol. SC-13, no.2, Apr., 1978.
- [17] F. Hennig, H.K. Hingarh, D. O'hrien and P.W.J. Verhofstadt, "Isoplanar integrated injection logic: A high-performance bipolar technology," *IEEE J. SSC.*, vol. SC-12, no.2, Apr., 1977.
- [18] B. Roesner, D.J. McGreivy, "A new high speed I²L structure," *IEEE, J.SSC.*, vol. SC-12, no.2, Apr., 1977.
- [19] F.W. Hewlett, "Schottky I²L," *IEEE, J. SSC.*, vol. SC-10, no.5, Oct., 1975.
- [20] V. Blatt, P.S. Walsch and L.W. Kennedy, "Substrate Fed logic," *IEEE, J. SSC.*, vol. SC-10, no.5, Oct., 1975.
- [21] H.H. Berger and S.K. Wiedman, "Advanced merged transistor logic by using Schottky junctions," *Microelectronics*, vol. 7, no.3, 1976.
- [22] I. Ruge, *Unterlagen zur Vorlesung, Integrierte Schaltungen*. Univ. Munehen, 1980.
- [23] S.K. Wiedermann and H.H. Berger, "Small-size low-power bipolar memory cell," *IEEE, J. SSC.*, vol. SC-6, Oct., 1971.
- [24] S.K. Wiedermann and H.H. Berger, "A new static shift register with dynamic transfer," *Solid State Elect.*, vol. 16, 1973.
- [25] TI Getting Close to I²L watch, Microprocessor. *Electronics*, July, 1974.
- [26] First I²L Processor in Four-Bit Design Surpasses n-MOS. *Electronics*, Jan., 1975.
- [27] \$19.95 Watch Coming from TI. *Electronics*, Mar., 1976.
- [28] Fairchild Develops First 4-K RAM to Use I²L as TI Process Pushes I²L to TTL Speed. *Electronics*, June, 1975.
- [29] I²L Chip Decodes Teletext for TI. *Electronics*, June, 1976.
- [30] D.J.G., Janssen, J.C. Kaire, P. Guetin, "The TDA 1077-An I²L circuit for two-ton telephone dialing," *IEEE, J. SSC.*, vol. SC-12, no.3, June, 1977.

- [31] *I²L for Camera Shutter Relies on Available Light Needs no Battery.* Electrons, Aug., 1976.
- [32] R. Miller, "I²L timing circuit for the lms-los range", *IEEE, J. SSC.*, vol. SC-12, no.2, apr., 1972.
- [33] *I²L Chip, Started in Japan, Provides Phase-Locked Loop for Citizen's Radio.* Electronics, Nov., 1976.
- [34] G. Bergmann, "A one-chip I²L controller for appliances," *IEEE, J. SSC.*, vol. SC-14, no.3, June, 1979. *

◆ 用 語 解 說 ◆

Work Station

인간이 하는 일 중에서 정형화한, 반복이 많은 비교적 단순한 정보처리를 컴퓨터에 의뢰하는 단계부터 비정형적인 "생각하는 것"에 이르기까지의 컴퓨터 이용이 인공지능기술응용의 하나이며, 한편 컴퓨터에 의한 처리형태가 분산처리 방식보다 더욱 진보한 고도분산처리시스템이 워크스테이션이다. 인공지능 스테이션은 위에 적은 인공지능 응용기술과 융합된 컴퓨터를 말한다.

고도분산처리라는 것은 이용자가 전용 컴퓨터가 단일 시스템처럼 논리적으로 통합화되고 물리적으로 분산하여 처리하는 이용형태를 말한다. 인공지능 station은 다음과 같은 기능을 갖고 있다.

- ① 정보 수집 system
- ② 지식 발생 system
- ③ 추론 system
- ④ 지식 data base
- ⑤ presentation system
- ⑥ 대화 system

Multi-Window

멀티 윈도우는 컴퓨터 본래의 궁극적 목적의 하나인 편의 추구에 있다. 미국 XEROX CORP.의 star가 제안한 것은 사용하기 편리함의 문제를 해결하는 것으로 책상위에서의 업무중의 image를 컴퓨터의 화면상에 재현하는 방법이다. 즉, desk-top의 이미지에서 멀티 윈도우가 생겨났다. 멀티 윈도우 시스템은 화면상에 몇개의 window를 설정하고 각 윈도우를 다른 일에 사용할 수 있도록 한 system이다. 멀티 윈도우 시스템의 각각의 윈도우는 마치

그것이 따로 독립한 1대의 단말 화면인 것처럼 사용할 수 있다. 1대의 단말 화면으로 몇개의 단말 화면을 simulate하는 것이라 볼 수 있다. 이를 위해서는 multitask 기능이 필요하다. 그러나 현재의 경우 반드시 전부가 Multi-task 기능을 가지고 있는 것이 아니며, 유사하게 병렬 실행시키지만 1 task 외에는 수행되지 않는 것도 있다. 또, 윈도우의 기능도 윈도우가 포개지는 것, Screen을 분할하여 표시하는 것 등이 있으며 개개의 기능이 다르다.

Mouse

종래, 컴퓨터의 조작 방법은 keyboard에서 지령하는 방법이 일반적이었다. 그 때문에 operator가 수없이 많은 command를 취급할 필요가 있었으며 반드시 사용하기 쉬운 것은 아니었다. 인간과 기계와의 interface의 향상을 위해서 고안한 것이 Mouse이다. Mouse를 사용하여 화면상의 Cursor를 자유롭게 이동시키고 화면상의 조작 지령 Menu를 선택한다. Mouse의 Hardware로는 2 종류의 기본 구조가 있다. 즉, 기계식과 광학식이다.

기계식 Mouse 가운데는 금속성의 ball이 넣어져 있다. Mouse를 책상위에서 움직인다면 볼이 회전한다. 그때 직교하는 2개의 회전축을 사용하여 마우스의 수평 방향(X-axis)과 수직 방향(Y-axis)의 이동량을 탐지한다. 한편, 광학식 마우스는 마우스를 Mouse pad라 부르는 알루미늄제 판위에서 미끄러뜨려 사용한다. Mouse pad에는 청색과 녹색으로 각각 가로 세로로 선이 Coating되어 있고 Mouse본체에 내장된 2개의 발광 diode와 sensor 쌍으로 X, Y 양축 방향의 움직임과 회전을 탐지한다.