

MOS FET를 이용한 DC-DC Converter

韋相烽/設備研究室

I. 序 論

産業機器의 電源으로 近來에 광범위하게 사용되고 있는 switching regulator 方式은 power transistor를 주로 사용하여 왔으나 最近에는 소용량의 경우 MOS FET의 사용이 增加되고 있다. 長点으로는 switching time이 짧아서 energy loss가 적고 switching frequency는 power transistor의 경우 20~30kHz 정도가 최대이지만 MOS FET는 300kHz 정도까지 가능하다. 이에 따라서 main transformer의 크기와 出力 filter의 크기가 周波數에 反比例하므로 MOS FET를 사용하여 動作周波數를 높이면 switching regulator를 보다 小形으로 하는 compact한 設計가 가능하다.

本設計에서는 通信用 電源으로서의 DC-DC converter를 MOS FET로 設計하였으며 그 사양은 <表 1>과 같다.

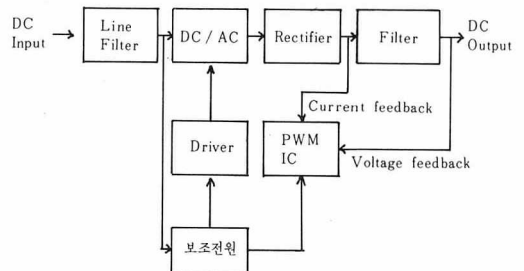
II. 設 計

System 構成은 <그림 1>과 같다. Control

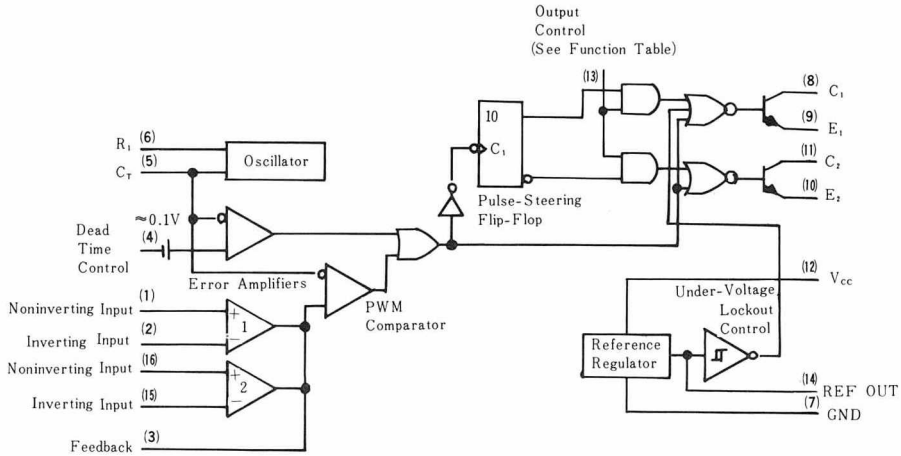
回路에는 SG3524와 TL494를 많이 사용하며 本設計에서는 TL594 (<그림 2>)로 設計하였다.

項 目	特 性
出力電壓	12V (DC)
出力電流	3 A
入力電壓	40~56V (DC)
方 式	Push-pull type
動作周波數	1次 60kHz, 2次 120kHz
效 率	75%
Ripple 電壓	30mV
Spike 電壓	100mV _{p-p}

<表 1> 仕 樣



<그림 1> PWM 制御方式의 Block 선도



〈그림 2〉 TL 594 Function Diagram

1. Switching 部

Switching regulator는 動作周波數가 높으므로 transistor의 選定, 변압기의 設計, filter 및 각 部品の 配置가 중요하며 信賴度를 增加시키기 위해서 각 部品은 surge와 熱에 의한 破壞로부터 保護해야 한다.

가. 트랜지스터의 選定

Power MOS를 使用하는 경우는 本質적으로 電荷의 蓄積效果가 없으므로 bipolar 트랜지스터에 비해서 t_{stg}는 매우 짧고 入力 impedance 가 比較的 높으므로 電壓制御가 가능하다.

入力電壓이 DC 56V (Peak) 치인 경우 트랜지스터에는 2 배의 電壓이 걸리며 變壓器에서 發生하는 leakage inductance에 따른 spike電壓을 고려하여 V_{DS} 300V I_D 2A의 트랜지스터로 設計한다. (실제 試驗에서는 V_{DS} 200V인 트랜지스터를 使用하면 破壞되는 경우가 많음)

나. MOS FET의 使用上의 注意點

1) 溫度上昇에 따라 R_{DS} (ON) 抵抗이 증가하므로 적절한 방열판을 附着하여 ON抵抗을 낮춘다.

2) Gate電壓에 따라 drain電流가 決定되므로 요구되는 I_D와 效率을 고려하여 gate-source 電壓을 決定한다.

3) MOS FET는 maker에 따라서는 gate-source保護用 Zener-device를 넣은 경우, NPN type으로 gate에 ⊖로 逆바이어스를 걸면

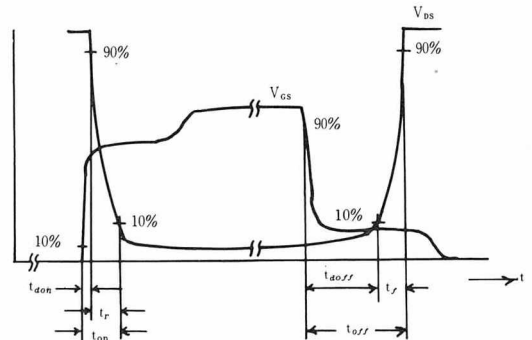
파괴될 우려가 있다.

4) 素子の 信賴性을 보증하기 위해서는 最惡의 動作상태에서 SOA曲線의 測定을 한다.

5) Driver의 方法이 나쁘면 MOS FET의 스위칭의 長點을 상쇄시킬 우려가 있다. 入力容量의 充電 放電에 요하는 時間은 다음과 같다.

$$t_r, t_f = 1n 9 (R + r_g) C_{is}$$

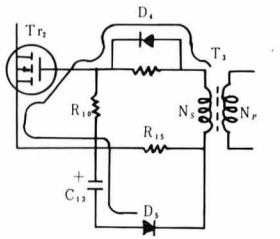
r_g : gate直列抵抗
C_{is} : MOS의 入力容量



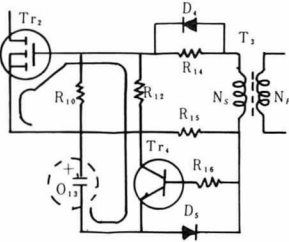
〈그림 3〉 V_{GS}, V_{DS} 特性

다. Drive 回路 設計

Power MOS FET는 gate-source間 電壓V_{GS}가 threshold 電壓 以上일때 ON되므로 MOS FET를 高速動作시키려면 switching 特性(특히t_r과 t_f)을 좋게하는 것이 必要하다. 그러므로gate-source間 등가 入力容量 C_{in}의 充放電을 신



(a) On時的 전류경로



(b) Off時的 전류경로

〈그림 4〉 Speed-up 회로

속하게 하기 위하여 speed-up 회로를 driver 단에 넣는다.

〈그림 4〉는 speed-up 회로로서 (a)는 switching on 時的 電流 경로이고 (b)는 switching off 時的 電流 경로이다.

〈그림 4 (a)〉에서 pulse trans. T₃의 2次側出力이 發生함에 따라 電流는 D₄→C_{1n}→C₁₃→D₅→N_s를 따라서 C_{1n}이 急速하게 充電되어 Tr₂는 ON된다. ON된 後는 R₁₀에 電流가 흘러 다시 C₁₃이 充電된다.

C₁₃의 電壓은 turn-off時的 Tr₄의 電源역할을 한다. V_{GS}의 電壓으로는 R₁₀의 電壓이 印加된다. 〈그림 4 (b)〉에서 T₃의 2次側出力 N₂의 電源이 차단되고 Tr₄의 base는 bias된다. 그러면 Tr₄는 ON되고 Tr₂의 C_{in}의 電荷는 R₁₂→Tr₄→C₁₃의 경로로 放電된다. Tr₂의 V_{GS}는 急速히 감소되어 V_{GS}<V_{th}가 되면 Tr₂는 off된다. 따라서 speed-up회로를 부가하면 switching動作을 빠르게 하기위해 on-off時 회로의 impedance를 줄여서 C_{in}의 充放電을 신속하게 한다.

MOS FET의 drive 회로로서 pulse trans를 사용하는 경우의 한가지 注意点으로는 MOS FET의 off區間에 C_{in}과 pulse trans의 inductance 및 抵抗에 의한 LCR共振에 따른 역전압이 threshold 電壓 以下가 되도록 R₁₀ R₁₄ R₁₅ 등을 적절

하게 決定하여야 한다.

Speed-up 회로의 트랜지스터 Tr₄는 switching t_r로서 h_{FE}가 큰 것을 택한다.

2. 出力 Transformer

가. Core의 選定

Transformer 設計時에 core의 選定은 매우 중요하며 그 특성으로는 첫째, μ가 높고 B_m이 클것, 둘째, 高周波 領域에서 鐵損이 작고, 셋째 鐵心の B-H 曲線이 溫度 변화에 따라 크게 변하지 않고, 넷째, 溫度上昇에 따라 B_{max}가 낮아지지 않는 core를 選定한다. 〈表 2〉는 현재 많이되는 switching用 ferrite core의 特性을 표시한다.

	飽和磁束密度 (B _m) Gauss	保磁力 (H _c) Oersted	殘留磁束密度 (B _r) Gauss	Curie溫度 (T _c)℃	損失係數 (tanδ/μiac) × 10 ³
H 5 A材 (TDK)	4100 (150e)	0.1	1000	130以上	10以下 (0.1MHz)
H 7 A材 (TDK)	4600 (150e)	0.2	1100	200以上	20以下 (0.1MHz)
H 7 C材 (TDK)	5100 (150e)	0.13	1000	240以上	7以下 (0.1MHz)
SB-5材 日本Ferrite	4500 (150e)	0.13	1400	200以上	2.5以上 (0.01MHz)
SB-5 S材 日本Ferrite	4500 (150e)	0.13	1000	200以上	2.3以下 (0.01MHz)
SB-5 M材 日本Ferrite	4500 (150e)	0.15	1400	200以上	4.0以下 (0.01MHz)

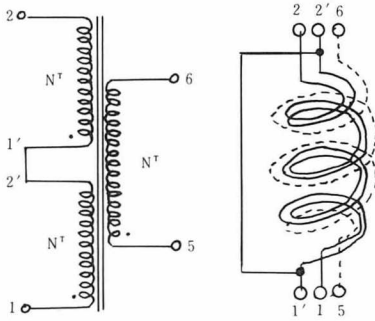
〈表 2〉 Ferrite Core의 特性

나. 卷線의 設計

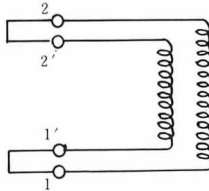
1. 2次 卷線間的 結合度가 나쁘면 漏洩磁束이 커지므로 leakage inductance가 크게 된다. 이 leakage inductance는 1次 卷線에 電壓이 印加되는 期間에 energy가 蓄積되어서 off되는 순간 卷線間에 高電壓이 發生하고 이것이 switching 素子を 破壞시키기도 하고 switching 時間을 길게하여 損失을 증가시키며, noise를 증가시킨다. 더우기 leakage inductance가 매우 큰경우에는 energy 放出時에 switching波形이 振動하여 switching이 不可能하게 된다.

結合度を 좋게하는 方法으로는 1, 2次를 한꺼번에 감아서 나중에 直列接續 (電壓分割卷) 하거나 並列接續 (電流分割卷) 시키는 方法을 취한

다. 한가지 주의점은 1次卷線과 2次卷線의 浮遊容量을 增加시킴으로써 入力의 line noise 가 出力으로 전달될 우려가 있다.



(a) 직렬 접속



(b) 병렬접속

〈그림 5〉 변압기 결선 방식

入力電圧이 片極性인 경우와 兩極性인 경우의 트랜스 卷線決定은 다음과 같다.

1) 片極性

$$n \geq \frac{E \cdot T}{2 (B_{max} - B_r) A} \times 10^8 (T)$$

2) 兩極性

$$n \geq \frac{E}{4 B_{max} A f} \times 10^8 (T)$$

f : 動作周波数

B_r : 残留磁氣

E : ON기간의 印加 電圧 (V)

T : ON時間 (sec)

B_{max} : 最大磁束密度

A : 鐵心の 断面積 (cm²)

3. 整流 回路

가. 整流 diode의 選定

Switching regulator에 사용되는 整流用 diode

는 recovery time이 빠른 FRD (Fast Recovery Diode) 또는 SBD (Schottky Barrier Diode)를 사용해야 한다. 특히 動作周波수가 100kHz以上の 高周波인 경우는 FRD中에서도 t_{rr}이 50ns以下の ultra FRD 또는 SBD를 사용한다. 여기서는 t_{rr}이 45ns 順方向 電圧강하 V_r가 1V로서 定常時, 最大電圧의 2배가 걸리므로 逆耐壓 V_{RRM} 100V인것을 선택한다.

나. Filter 設計

1) Inductor

Filter의 L값은 다음식으로 決定한다.

$$L \geq \frac{(2.5 \sim 5) (V_{s1} - V_r - V_o)}{I_{out(max)}} \cdot \frac{V_{out}}{V_{s1} - V_r} \cdot T$$

$$= \frac{(2.5 \sim 5) (20 - 1 - 12)}{3} \times \frac{12}{20 - 1} \times 8$$

$$\times 10^{-6}$$

$$\approx (30 \sim 60) \mu H$$

Core는 ferrite로서 H_{7c2}를 사용하며 L을 45 μH로 하는 경우 30Turn이 된다.

2) Capacitance 決定

L이 決定되면 이에따라 C를 계산한다.

$$C \geq \frac{V_{s1} - V_r - V_{out}}{4 \cdot \Delta V_{out} \cdot L \cdot f_o^2} \quad (\Delta V_{out} \text{는 ripple 電壓})$$

$$\geq 200 \times 10^{-6} F$$

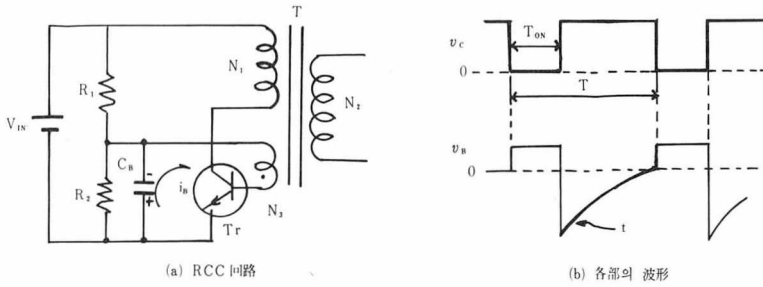
C는 470 μF 고주파용 콘덴서를 사용한다.

4. 補助電源

ON / OFF 방식의 switching 電源은 外部制御에 의한 他勵型和 trans 자체의 발진에 의해 動作되어 外部制御가 必要없는 自勵型이 있다. 制御回路를 入力과 絶緣시킬 必要가 없는 경우는 series 방식을 많이 사용하지만 絶緣하는 경우는 RCC (Ring Choke Converter) 방식을 많이 사용한다, 여기서는 RCC 방식으로하며 특히 spike 電圧을 억제하는 snubber 回路 設計가 重要하다.

〈그림 6〉에서 condenser C_B는 도통 기간을 任意로 設定하기 위한 것이다.

Condenser C_B는 트랜지스터의 導通 期間에 base 電流에 의해서 그림에 表示한 極性으로 充電되어 있다가 트랜지스터가 OFF 期間中에 R₁, R₂를 통해서 방전된다. Timing 回路의 時定數는 t = C · (R₁ R₂) / (R₁ + R₂)로 決定된다.



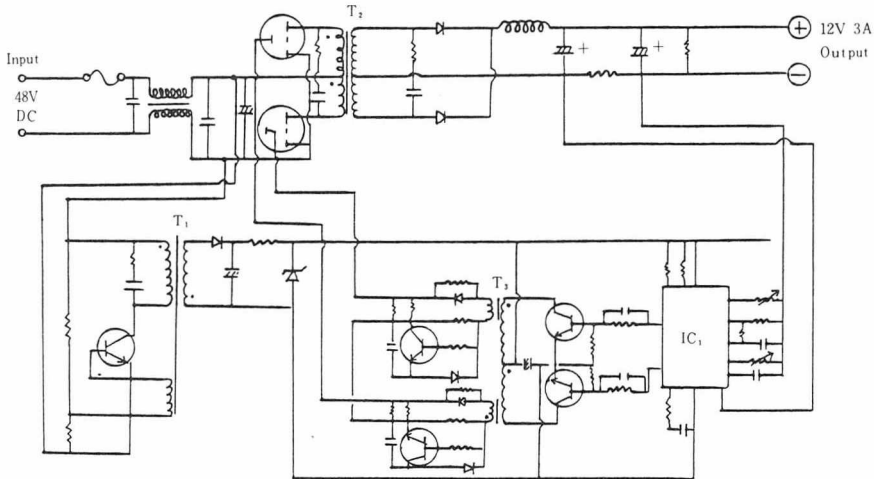
〈그림 6〉

5. 回路構成 및 實驗

가. 動作概要

변압기 T₁은 DC 48V를 DC 20V로 변환시켜

서 control회로 및 driver회로에 電源을 供給한다. TL 594(또는 494)에서 나오는 pulse는 電流增幅部 pulse trans speed-up 회로를 거쳐서 MOS FET에 gate 電壓을 가한다.



〈그림 7〉 DC-DC Converter Circuit

나. 實驗結果

Ⅲ. 結 論

項 目	特 性
① 入 力 電 壓	42V~56V _{DC}
② 無 負 荷 時 入 力	2.5Watt
③ 入 力 電 流 (3A의 負 荷 電 流)	1 A
④ 出 力 電 壓	12V±0.01V
⑤ 電 壓 Regulation	100mV _{max}
⑥ Load Regulation	150mV _{max}
⑦ 效 率	75 %
⑧ Ripple	20mV _{P-P}
⑨ Spike	150mV _{P-P}

〈表 3〉

實驗結果는 理論과 거의 일치한다. 製作에서 특히 重要한점은 transformer T₁과 T₂의 製作이다. 가능하면 密結合이 되도록하여 leakage inductance에 의한 spike 電壓을 줄여야 한다. 電壓 feed back에 photo coupler를 사용하지 않는 경우는 出力과 制御회로가 common ground되어 있어서 補助電源의 noise가 出力으로 흘러들어오므로 補助電源측도 spike 電壓을 除去하는 設計가 必要하다.

周波數가 높으므로 輻射 noise의 影響이 매우 크며 이 경우는 出力 filter 設計만으로는 除去

가 압되고 部品의 배치, power line의 배치, power MOS와 整流 diode의 방열판 사이의 storage capacitance의 除去 등 상당히 technical한 製作이 必要하다.

出力 변압기는 20kHz로 動作할때 보다 size가 1/3로 縮小되었다. MOS FET는 bipolar 트랜지스터에 비해 價格이 4倍 이상 高價이나 점점 cost down 될 展望이므로 MOS FET의 사용은 급격히 增加될 것이다.

〈参 考 文 献〉

1. 白庄司進, 戸用治朗, スイッチングレギュレーターの設計法, 誠文堂新光社, 1981.
2. 鈴木正太郎, “SW 레ギュ레이터 노이즈解決의 鍵”, トランジスタ技術, Mar., 1982.
3. 菅原久男, “高速スイッチング電源의 設計” トランジスタ技術, Mar. 1984.
4. Motorola Power Data Book, 1983.
5. 岡村迪夫, 解析 파워サプライ, CQ 出版社, 1981.
6. 清水和男, 高速スイッチングレギュ레이터, 総合電子出版, 1981.

