

Programmable Storage/Logic Array에 대한 普遍的인 Test Set

(Universal Test Sets for Programmable Storage/Logic Arrays)

都 良 會*, 權 宇 鉉**, 金 彩 英**

(Yang Hoi Dob, Wu Hyen Kwon and Che Young Kim)

要 約

쉽게 試驗할 수 있는 特性을 가진 SLA의 設計에 關係論하였다. 提案된 SLA는 hardware를 附加함으로써 回路의 狀態를 쉽게 調節하고 點檢할 수 있게 하였다. 提案된 SLA는 test pattern과 應答이 SLA에 具現된 函數에 關係없고 단지 SLA의 크기에 따라 唯一하게 決定되는 매우 짧은 普遍的인 test sequence를 갖는다. 여기서 考慮된 SLA의 故障는 單一 및 多重 stuck faults, crosspoint faults 및 bridge faults이다. 또한 故障의 位置 判別 및 그 修理에 關係서도 考察하였다.

Abstract

Design techniques for programmable storage/logic arrays (SLA's) with easily testable features are discussed. The easily testable SLA's will be designed by using additional hardware to provide an easy means to set or check the states. These augmented SLA's have the very short universal test sequences such that the test patterns and responses are uniquely determined only by the size of the SLA's independently of the function of them. The types of faults considered here are single and multiple stuck faults, crosspoint faults, and bridge faults in SLA's. Fault location and repair of SLA's are also considered.

I. 序 論

SLA(programmable storage/logic array)는 記憶素子를 가진 PLA(programmable logic array)의 한 形態로 簡單하고 規則的인 構造를 갖는 回路로서, LSI化하기에 適合하고, combinational logic 뿐만 아니라 sequential logic까지도 實現할 수 있어 그 使用이 增加하고 있다.¹⁻³⁾

한편, LSI칩의 回路密度가 增加함에 따라 回路를 試

驗하는 어려움이 더욱 커지고 있어, 回路를 効率的으로 試驗하려는 研究가 활발히 進行되고 있다.⁴⁾ 效率的으로 回路를 試驗하기 위해서는 test pattern을 만드는 데 필요한 計算時間이 짧아야 하고, test sequence의 길이가 짧아야 한다.

本 論文에서는 이와같은 概念에 바탕을 두고 PLA의 試驗方法⁵⁻⁸⁾을 基本으로 하여 LSSD(level sensitive scan design) 概念을 導入하여, SLA를 쉽게 試驗할 수 있는 方法을 提案하고자 한다. 이는 sequential logic 回路의 試驗에서 使用되는 方法^{9,10)}을 利用하여 test mode에서는 and array, or array와 F/F(flip-flop)部分이 분리되어 試驗되도록 하며 이때 全體 F/F은 shift register의 形態로 結線되도록 하여

*準會員, **正會員, 慶北大學校 工科大学 電子工學科 (Dept. of Electron. Eng., Kyung Pook National Univ.)

接受日字: 1984年 5月 21日

and array에 願하는 論理값을 入力시킬 수 있도록 設計한다. 考慮된 故障모델 (fault model)로는 stuck faults, crosspoint faults 및 bridge faults이다.¹⁾

提案된 SLA는 制御人力과 shift register 및 cascade EOR gate 등을 附加하고, SLA에 具現된 函數와 關係없는 짧은 test sequence를 구하여 單一 및 多重 故障를 檢出할 수 있도록 한다. 또한, 故障난 位置도 判別할 수 있게 하며 이를 修理하는 方法에 대해서도 論한다.

II. 既存 SLA 回路의 構造 및 特性

그림 1에 주어진 SLA 回路는 PLA 回路의 and array 및 or array에 代換 F/F이 덧붙여진 回路로서 combinational logic과 sequential logic을 함께 實現할 수 있는 read-only 構造이다.²⁾ combinational logic은 and array와 or array를 利用한 sum of product로 實現되며, sequential logic은 and array, or array 및 代換 F/F을 利用하여 實現된다. 이러한 SLA는 sequential control과 data manipulation에 아주 便利하게 쓸 수 있으며, PROM과 비슷한 programming mechanism을 가져서 回路를 쉽게 變更시킬 수 있고 여러가지 機能을 갖는 論理回路를 함께 實現할 수 있다. 이러한 SLA에 내장된 F/F 形態는 여러 가지가 될 수 있는데 本 論文에서는 JK master slave F/F을 가진 SLA에 대한 普遍的인 test set을 求한다.

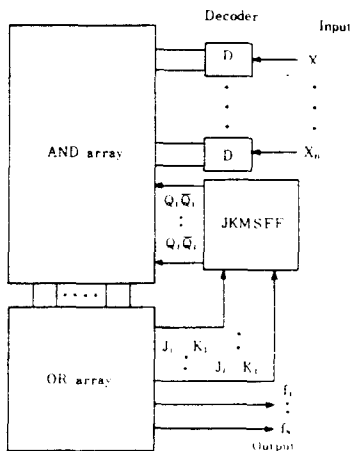


그림 1. Single-bit decoder를 가진 SLA
Fig. 1. SLA with single-bit decoders.

SLA에서 일어날 수 있는 故障은 stuck faults, crosspoint faults 및 bridge faults의 論理的 故障으로 모델化시킬 수 있다.¹⁾ stuck faults는 가장 널리 알려진

진 故障으로서 stuck-at-1 (s-a-1)과 stuck-at-0 (s-a-0)로 나눌 수 있는데, s-a-1은 論理的으로 恒常 1 狀態에 固着된 것이고 s-a-0는 論理的으로 恒常 0 狀態에 固着된 것을 말한다.

Crosspoint faults는 SLA의 特定한 crosspoint에서의 extra device나 missing device에 의해 나타난다. and array의 extra device에 의해 나타나는 故障은 出力에 나타나는 product term을 縮小 (shrinkage)시키고, missing device에 의해 나타나는 故障은 product term을 成長 (growth)시킨다. 또, or array의 extra device에 의해 나타나는 故障은 extra product term을 出力函數에 包含시키며, missing device에 의해 나타나는 故障은 該當되는 product term을 出力函數에 나타나지 않게 한다. Bridge faults는 positive logic에서는 短絡된 두 線의 論理값을 and 函數가 되게 하고, negative logic에서는 短絡된 두 線의 論理값을 or 函數가 되게 한다. 本 論文에서는 positive logic을 使用하여 短絡된 두 線의 論理값을 and 函數로 表現하였다.

III. 普遍的인 Test Set을 갖는 附加된 SLA 回路의 設計

普遍的인 test set을 갖는 SLA를 設計하기 위해 PLA에서 使用된 方法¹⁵⁻¹⁷⁾을 利用하여 既存의 SLA에 附加論理回路를 追加한다. 그림 2에 보인 附加된 SLA 回路는 shift register, cascade EOR gate, and array의 2개의 列, OR array의 1개의 行, 制御入力인

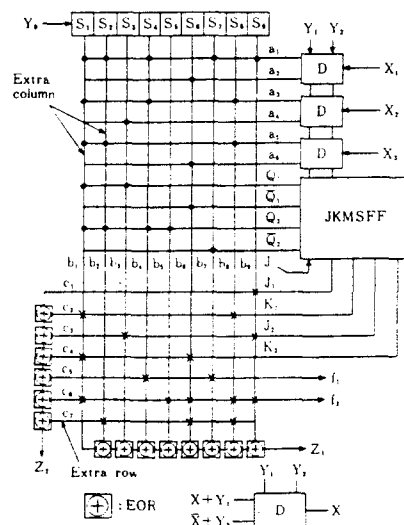


그림 2. Single-bit decoder를 가지는 附加된 SLA
Fig. 2. Augmented SLA with single bit decoders.

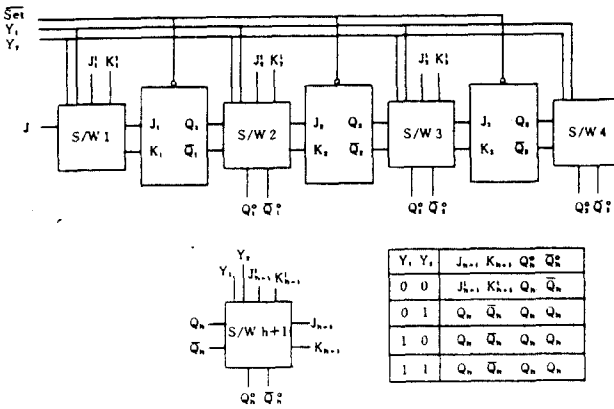
Y_0, Y_1, Y_2, J 및 回路의 故障 有無와 種類를 나타내는 出力 z_1, z_2 등의 附加된 回路로 構成되어 있다.

그림 2에 새로 追加된 b_1 列의 接續은 and array와 or array의 두 部分으로 나누어 생각한다. 즉 and array에서의 接續은 奇數번째 行과 만나는 點을 接續하며, or array에서의 接續은 行의 數가 偶數일 때는 偶數번째 혹은 奇數번째 行과 만나는 點을 接續하고 行의 數가 奇數일 때는 各 行의 接續數가 奇數가 되도록 한 行씩 건너서 接續한다. b_2 列의 接續은 and array의 decoder 入力 部分과 F/F 入力の 두 部分으로 나누어 생각한다. Decoder 入力 部分은 各 行의 接續數가 奇數가 되도록 하며 F/F 部分은 Q와 \bar{Q} 行의 接續數의 합이 奇數가 되도록 한다. 附加된 SLA의 各 列 b_n 는 shift register의 값 S,와 shift register가 없을 경우의 product term P,의 곱으로 나타난다. 한편, C, 行의 接續은 or array의 各 列의 接續數가 奇數가 되도록 한다.

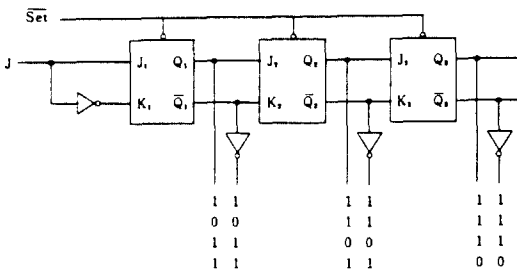
附加된 F/F 회로는 그림 3(a)와 같이 制御入力 Y_1, Y_2 에 의해 直列連結 또는 並列連結 되도록 하는 switching block을 抱含하고 있으며, switching block의 動作은 그림3(a)의 眞理表와 같다. Y_1, Y_2 가 모두 zero인 경우 F/F은 並列連結되어 normal mode 회로가 되고, 나머지 값에서는 그림3(b)와 같이 shift register 形態로 結線되는 test mode에서는 F/F을 test하기 위한 入力 J와 \overline{set} 를 利用하여 各 各의 F/F에 "0" 狀態를 만들 수 있으며, 이것으로 F/F과 連結된 and array의 故障를 檢出할 수 있다. 또 test mode 時 F/F의 出力 \bar{Q} 에 inverter를 附加함으로써 F/F과 連結된 and array의 두 층은, and array와 or array의 故障를 檢출하기 위하여 새로이 附加한 b_1, b_2 列을 利用, 同時에 故障檢出할 수 있도록 하여 test sequence를 줄였다.

그림 4는 附加된 SLA의 test 方法을 나타내며, 다음과 같다.

- 1) AND array를 test 하기 위하여 그림4(a)와 같이 Y_0 入力を 利用하여 選擇하고자 하는 and array 內의 列의 값을 1 狀態에, 나머지 列의 값을 0 狀態에 둬으로써 願하는 列을 選擇할 수 있다.
- 2) 그림4(b)에서 制御入力 Y_1, Y_2 를 가진 附加된

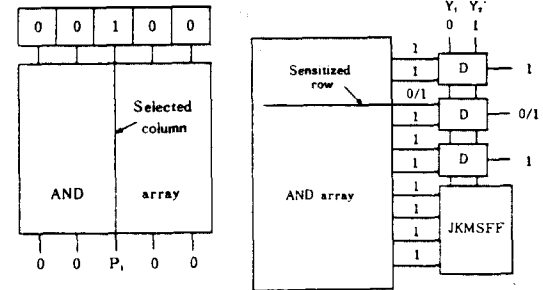


(a) Augmented F/F circuit with switching blocks.

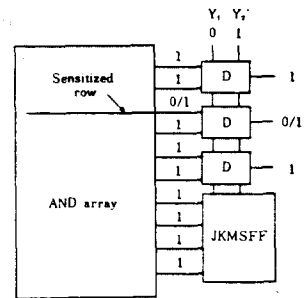


(b) Flip-flop circuit in test mode.

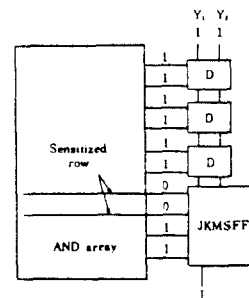
그림 3. a 스위칭 블록을 갖는 提案된 F/F 回路
b 테스트 모드에서의 F/F 回路
Fig. 3. a Augmented F/F circuit with switching blocks.
F/F circuit in test mode.



(a) Features of the augmented SLA.



(b) Features of augmented SLA.



(c) Features of the augmented SLA.

그림 4. 附加된 SLA의 特性
Fig. 4. Features of the augmented SLA.

decoder는 選擇하고자 하는 行들의 入力を 1 狀態에 態에 됨으로써 and array의 選擇된 行을 活性化 한다.

3) 그림4(c)는 F/F과 連結된 and array를 test 하기 위하여 附加된 F/F의 switching block에 制御 入力 Y_1, Y_2 에 "1"을 引加하여 test mode가 되도록 한 뒤, 入力 set와 J를 制御하여 test 하고자 하는 F/F의 出力이 모두 "0" 狀態가 되도록 만든다. 이때 나머지 行들은 "1" 狀態가 되어야 하며, 따라서 F/F과 연결된 and array의 두 行을 同時에 活性化 함으로써 test 할 수 있다.

위와 같이 附加된 SLA의 特性을 利用하여 單一 故障를 檢出하기 위한 普遍的인 test set을 提案한다. 이때 考慮된 故障들은 decoder內 gate의 入出力 線의 stuck faults, and array 및 or array의 stuck faults, crosspoint faults 및 bridge faults이다. 또한 F/F의 故障는 and array와 or array의 行의 stuck faults와 bridge faults로 나타낼 수 있다. 따라서 위와 같은 單一 故障에 對한 and array와 or array의 試驗은 F/F의 故障까지도 함께 試驗할 수 있다. 表1은 위의 故障들을 檢出할 수 있는 普遍的인 test set $T_{n,m,l}$ 이며, n 은 入力の 數, m 은 and array의 列의 數, 그리고 l 은 F/F의 數이다. 여기서 (-)는 don't care 狀態이다. 이 test set $T_{n,m,l}$ 에 對해 다음과 같은 定理가 成立한다.

[定理 1] and array에서 n 入力, m 列 및 l F/F을 갖는 附加된 SLA를 $M_{n,m,l}$ 이라 하자. 어떠한 $M_{n,m,l}$ 에 對해서도 test set $T_{n,m,l}$ 은 decoder, and array, or array 및 F/F의 모든 單一 stuck faults, cross point faults 및 bridge faults를 檢出할 수 있다 [證明; 附錄 參照].

[定理 2] Test set $T_{n,m,l}$ 에서 test input I_1, I_2^n 는 附

加된 cascade EOR gate e_l 에서 일어나는 모든 多重 stuck faults를 檢出할 수 있다. 行列 M_{OR} (SLA의 or array)의 列의 階數(rank)가 附加된 cascade EOR gate C_l 의 入力數와 같으면 C_l 에서 일어나는 모든 多重 stuck faults가 I_1, I_2^n 에 의해 檢出된다.¹⁴⁾

Test set $T_{n,m,l}$ 로 부터 提案된 SLA를 試驗하기 위한 test sequence $\alpha_{n,m,l}$ 을 구하면 다음과 같다.

$$\alpha_{n,m,l}; I_1, I_2, I_3^1, I_3^2, \dots, I_3^m, I_3^1, I_3^2, \dots, I_3^m, I_4^1, I_4^2, \dots, I_4^m, I_4^1, I_4^2, \dots, I_4^m, I_5, I_5^2, \dots, I_5^l, U_1, U_2, \dots, U_{m-1}$$

여기서 U_i 는 shift register를 試驗하기 위한 것이며 다음과 같은 값을 가진다.

$$X_1 \dots X_n Q_1 \bar{Q}_1 \dots Q_l \bar{Q}_l Y_1 Y_2 S_1 \dots S_l S_{l+1} \dots S_m Z_1 Z_2$$

$U_i = \dots \dots 1 1 \dots 1 1 1 1 0 \dots 0 1 \dots 1 \bar{e}_i$ 이 test sequence $\alpha_{n,m,l}$ 은 SLA의 모든 單一 stuck faults, crosspoint faults 및 bridge faults를 檢出할 뿐만 아니라 shift register의 shift 函數도 試驗할 수 있다. 이때 test sequence의 길이는 $2n+3m+l+1$ 이다.

IV. 多重 故障의 檢出

지금까지 論한 SLA의 單一 故障 檢出 方法을 多重 故障 檢出에도 擴張하여 適用하고자 한다. 多重 故障 檢出에서 適用可能한 故障 모델은 다음과 같다.

- 1) 入力 $X_i (i=1, 2, \dots, n)$ 에서의 多重 stuck faults.
- 2) 制御 入力 $Y_i (i=1, 2)$ 에서의 多重 stuck faults.
- 3) AND array의 行에서의 多重 stuck faults.
- 4) AND array와 or array에서의 列의 多重 stuck faults.
- 5) OR array의 行에서의 多重 stuck faults.
- 6) EOR cascade C_l 의 入出力 線의 多重 stuck faults.
- 7) M_{OR} 의 列의 階數와 or array의 行의 數가 같은

표 1. 普遍的인 test set $T_{n,m,l}$
Table 1. Universal test set $T_{n,m,l}$

$$e_m = \begin{matrix} 0 & \text{if } m \text{ is odd} \\ 1 & \text{if } m \text{ is even} \end{matrix}$$

	$X_1 \dots X_1 \dots X_n$	$Q_1 \bar{Q}_1 \dots \bar{Q}_n \dots Q_l \bar{Q}_l$	$Y_1 Y_2$	$S_1 \dots S_l \dots S_m$	$Z_1 Z_2$
I_1	- - - - -	- - - - -	- -	0 - - 0 - - 0	0 0
I_2	1 - - 1 - - 1	1 0 - - 1 0 - - 1 0	0 0	1 - - 0 - - 0	1 -
I_3^j	1 - - 1 - - 1	1 1 - - 1 1 - - 1 1	0 1	For $j=1, 2, \dots, m$ 0 - - 1 - - 0	1 1
I_3^j	0 - - 0 - - 0	1 1 - - 1 1 - - 1 1	1 0	0 - - 1 - - 0	1 1
I_4^i	For $i=1, 2, \dots, n$ 1 - - 0 - - 1	1 1 - - 1 1 - - 1 1	0 1	1 - - 1 - - 1	e_m -
I_4^i	0 - - 1 - - 0	1 1 - - 1 1 - - 1 1	1 0	1 - - 1 - - 1	e_m -
I_5^h	- - - - -	For $h=1, 2, \dots, l$ 1 1 - - 0 0 - - 1 1	1 1	1 - - 1 - - 1	e_m -

때 EOR cascade C_i 의 入出力 線의 多重 stuck faults.

- 8) OR array의 列의 奇數個의 crosspoint faults.
- 9) AND array의 行의 奇數個의 crosspoint faults.
- 10) AND array와 or array의 各行과 列의 bridge faults.

위의 故障들이 서로 獨立의으로 일어날때 test set $T_{n,m,1}$ 은 單一 故障 檢出의 境偶와 마찬가지로 普遍的인 test set이 된다.

V. 故障 位置 判別

提案된 SLA의 故障 位置를 찾는 方法을 提示한다. 단, 이때 考慮되는 故障의 種類는 F/F이 連結된 部分을 除外한 and array와 or array의 多重 crosspoint faults에만 局限한다.

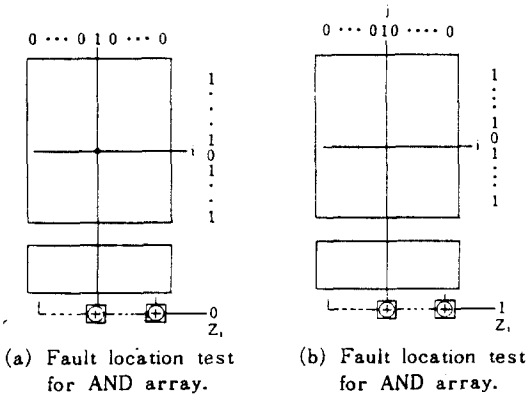


그림 5. AND array의 故障 位置 判別
Fig 5. Fault location test for and array.

故障 位置 判別 試驗은 그림 5와 같은 test pattern을 引加함으로써 and array의 (i, j)번째 位置에 link가 있는지 없는지를 알 수 있다. 만약 z_i 이 0狀態 또는 1狀態이면 連結 또는 連結되지 않았음을 나타낸다. OR array에 대해서는 그림 6과 같은 test pattern을 引加함으로써 (i, j)번째 位置에 link가 있는지 없는지를 알 수 있다. 만약, 出力 f_i 의 값이 1狀態 또는 0狀態이면 連結 또는 連結되지 않았음을 나타낸다. 따라서 그림 5 및 그림 6과 같은 test pattern을 使用하여 and array와 or array의 結線狀態를 알 수 있다. 여기서 and array의 crosspoint faults 位置를 찾기 위한 test sequence의 길이는 $2nm$ 이었고, or array의 crosspoint faults 位置를 찾기 위한 test sequence의 길이는 m 이다.

위의 test sequence를 利用하여 故障의 位置를 찾은 後, 故障난 SLA는 다음과 같이 修理할 수 있다.⁶⁾

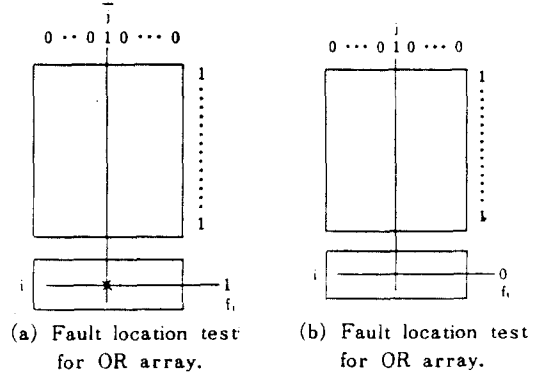


그림 6. OR array의 故障 位置 判別
Fig. 6. Fault location test for or array.

FSLA(field programmable storage/logic array)의 境偶에는 餘分의 列을 使用하여 任意의 product term을 없애거나 새로이 만들 수 있으므로 故障난 FSLA를 고칠 수 있다. 만약 MSLA(mask programmable storage/logic array)인 境偶에는 memory patch technique을 利用하여 故障난 MSLA의 函數를 餘分의 FSLA로 代置함으로써 고칠 수 있다.

VI. 結 論

本 論文에서는 故障檢出 回路가 附加된 SLA를 提案하고 故障檢出을 위한 test set와 이를 利用한 test sequence를 提示하였다. 附加된 回路는 F/F을 制御하기 위해 switching block을 使用함으로써 clock에 非同期的으로 F/F을 制御하였으며, stuck faults, crosspoint faults 및 bridge faults를 檢出할 수 있게 하였다. Test set $T_{n,m,1}$ 은 SLA의 結線形態에 關係없고 入力の 數 n, and array의 列의 數 m 및 F/F의 數 l에 의해서만 唯一하게 決定된다. 따라서 提案된 SLA는 具現하고자 하는 函數에 關係없는 普遍的인 test set을 갖는다. 또한 各 函數에 따른 test set을 더 이상 만들어 줄 必要가 없으므로 test set 生成에 必要한 時間과 費用을 無視할 수 있다. 한편 F/F과 連結된 行은 2行씩 同時에 活性化함으로써 test sequence의 長이를 1개 줄여서 전체 sequence의 長이가 $2n + 3m + l + 1$ 개 밖에 안되는 매우 짧은 test sequence가 되게 하였으며, 한 개의 test sequence로서 各行間의 bridge faults를 檢出할 수 있게 하였다.

또한 test set $T_{n,m,1}$ 은 多重故障를 檢出하는 境偶에도 單一故障를 檢出하는데 必要한 test sequence와 同一한 普遍的인 test sequence를 갖는다. 故障位置判別 試驗은 F/F이 連結된 部分을 除外한 各 array의 crosspoint faults를 찾아낼 수 있으며 test sequence의 길이는 $2nm + n$ 개이다.

附 錄

[定理 1]의 證明

Test input I_1 를 引加했을 때는 그림A(a)와 같이 b_j 列의 값이 1狀態로 되고 나머지 列의 값은 0狀態로 되어서 and array의 奇數번째 行과 or array의 接續된 行이 1狀態의 값을 가진다. 그러므로 出力 Z_1 을 觀察하면 and array 및 or array의 隣接한 各 行의 bridge faults를 檢出할 수 있다.

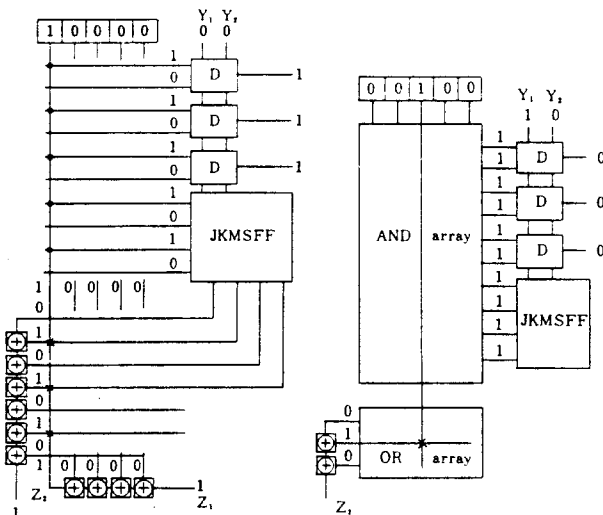
그림A, (b)와 같이 test input I_2 와 I_3 를 引加했을 때 j 번째 列은 1狀態로 되고 나머지 列들은 모두 0狀態로 된다. 그러므로 I_2 와 I_3 은 出力 Z_2 를 觀察하여 and array의 j 번째와 $j-1$, 혹은 j 번째와 $j+1$ 번

째의 bridge faults와 or array의 j 번째 列의 어떠한 crosspoint faults도 檢出할 수 있다.

또한 出力 Z_1 을 觀察하여 or array의 j 번째와 $j-1$ 혹은 j 번째와 $j+1$ 번째의 bridge faults와 and array의 모든 行의 s-a-0, j 번째 列의 s-a-1, 나머지 列들의 s-a-0 故障과 or array의 모든 行의 어떠한 stuck faults도 檢出할 수 있다.

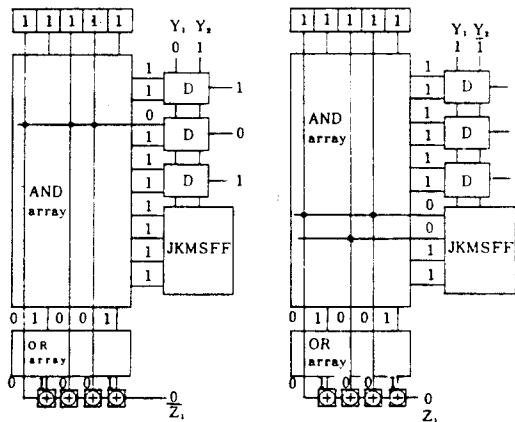
Test input I_4 혹은 I_5 을 引加했을 때 그림A(c)와 같이 and array의 $2i-1$ 번째 혹은 $2i$ 번째 行은 0狀態로 되고 나머지 行들은 모두 1狀態로 된다. 그러므로 出力 Z_1 을 觀察하여 $2i-1$ 번째 혹은 $2i$ 번째 行의 모든 crosspoint faults와 s-a-1故障을 檢出할 수 있다.

그림A(d)와 같이 test input I_{2n} 를 引加했을 때 and array의 $2n+2h-1$ 과 $2n+2h$ 번째 行이 同時에 活性化되어 0狀態로 되고 나머지 行들은 모두 1狀態로 된다. 그러므로 出力 Z_1 을 觀察하여 $2n+2h-1$ 과 $2n+2h$ 번째 行의 모든 crosspoint faults와 s-a-1 故障을 檢出할 수 있다. 또한 test input I_{2n}^0, I_{2n}^1 와 I_{2n}^2, I_{2n}^3 는 decoder 内の 모든 stuck faults를 檢出할 수 있다. or gate의 入力線의 s-a-0는 I_2^0 와 I_3^0 을 使用하여, s-a-1은 I_2^1 와 I_3^1 을 使用하여 檢出할 수 있다. X_1, Y_1, Y_2 入力線의 s-a-0는 I_2^0 와 I_3^0 을 使用하여, s-a-1은 I_2^1 와 I_3^1 을 使用하여 檢出할 수 있다.



(Aa) Fault detection test for SLA.

(Ab) Fault detection test for SLA.



(Ac) Fault detection test for SLA.

(Ad) Fault detection test for SLA.

Fig. (A)

參 考 文 獻

- [1] H. Fleisher and L.I. Maissel, "An introduction to array logic," *IBM J. Res. Develop.*, vol. 19, pp. 98-109, 1975.
- [2] J.C. Logue, N.F. Bricman, F. Howley, J. W. Jones and W.W. Wu, "Hardware implementation of a small system in programmable logic arrays," *IBM J. Res. Develop.*, vol. 19, pp. 110-119, 1975.
- [3] S.S. Patil and T.A. Welch, "A programmable logic approach for VLSI," *IEEE Trans. Comput.*, vol. 28, pp. 594-601, 1979.
- [4] T.W. Williams and K.P. Parker, "Design for testability-a survey," *IEEE Proc.*, vol. 71, pp. 98-112, 1983.
- [5] S.J. Hong and D.L. Ostapko, "FITPLA: A programmable logic array for function independent testing," *10th Int. Symp. Fault-Tolerant Comput.* pp.131-136, 1980.
- [6] H. Fujiwara and K. Kinoshita, "A design of programmable logic arrays with universal tests," *IEEE Trans. Comput.*, vol.

- 30, pp. 823-828, 1981.
- [7] K.S. Ramanatha and N.N. Biswas, "A design for complete testability of programmable logic arrays," *1982 IEEE Test Conf.*, pp. 67-74, 1982.
- [8] K.S. Son and D.K. Pradhan, "Design of programmable logic arrays for testability," *1980 IEEE Test Conf.*, pp. 163-166, 1980.
- [9] S. Funatsu, N. Wakatsuki and A. Yamada, "Designing digital circuits with easily testable consideration," *1978 Semiconductor Test Conf.*, pp. 98-102, 1978.
- [10] F.J. McCluskey and S. Bozorgui-Nesbat, "Design for autonomous test," *1980 IEEE Test Conf.*, pp. 15-21, 1980.
-