論文 85-22-3-10

Gate Array의 Global Routing 技法
(A New Global Routing Techniques for Gate Array)

李 丙 鎬*, 鄭 正 和*, 林 寅 七*
(Byung Ho Lee, Jong Wha Chong and In Chil Lim)

要 約

本 論文에서는 VLSI layout CAD에 있어서의 새로운 그로발 라우팅(global routing) 技法을 제안하고 이에 관하여 論하였다. 종래의 그로발 라우터에서는 핀의 위치를 모두 셀의 中央에 두었기 때문에 信號線의 채널 사용량을 정확히 算出할 수 없었다. 그 結果 디테일드 라우팅(detailed routing)時 配線量 overflow가 발생하여 100% 結線을 저해하는 많은 요인을 내포하고 있었다. 本 論文에서는 이러한 문제점을 모두 보완하기 위하여 핀순서를 고려한 새로운 방법의 그로발 라우팅 알고리즘을 제안하였다. 이 알고리즘을 사용하여 그로발 라우터를 실현하고, 계산기상의 실험 결과를 통하여 제안한 알고리즘의 有用性을 보였다.

Abstract

A new global routing technique for gate array is described in this paper.

In former global routers the position of pins is considered to be in the center of the cell. So it is impossible to exactly estimate the number of signal lines passing through each channel. As a result, an overflow occurs and the overflow violates 100% wiring in detailed routing processes. Besides this, there are some problems in former global routers, for example, design time and cost, etc.

This paper proposed a new algorithm in which pins ordering is considered to solve these problems. Using this algorithm, a global router is developed. Program experiments show the efficiency of the proposed algorithm.

I. 序 論

최근 반도체 集積技術의 급격한 발달로 集積回路의 集積度가 증가함에 따라 設計코스트와 設計시간을 줄이고 信賴度를 높이기 위한 設計 및 시험공정 전반에 걸친 自動化가 한층 요구되고 있다. 이러한 요구에 부응하기 위하여 layout CAD技術은 필수 불가결한 것으로 되어 있고 이는 設計 싸이클 중 가장 시간이 많이 걸리는 것으로 알려져 있으며 그에 대한 연구는 매우 활발하다.[1-14]

Layout 設計는 配置와 配線設計로 나누어서 행하여지고 있으며 配線設計는 그로발 라우팅(global routing)과 디테일드 라우팅(detailed routing)으로 구분되며 이중 그로발 라우팅은 100% 結線率 달성 및 配線狀態의 良否를 결정짓는다는 관점에서 매우 중요한 과정으로 되어 있다. 本 論文에서는 주로 그로발 라우팅 문제를 중점적으로 다루었다.

종래의 그로발 라우터에서는 핀의 위치를 셀의 중앙에 둠으로서 채널 사용량을 정확히 算出할 수 없었고, 이로인해 디테일드 라우팅에서 100% 結線率을 달성하지 못했다.[7,10,11] 또한 配線을 행할때 信號線 집합을 임의의 순서로 선택하여 結線하므로 인해 효율적인 配

*正會員, 漢陽大學校 工科大學 電子工學科
(Dept. Electron. Eng., Han Yang Univ.)
接受日字 : 1985年 1月 24日

線結果를 얻지 못했다.

本 論文에서는 이러한 문제점을 보완하기 위하여 信號線 집합을 선택할때 웨이트(weight)를 계산하여 웨이트 값이 큰 것 부터 우선적으로 선택하여 結線하였다. 또한 각게이트(gate)의 핀정보를 입력하여 핀의 순서 및 위치를 고려함으로서 그로발 라우팅時 정확한 채널 사용량을 算出할 수 있도록 하여 디테일드 라우팅에서 100% 結線이 가능하도록 하였다. 이 알고리즘을 사용하여 프로그램을 작성하였고 실험을 통하여 本 配線 알고리즘의 有用性을 확인하였다.

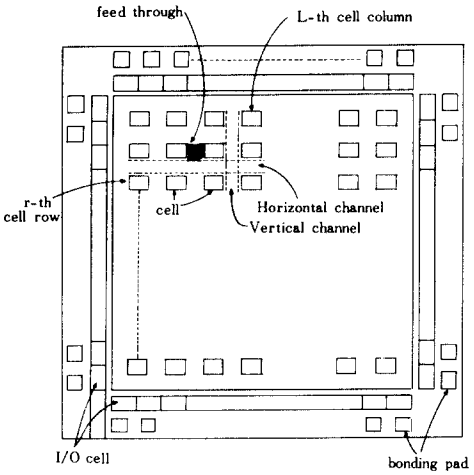

그림 1. 게이트 어레이 칩
Fig. 1. A gate array chip.

Ⅱ. 예비 사항

1. 칩 모델

本 論文에서 취급하는 配線設計는 미리 크기가 결정된 2次元 基板上에 같은 크기의 要素를 配置하여, 주어진 配線 영역을 이용하여 結線 요구대로 配線하는 것으로서 구체적인 대상은 게이트 어레이(gate array) 方式의 layout 이다. 그림 1 은 칩의 모델을 보여 주고 있으며 그림에서 보는 바와 같이 셀들과 I/O셀들은 규칙적으로 잘 배열 되어져 있다. 셀과 셀사이는 配線 영역인 수평채널 영역과 수직채널 영역으로 주어지고 있다. 한개의 셀에 대해 그림2(a)에서 보는 바와같이 위 아래에 있는 핀은 전기적으로 공유하고 있는 터미날페어(terminal pair)를 의미하며 이와같은 게이트는 NAND, NOR, AND, OR 혹은 EX-OR등과 같은 논리 게이트의 역할을 한다. 이러한 게이트들은 配置 프로그램에 의해 어떤 한 行 및 어떤 한 列에 배열되도록 되어 있다. 그림 2(b)는 2-입력 게이트의 한 例로서 핀 한개는 여분으로 남게 되며 이는 후에 feed through 핀으로 사용하기도 한다. 한 셀行의 2 개의 인접한 셀사이에 놓여있는 수직채널 각 부분은 feed through로 간주된다. 그로발 라우팅 경로(path)를 좀더 명확히 하기 위하여 한 셀行에 있는 모든 게이트의 핀과 feed through에 고유 핀 번호를 그림 3 과 같이 부여한다. 이와같이 고유 핀 번호를 부여하는 이유는 앞에서도 언급된 바와같이 종래의 그로발 라우터에서 핀의 위치를 共히 셀의 중앙에 둠으로서 발생할 수 있는 문제점을 보완하기 위함이다.

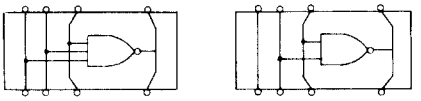

그림 2. 셀
Fig. 2. Cells.

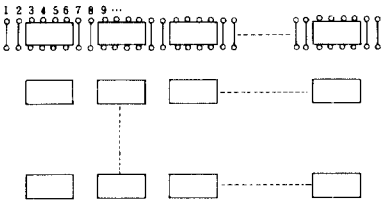

그림 3. 핀 번호
Fig. 3. Pin number.

2. 문제점과 해결방안

종래의 그로발 라우터의 문제점을 열거하여 보면

첫째, 그로발 라우터에서 결정된 경로대로 디테일드 라우팅이 100% 이루어지지 않고 있다.[7,11] (약 평균 85% 정도 이루어짐)

표 1. 비교표
Table 1. Compares.

구분 / 例	시 간 대 비	배 율
A	6 : 23 (분)	약 4 배
B	16 : 468 (분)	약29.3배
C	17 : 354 (분)	약20.8배
D	27 : 97 (분)	약 3.6배

둘째, 그로발 라우터에서 결정된 경로가 아닌 곳으로 나머지를 라우팅하는데 걸리는 시간이 상대적으로 매우 크다.[11] (약 4 배~30배 정도 시간이 더 걸림 표

1 참조) 게이트의 수와 信號線의 수가 증가할수록 비율은 지수함수적으로 증가할 수 있다.

셋째, 리라우팅(rerouting)時 이미 配線된 경로를 변경시키며 配線하기 때문에 실제 그로발 라우터에서 결정된 경로대로 연결하는 것은 더욱 줄어들 수 밖에 없다.[10,11]

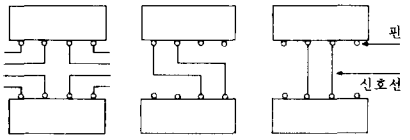

그림 4. 동일한 列上의 인접한 行간의 配線例
Fig. 4. An example of routing between the adjacent rows on the same column.

이상과 같은 문제점이 발생하는 큰 이유는 그림 4에서 보는 바와같이 정확한 수평채널 사용량을 계산하지 못하는 데 있다. 그림4(a)는 극단적인 경우의 한 例이기는 하나 이와같은 結線요구가 발생했을 경우 수평채널 4 개만 사용하면 配線이 가능하나 핀의 위치를 셀의 중앙에 두어 처리 하므로 수평채널이 8 개가 필요한 것으로 계산된다. 이러한 경우는 주어진 수평채널 용량이 4 개라면 4 개의 overflow로 간주하여 처리하므로 디테일드 라우팅에 크나큰 영향을 초래한다. 그림 4 (b), (c)의 경우는 핀의 위치를 셀의 중앙에 위치했다고 한다면 이들의 연결시 그로발 라우터에서는 수직채널만 2 개로 계산하는 경우가 대부분이다. 그러나 (b)의 경우는 수직채널 4 개, 수평채널 2 개가 분명히 사용되고 있다. 이러한 경우는 자주 일어나는 경우로서 이를 정확하게 계산하려면 핀 번호를 고정하여 처리해야만 가능하다.

Ⅲ. 信號線 집합 순서 및 게이트間의 연결 순서

配線率을 높이기 위하여 信號線 집합을 임의로 선정하여 配線하지 않고 채널용량 overflow 발생時 우회하는 길이를 짧게하기 위하여 信號線 집합의 웨이트를 계산하고 웨이트가 큰 것부터 配線하는 것으로 한다. 信號線 집합의 웨이트는 (1)式으로 주어지며 a, b는 웨이트 파라미터로서 (2), (3)式 처럼 칩의 구조와 配置結果로서 얻어지는 값이다.

X, Y는 信號線 집합이 이루고 있는 最小 사각형의 수평선길이와 수직선길이로 정해진다. a, b값이 나타내고 있는 의미는 앞으로 配線을 행할때 수평채널과 수직채널의 密度가 어느쪽이 더 커져서 overflow가 많이 일어날 것인가를 나타내주는 값으로서 그값이 큰쪽에 웨이트를 더 많이 주는데 그 의미가 있다.

$$SW = aX + bY \quad (1)$$

(단, a, b는 웨이트 파라미터)

$$a = \frac{\text{配置結果의 수평 채널 사용 數}}{\text{칩의 수평 채널용량의 全體數}} \quad (2)$$

$$b = \frac{\text{配置結果의 最小 요구 feed through數}}{\text{칩의 feed through의 全體數}} \quad (3)$$

모든 信號線 집합에 대해 SW를 구하여 큰값을 갖는 信號線부터 우선 配線하는 것으로 한다. SW의 값이 같다면, 만일 a>b인 경우는 X값이 큰것을 우선하고, a<b인 경우는 Y값이 큰것을 우선하고, a=b 인 경우는 임의로 택하여 配線한다.

또한, 한 信號線 집합내에 여러개(3 개이상)의 게이트가 포함되어 있을 경우 어느 게이트 間을 먼저 연결하고 어떠한 순서로 연결하느냐 하는 것은 매우 중요하다. 임의로 연결할 경우 總配線長의 最小化 目的에 부합되지 않는 경우가 대부분이므로 이에 대한 알고리즘 설정이 필요하게 된다. 여기에서는 여러가지 알고리즘[15-18] 중에서 게이트의 수가 많을 경우에도 그다지 큰문제점이 없는 것으로 알려진 최소 스패닝트리 알고리즘[18]을 사용하여 게이트 間의 연결 순서를 결정한다.

Ⅳ. 配線 알고리즘의 설정

앞에서 記術한 信號線 집합 순서 결정에 의해 한 信號線 집합씩 配線을 행한다. 한 信號線 집합내의 게이트 간의 연결순서는 게이트 간의 연결순서 결정 알고리즘에 의해 결정된 게이트페어(gate pair)간의 配線으로 정해진다. 각 게이트페어에 대해서는 配置結果에 의한 각 게이트의 위치좌표를 보고 몇번 行의 몇번 핀인가를 조사하여 다음과 같은 3 가지 경우의 형태로 분류하여 각각의 경우에 대하여 다음에 제안하는 配線 알고리즘에 의해 配線을 행한다.

[경우 1] 동일한 行에 2 게이트가 존재하는 경우
[경우 2] 인접한 行에 2 게이트가 존재하는 경우
[경우 3] 그밖의 경우

이상의 3 가지 경우에 대한 配線 알고리즘을 기술하면 다음과 같다.

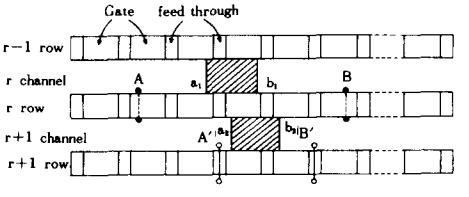

그림 5. 동일한 셀行에 2 게이트가 존재하는 경우
Fig. 5. A case of two gates in the same cell row.

1. 경우 1 의 配線 알고리즘

동일한 셀行에 2 게이트가 존재하는 경우는 그림 5 와 같은 경우로서 수평채널 overflow가 없다면 간단히 配線되는 경우로 그림을 참조하여 알고리즘을 설명하면 다음과 같다.

단계 1 : r 채널과 r+1 채널 각각에 대하여 A 번 핀부터 B 번 핀까지 사이의 채널 密度의 最大값을 조사한다.

단계 2 : 上下채널의 채널密度의 最大값이 작은 쪽을 택한다.

단계 3 : 선택된 채널의 채널密度 값을 보고 overflow가 발생할 것인가를 판단하여 overflow가 발생한다면 단계 5 로 간다.

단계 4 : 선택된 채널을 사용하여 配線을 행하고 단계 9 로 간다.

단계 5 : Overflow가 上下에 발생했다면 feed through를 사용하여 우회하기로 하고 r−1 채널과 r+2 채널의 채널密度를 조사하여 우회에 사용될 채널을 선택한다.

단계 6 : 우회할 채널이 하부라고 가정한다면 a_2 지점부터 왼쪽으로 그리고 b_2 지점부터 오른쪽으로 각각 feed through 핀을 선택하여 配線하고 단계 9 로 간다.

단계 7 : 하부에서 실패했다면 상부로 단계 6 과 같이 시도하여 配線하고 단계 9 로 간다.

단계 8 : 메이즈 라우터(maze router)로 넘긴다.

단계 9 : 종료

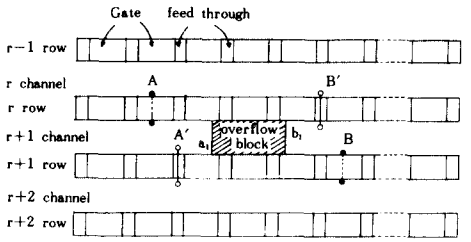

그림 6. 인접한 셀行에 2 게이트가 존재하는 경우
Fig. 6. A case of two gates in the adjacent cell rows.

2. 경우 2 의 配線 알고리즘

인접한 셀行에 2 게이트가 존재하는 경우는 그림 6 과 같은 경우로서 역시 수평채널 overflow가 없다면 간단히 配線되는 경우로 그림과 함께 알고리즘을 설명하면 다음과 같다.

단계 1 : r+1 채널의 A 번 핀부터 B 번 핀까지 사이에 overflow가 발생하지 않는다면 그대로 配線하고 단계 6 으로 간다.

단계 2 : r 채널과 r+2 채널 중에서 最大채널 密度가 작은 쪽을 선택한다.

단계 3 : r 채널이 선택되었다면 b_1 지점으로 부터 오른쪽으로 feed through 핀을 조사하여 할당하고 配線을 행한다음 단계 6 으로 간다.

단계 4 : r 채널에서 실패했다면 r+2 채널을 선택하고 a_1 지점으로 부터 왼쪽으로 feed through 핀을 조사하여 할당하고 配線을 행한다음 단계 6 으로 간다.

단계 5 : 단계 4 까지 실패했다면 메이즈 라우터로 넘긴다.

단계 6 : 종료

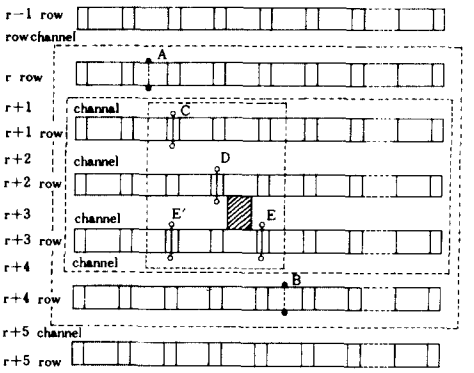

그림 7. 2 게이트의 위치가 떨어져 있는 경우
Fig. 7. A case of two gates in each cell rows separated from by one or more cell rows.

3. 경우 3 의 配線 알고리즘

이 경우의 게이트페어는 2 게이트가 속해있는 셀行이 떨어져 있는 경우로서 그림 7 등과 같은 경우이며 配線을 위해 우선 feed through 핀이 먼저 할당되어져야 한다. 그림을 참조하여 알고리즘을 설명하면 다음과 같다.

단계 1 : A, B 핀이 이루고 있는 最小 사각형, 最大사각형 및 확장된 사각형을 설정한다.

단계 2 : 最大사각형내에서 r+1, r+2, r+3行에 feed through핀을 좌에서 우로 조사하여(A, B의 위치가 다른 경우는 우에서 좌로 조사함) 각각 할당하고 모든 行에 대해 성공 했다면 단계 4 로 간다.

단계 3 : 실패한 行에 대하여 最大사각형 내에서 最小사각형에 가장가까운 feed through 핀을 할당한다.

단계4 : 할당된 각 핀사이의 수평채널 overflow 발생 여부를 조사하여 연결 가능하다면 그대로 配線하고 단계10으로 간다.

단계5 : Overflow가 발생된 채널의 行에 해당하는 feed through 핀을 最小사각형 내부, 最大사각형 내부의 순으로 다시 할당한다.

단계6 : 각 핀사이의 수평채널 overflow를 조사하여 연결이 가능하면 配線을 하고 단계10으로 간다

단계7 : 확장된 사각형까지 확대하여 feed through 핀을 할당한다.

단계8 : 할당된 핀사이에 수평채널 overflow가 없다면 配線을 하고 단계10으로 간다.

단계9 : 메이즈 라우터로 넘긴다.

단계10 : 종료

4. 메이즈 라우터

이부분은 앞에서의 각 알고리즘을 적용하여 配線을 시도했으나 실패한 경우, 그 게이트페어를 효과적으로 연결처리하는 곳으로서 모든 信號線 집합의 게이트페어를 가능한 전부 연결한 다음 최후로 配線을 하는 부분으로 그림과 함께 알고리즘을 설명하면 다음과 같다. (그림8 참조)

단계1 : 2게이트가 속해있는 信號線 집합에 다른 게이트가 있는가를 조사하여 없다면 단계6으로 간다.

단계2 : 격리된 2그룹 중에서 원래의 핀끼리만을 연결하는 것을 포기하고 2게이트 중에서 한 게이트의 핀을 선택하여 상대 그룹의 가까운 핀으로의 연결을 시도한다. 가장 가까운 핀부터 순차적으로 연결을 시도하여 성공한다면 配線을 하고 단계8로 간다.

단계3 : 나머지 한 게이트의 핀을 선택하여 단계2와 같은 방법으로 시도하여 성공하면 配線을 하고 단계8로 간다.

단계4 : 원래의 게이트페어의 두핀이 아닌 두 그룹의 다음 핀을 선택하여 각각에 대하여 단계2와 같은 작업을 반복 시도한다. 순차적으로 계속해서 다음핀을 선택하여 연결 시도하여 성공하면 配線을 하고 단계8로 간다.

단계5 : 두 그룹에서 서로 가장 멀리 떨어져 있는 두 핀을 선택한다.

단계6 : 모든 미사용 핀을 사용하여 외부로 확산 우회를 시도하여 성공하면 配線을 하고 단계8로 간다.

단계7 : 매뉴얼 라우팅(manual routing)으로 처리한다.

단계8 : 종료

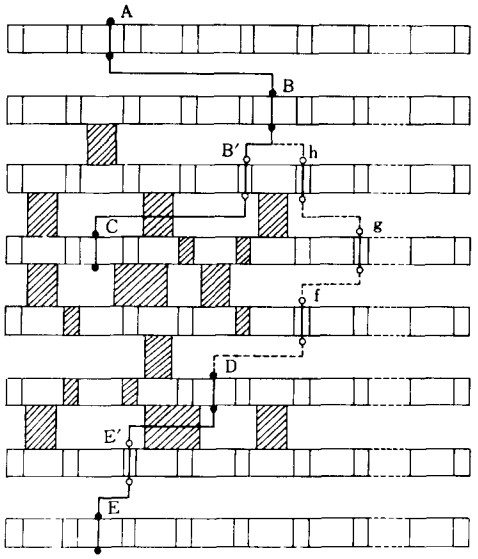

그림8. 메이즈 라우터의 처리 例
Fig. 8. An example of maze router processing.

上記 알고리즘을 이용하여 配線한 간단한 한가지 例를 그림8과 함께 설명하면, 현재 配線된 그룹은 A, B, B', C와 D, E', E로 구분된다. 두 그룹의 핀중에서 원래의 配線요구가 있었던 핀은 C와 D이다. 그러나 C와 D는 配線이 불가능하므로 C와 E' 및 E와 配線을 시도하여 실패한다면 D와 B', B, A로 시도하고 다음은 B'와 E', E의 순으로 계속 配線을 시도한다. 그림

*** INPUT DATA P.SOLUTION ***

7	12	13	38	39	43	45	72	76	77	80	90	91	118	135	147	158	157	146
8	34	35	37	42	44	46	71	79	89	175	130	133	131	134	155	163	156	145
3	33	41	36	40	68	47	70	99	87	83	119	107	132	127	128	144	164	183
10	25	26	27	28	65	69	73	86	92	81	126	111	178	114	113	143	165	185
4	24	20	171	29	64	67	60	98	61	84	115	85	112	177	148	149	166	186
11	169	170	22	30	63	174	56	57	88	176	104	105	123	136	124	150	180	182
2	18	19	172	23	62	66	54	55	100	82	117	122	108	138	151	160	159	190
1	16	6	48	32	58	31	173	78	93	94	116	109	110	139	152	161	181	188
14	15	21	101	50	52	74	75	106	167	96	97	120	137	129	140	162	179	187
17	5	9	49	51	53	59	102	103	168	95	125	121	142	141	153	154	184	189

그림9. 게이트의 配置結果
Fig. 9. Placement result of gates.

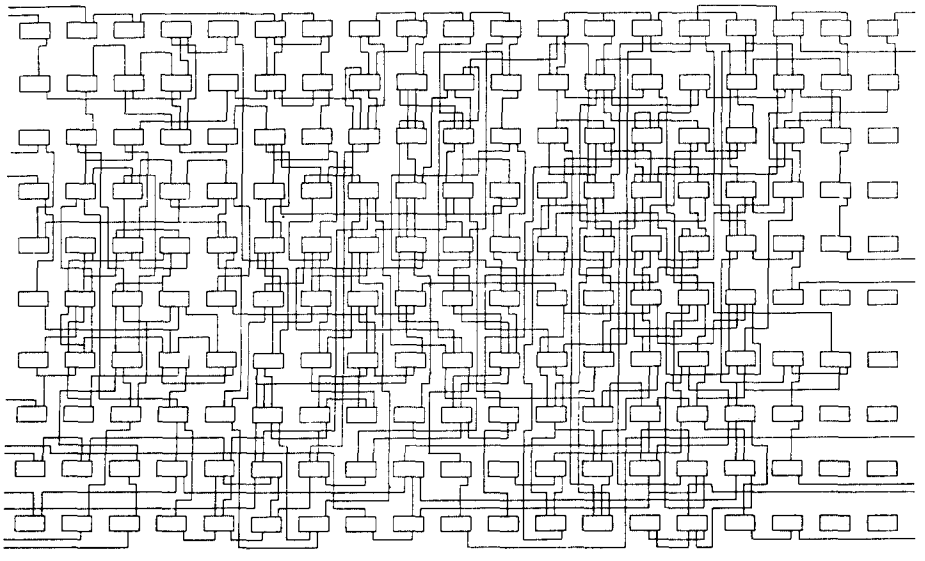

그림10. 최종 配線 結果
Fig. 10. Routing result.

의 경우는 D와 B의 配線을 시도하여 성공한 例로서 두 그룹의 연결을 f, g, h의 feed through 핀을 사용하여 配線한 例이다.

V. 프로그램 작성 및 실험결과

앞에서 記術한 알고리즘을 이용하여 配線 프로그램을 작성하였다. 프로그램은 FORTRAN을 사용하여 1개의 主프로그램과 5개의 副프로그램으로 구성하였고 VAX11/780에서 실행시켰다. 실험에 사용된 회로는 10진 연산 표시용 LSI로서 표2와 같이 게이트의 總數는 내부 178개, 외부19개, 信號線의 數는 187개이고, 칩의 규모는 10×19=190개의 셀이 주어진 것으로 하였다.

표 2. 실험용 데이터 및 결과
Table 2. Test data and results.

실 험 용 데 이 타		실 험 결 과	
		그로발라우팅	디테일드라우팅
내부 게이트의 수 178개 외부 게이트의 수 19개 셀의 수 10×19=190 신호선의 수 187개	신호선의수	187	186
	비 율	100%	99.47%

우선 게이트의 配置는 本人등이 개발한 配置 프로그램[5]을 사용하여 그림9에 보인 바와 같은 配置의 결과를 얻었다. 이 配置結果와 信號線 집합 및 핀정보를 入力으로 하여 配線을 행하였고 配線時 수평채널 용량은 4로, 수직채널 용량은 2로 하였다. 그리고 수평과 수직은 각기 다른 층에서 실현하는 2층 配線 형태로 하였다.

```
*** GROBAL ROUTING RESULT ***

SIG.NO. = 112   GATES  106  140  144  148  152  156  160  164
ROW,PIN  ( 9, 54)( 9, 94)( 3,100)( 5, 94)( 8, 94)( 2,106)( 7,100)( 3,106)(
PAIR (140-152)(152-160)(152-148)(148-144)(144-164)(164-156)(140-106)(
       9-CHANNEL  (   -94     94)
       8-CHANNEL  (   -94    100)
       6-CHANNEL  (   -92     94)
       7-CHANNEL  (   -92     92)
       8-CHANNEL  (    92    -94)
       4-CHANNEL  (   -98    100)
       5-CHANNEL  (   -94     98)
       3-CHANNEL  (  -100   -106)
       3-CHANNEL  (  -106    106)
      10-CHANNEL  (    54     94)

SIG.NO. =  80   GATES  101  106  129  137
ROW,PIN  ( 9, 24)( 9, 52)( 9, 88)( 9, 82)(
PAIR (129-137)(137-106)(106-101)(
       9-CHANNEL  (   -82    -88)
       9-CHANNEL  (   -52    -82)
      10-CHANNEL  (    24     52)
```

그림11. 信號線 집합에 대한 配線結果의 例
Fig. 11. Example of routing result for signal sets.

프로그램 실험의 결과 주어진 채널용량 하에서 100% 그로발 라우팅이 이루어 졌고, 이를 本 연구실에서 개발한 디테일드 라우터[13]에 적용시킨 결과 표2에서 보는 바와 같이 99.47%가 그로발 라우터에서 결정된 경로대로 配線이 이루어 졌다. 그림10에 최종 配線의 결과를 보는 바와같이 디테일드 라우팅에서 100% 配線이 안된 이유는 특별한 경우가 7번 채널에서 발생한 때문이며 그림에서 보는 바와같이 채널 사용량이 골고루 분포되는 매우 양호한 결과를 얻었다. 그림11은 配線 프로그램의 결과에 하나로 信號線 집합 별로 게이트페어에 대한 핀번호 및 채널할당을 나타낸 것이

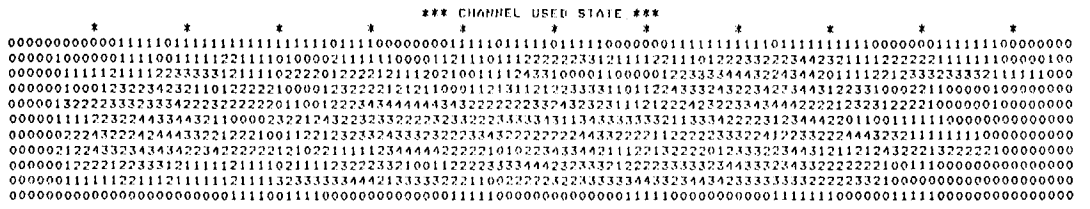

그림12. 채널의 사용상태
Fig. 12. Channel used states.

며 그림12는 그로발 라우팅에 대한 각 부분의 현재의 채널 사용상태를 보여주고 있다.

Ⅵ. 結 論

本 論文에서는 VLSI의 layout設計에 있어서 配線 알고리즘 및 配線 프로그램 개발과 그에 대한 검토에 관하여 論하였다.

信號線 집합의 순서를 결정하여 配線하므로서 가능한 最適의 配線이 되도록 하였고, 핀 순서를 고려한 새로운 방법의 配線 알고리즘은 종래의 라우터에서 채널 사용량을 정확히 산출하지 못하므로 생기는 문제점을 충분히 보완할 수 있었다. 따라서 配線設計에 소요되는 시간도 대폭 단축할 수 있었다.

그로발 라우팅의 結果를 디테일드 라우터에 적용시킨 결과 99.47%라는 획기적인 配線率의 향상을 달성하였다.

本 프로그램을 LSI/VLSI layout CAD시스템에 직접 적용한다면 設計시간의 단축은 물론 LSI/VLSI 생산의 최종 목표인 생산 코스트 절감을 달성할 수 있으리라 기대된다.

앞으로의 과제는 本 論文에서의 실험에 사용된 회로가 소규모이므로 대규모의 실제 회로를 적용하여 제안한 알고리즘의 有用性을 계속해서 연구 검토하는데 있다.

參 考 文 獻

[1] Hanan, M., Wolff, P.K. and Anguli, B.J. *Some Experimental Result on Placement Techniques.* Proc. 13th. D.A. Conf., pp. 214-224, 1976.

[2] Goto, S., *An Efficient Algorithm for Two Dimensional Placement problem in Electrical Circuit Layout.* Proc. 1979 ISCAS, pp. 850-853, 1979.

[3] Stevens, J.E., *Fast Heuristic Techniques for Placing and Wiring Printed Circuit Boards,* Pn.D. Thesis, Com. Scien. Univ. of Illinois, 1972.

[4] 李丙鎬, "LSI의 layout CAD에 있어서의 配置問題, "漢陽大學校 産業科學 論文集, 제15집, pp. 37－43, 1983.

[5] 李丙鎬, 鄭正和, 林寅七, "LSI layout CAD 에 관한 硏究, "대한전자공학회지 제21권, 제 4 호, pp. 71－76, 1984.

[6] H. Shiraishi and F. Hirose, "*Efficient Placement and Routing Techniques for Master Slice LSI,*" Proc. 17th D.A. Conf., pp. 458-464, 1980.

[7] S. Tsukiyama, I. Harada, M. Fukui, I. Shirakawa, "A new grobal router for Gate Array LSI," *IEEE Trans. CAD* vol. CAS-2, no. 4, Oct. 1983.

[8] K.A. Chen, M. Feuer, K.H. Khoknani, N. Nan, and S. Schmidtn, *The chip Layout Problem: An Automatic Wiring procedure.* in Proc. 14th DA Conf., pp. 298-302, 1977.

[9] I. Harada, T. Ikeda, S. Tsukiyama, I. Shirakawa, and H. Ozaki, *An Automatic Layout System for Master Slice LSI.* Mono IECE of Japan, CAS82-149, pp. 61-66, 1983.

[10] B.S. Ting, B.N. Tien, "Routing techniques for Gate Array," *IEEE Trans. CAD,* vol. CAD-2, no. 4, Oct. 1983.

[11] T. Matsuda, T. Fujita, K. Takamizawa, H. Mizumura, H. Nakamura, F. Kitajima, and S. Goto, *A Quick Low Cost Layout Design System for Master-slice LSIs: LAMDA.* Proc. 19th D.A. Conf., pp. 802-808.

[12] 林寅七, 鄭正和, 李丙鎬, "LSI layout CAD에 있어서의 配線 混雜度를 고려한 配置問題", 대

한전자공학회지, 제19권 제3호, pp. 19-27, 1982.

[13] 조중휘, 이성봉, 정정화, "신호선 분할에 의한 채널 배선에 관한 연구," 대한전자공학회 발표논문집, vol. 7, no. 1, pp. 439-441, 1984.

[14] 이병호, 정정화, 임인칠, "最大채널 密度 解消를 위한 VLSI의 layout CAD," 한국정보과학회 춘계학술 발표논문집, pp. 76-86, 4, 1983.

[15] S. Goto, T. Ohtsuki and T. Yoshimura, "Sparse matrix techniques for the shortest path problem," *IEEE Trans. on CAS*, vol. CAS-23, pp. 752-758, 1976.

[16] M. Hanan, "On Steiner's problem with rectilinear distance," SIAM J. Appl. Math., vol. 14, no. 2, Mar. 1966.

[17] C.Y. Lee, *An Algorithm for Path Connection and Its Applications.* IRE Trans. Electron. Comput., vol. EC-10, pp. 346-365, Sept. 1961.

[18] V.K. Whitney,"Algorithm 422: Minimal spanning tree," *Commu. ACM, vol.* 15, pp. 273, 1972.