

터널링형 E²PROM 제작 및 그 특성에 관한 연구

(Study on the Fabrication of Tunnel Type E²PROM and Its Characteristics)

金鍾大*, 金聖一*, 金輔佑*, 李振孝*

(Jong Dae Kim, Sung Ihl Kim, Bo Woo Kim and Jin Hyo Lee)

要 約

EEPROM 소자 제작시 필요한 얇은 산화막의 O₂/N₂ 비에 따른 산화 특성을 조사하였고 그 결과 O₂/N₂ 비율 크게하여 더 빠른 시간에 산화막을 성장시켜도 별 문제가 없을 것으로 생각된다. 그리고 웨이퍼를 비소로 이온 주입한 후의 산화막 파괴 전장이 이온 주입 안한 것보다 1MV/cm 정도 낮게 나타났고 특히 웨이퍼 세척 및 공기중 산화의 효과가 산화막 특성에 큰 영향을 주는 것으로 나타났다.

이를 토대로 3μm CMOS 공정을 이용하여 터널링 형의 EEPROM 소자를 제작하고 그의 특성을 조사하였다. 터널링 산화막 두께는 110Å까지 터널링 면적은 2 × 2 μm² 까지 그 이용 범위를 축소시켜 보았는데 이 범위에서 프로그램시 control 게이트에는 20~22V, 소거시 게이트에는 -20V 또는 드레인에 15~16V의 전압이 요구되었다. 펄스 시간은 30ms 정도가 좋으며 E/P cycle 실험에서 10E4 cycle이 지난 후에 문턱 전압 변화는 0.5V 이하로 양호한 편이었다.

Abstract

Experiment have been conducted about thin oxide characteristics according to O₂/N₂ ratio needed for EEPROM cell fabrication. As a result, we think that there is no problem even if we grow oxide layer with large O₂/N₂ ratio and short oxidation time and when the wafer is implanted by As before oxidation, the oxide breakdown field is about 1MV/cm lower than that is not implanted. Especially, the thin oxide characteristic seems to be affected largely by wafer cleaning and oxidation in air.

On the basis of these, tunnel type EEPROM cell is fabricated by 3um CMOS process and its characteristic is studied. Tunnel oxide thickness (100Å) is chosen to allow Fowler-Nordheim tunneling to charge the floating gate at the desired programming voltage and tunnel area (2x2um²) is chosen to increase capacitive coupling ratio. For program operation, high voltage (20-22V) is applied to the control gate, while both drain and source are grounded. The drain voltage for erase is 16V. It is shown that charge retention characteristic is not limited by leakage in the oxide and program/erase endurance is over 10E4 cycles of program-erase operation.

I. 序 論

1967년 Kahng과 Sze에 의하여 처음 floating 게이트 형태의 비휘발성(nonvolatile) 기억소자가 제안된 이래로¹⁾ 70년대 중반기의 avalanche injection mechanism,

*正會員, 韓國電子通信研究所

(Electronics and Telecommunications Research Institute)

接受日字: 1985年 9月 12日

70년대 후반기의 short 채널(<5 μm)에 의한 channel-injection mechanism 및 80년대의 얇은 산화막(<200Å) 성장 기술의 발달로 터널링 mechanism에 의한 EPROM 및 EEPROM이 개발되어 왔다. 현재는 집적도를 높이기 위하여 터널링 mechanism을 이용한 이중 폴리 실리콘 기술에서 삼중 폴리 실리콘으로 그 형태가 변화되어 가고 있으며, CMOS 회로의 낮은 전력 소모, 높은 잡음 마진, 더욱이나 칩 크기가 축소되어 가면서 CMOS 회로의 속도가 향상되는 장점 등으로 점차 NMOS에서 CMOS EPROM 및 EEPROM 쪽으로 개발되어 가고 있다.¹²⁾

본 연구에서는 EEPROM 제작사 요구되는 얇은 산화막(<200Å)에 대한 성장 기술, 두께 측정방법 및 그 전기적 특성에 관하여 조사하였으며 이를 토대로 터널링 형의 EEPROM 소자를 설계하고 CMOS 공정으로 제작하여 그 전기적 특성을 조사하였다.

II. 소자동작

그림 1은 설계된 EEPROM 소자의 단면도이다. 여기서 floating 게이트는 드레인 영역으로부터 터널링된 전자가 저장되는 곳이며 control 게이트는 바이어스를 인가해줌으로써 프로그램 효율을 높이는 역할을 한다. 터널링 산화막은 200Å이하의 얇은 산화막으로 산화막 양단의 전장이 10E7 V/cm 정도이며 드레인 영역에 있는 전자가 floating 게이트로 터널링이 일어날 수 있게 한 것이다.

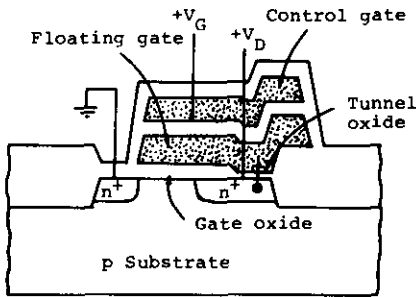


그림 1. EEPROM 기억소자의 단면도
Fig. 1. Cross section of EEPROM memory transistor.

그림 2는 프로그램을 위한 구성도이다. 이 소자는 Fowler-Nordheim 터널링에 의하여 프로그램이 이루어진다.¹³⁾ 즉 selection 트랜지스터와 메모리 트랜지스터에 양의 전압 V_c(+20V)를 가하고 소스 및 드레인을 접지상태로 두면 터널링 산화막 양단의 전장에 의하여 드레인 영역의 전자가 floating 게이트로 이동됨으로써

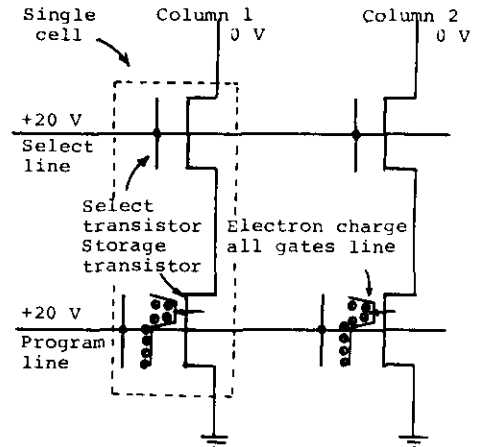


그림 2. 프로그램을 위한 소자 동작의 구성도
Fig. 2. Schematic of memory cell operation during program.

프로그램이 이루어진다.

이때 터널링 전류에 의한 floating 게이트 전압 V_f는

$$V_f = V_{ex} + V_{in} = \frac{C_{tx}V_g + C_{tox} \cdot V_d}{C_t + C_{bg} + C_{to}} + \frac{Q_f}{C_t + C_{bg} + C_{to}}$$

이다. 여기서 V_{ex}는 external potential, V_{in}는 built-in potential, C_t는 위층 산화막 캐퍼시턴스, C_{bg}는 아래층 게이트 산화막 캐퍼시턴스, C_{to}는 터널링 산화막의 캐퍼시턴스, Q_f는 floating 게이트에 저장된 전하량이다.

그림 3은 소거를 위한 구성도이다. Selection 트랜지스터에 양의 전압 V_g(+20V)을 인가하고 드레인에 양의 전압 V_d(+16V)를 인가함과 동시에 메모리 트랜

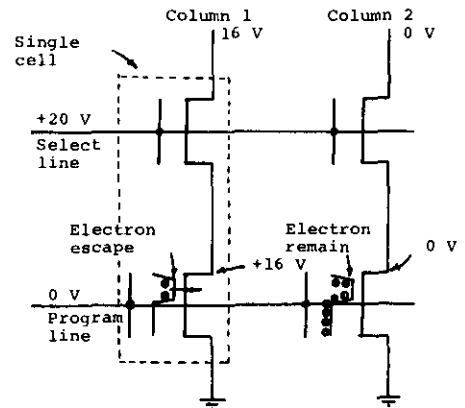


그림 3. 소거를 위한 소자 동작의 구성도
Fig. 3. Schematic of memory cell operation during erase.

지스터와 소오스를 접지 상태로 두면 floating 게이트에 저장된 전자가 드레인 영역으로 터널링 됨으로써 소거가 이루어진다.

III. 製 造

1. 얇은 산화막(thin oxide) 성장

얇은 산화막의 성장은 EEPROM의 제작에서 매우 중요한 비중을 차지하는데 특히 프로그램, 소거 및 endurance 특성에 직접적으로 영향을 미친다. 여기서는 thermal diluted dry oxidation을¹⁴⁾ 하였는데 O₂/N₂ 비를 1/100, 1/50 및 1/25로, 산화시간을 60분, 90분 및 120분으로 변화시켜 보았고 furnace 온도는 1000°C로 고정하였다. 또, 비소 도즈량을 1E13/cm²에서 5E14/cm²까지 변화시키면서 웨이퍼에 이온 주입한 후 산화 실험을 하였는데 이것은 EXT 마스크로 N-영역에 이온 주입한 후 산화할 때의 효과를 보기 위한 것이다. 산화막의 두께는 ellipsometer를 사용하여 측정하였고 전기적인 특성을 알아보기 위하여 파괴 전압은 curve tracer로 측정하였다.

그림 4에 O₂/N₂ 비가 1/100, 1/50 및 1/25에 대한 산화 곡선을 나타내었다. 산화시간은 60분, 90분 및 120분으로 하였는데 우리가 필요로 하는 산화막 두께 100~150Å은 O₂/N₂ 비가 1/50일 때 쉽게 얻을 수 있음을 알 수 있다. 또, 그림 5에서 볼 수 있듯이 O₂/N₂ 비에 거의 관계없이 파괴 전장이 대부분 비슷함으로 어느 O₂/N₂ 비를 사용하여도 무관하다. 여기서 산화막 성장시 주의해야 할 점들을 살펴보면, 산화막 성장 전의 세척에 특히 신경을 써야하고,¹⁵⁾ 세척 후 바로 furnace에 집어 넣어 공기 중에서의 산화를 최대한 억제하여야 재현성있는 산화막 두께와 양질의 산화막을 얻을 수 있다. 그림 5의 산화막 파괴 전장을 보면 대략 8.5~10.3(MV/cm)로 나타났는데 이것은 얇은 산화막을 통한 터널링에 충분한 강도이다.

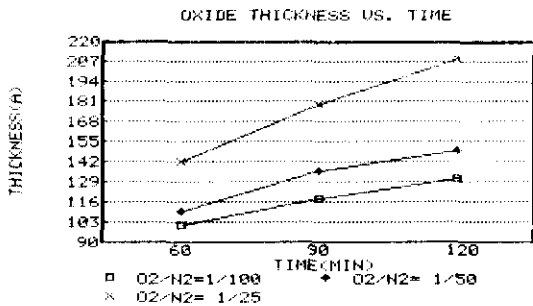


그림 4. O₂/N₂ 비에 따른 산화곡선
Fig. 4. The oxidation curve versus O₂/N₂ ratio.

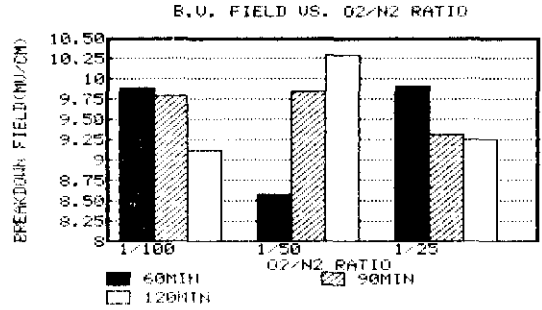


그림 5. O₂/N₂ 비에 따른 산화막 파괴 전장
Fig. 5. The oxide breakdown field versus O₂/N₂ ratio.

그림 6은 비소 도즈량에 따른 산화 특성을 나타냈는데 이때의 O₂/N₂ 비는 1/50이고 산화 시간은 90분이며 이온 주입 시에 사용된 에너지는 180KeV로 모두 같다. 그림에서 비소 도즈량이 증가함에 따라 산화막이 완만하게 증가하다가 비소 도즈량이 5E14/cm²에서 크게 증가함을 볼 수 있다. 그리고, EEPROM을 제작하여 비소 도즈에 따른 효과를 살펴보니 도즈량이 1E13/cm²일 때가 가장 좋은 특성을 나타내었다.

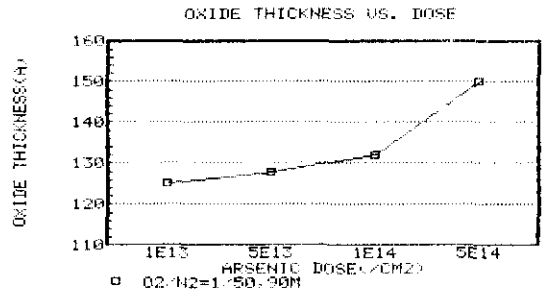


그림 6. 비소 도즈량에 따른 산화 특성
Fig. 6. The oxide characteristic as a function of as dose.

그림 7은 비소 도즈량에 따른 산화막 파괴 전장을 나타낸 것인데 산화막 파괴 전장은 약 7.7~9.0(MV/cm)로 이온 주입을 하지 않고 성장시킨 산화막과 비교하여 약 1MV/cm정도 낮게 나타났다. 그러나, 이 정도로도 얇은 산화막을 통한 터널링에 아무런 문제가 없는데 그것은 뒤의 endurance 특성이 매우 좋은 것을 보고 확인할 수 있다. 여기에서 보면 산화막 파괴 전장이 비소 도즈량에 따라 점차 감소하다가 도즈량이 5E14/cm²일 때 다시 증가하고 있다.

2. EEPROM 제조

EEPROM 제조는 positive photoresist를 사용 하였

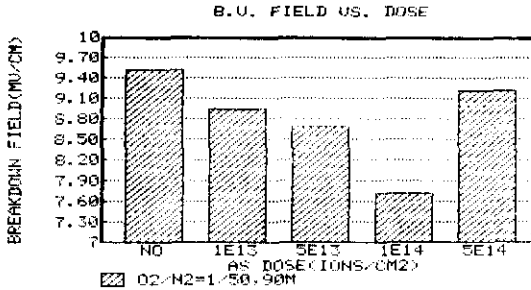
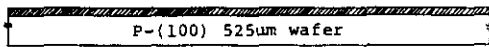


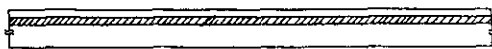
그림 7. 비소 도즈량에 따른 산화막 파괴 전장
Fig. 7. The oxide breakdown field as a function of as dose.

고 이때 사용한 마스크는 active(ACT), extension(EXT), tunnel oxide(TOX), poly1(POLY1), poly2(POLY2), contact(CNT), metal(MET) 및 pad(PAD) 마스크로 8 layer가 된다. 여기서 EXT마스크는 터널링 산화막 아래에 N-영역을 형성시켜 프로그램 효율을 높이기 위한 것이며 TOX 마스크는 100~150Å 정도의 얇은 산화막을 형성시켜 프로그램과 소거를 가능하게 한 것이다. 그림 8은 공정 순서를 작업 순서대로 나열한 것이며 중요한 공정에 관한 설명은 아래와 같다.¹⁾

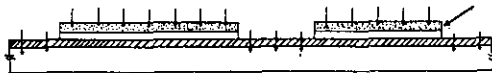
1. Stress relief oxidation



2. Si₃N₄ deposition



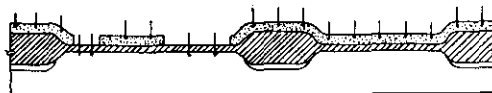
3. Active mask and boron implantation photoresist



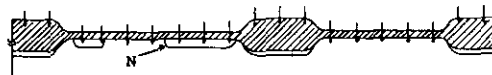
4. Field oxidation



5. Extension mask and As implantation



6. Gate 1 oxidation and boron implantation



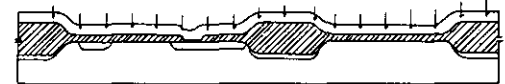
7. Tunneling oxide mask and gate 1 oxide etching



8. Tunneling oxidation



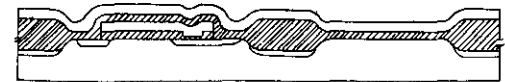
9. Poly 1 deposition and P implantation



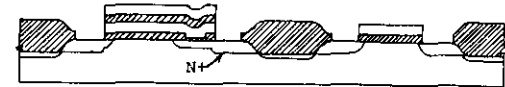
10. Poly 1 mask and gate 2 oxidation



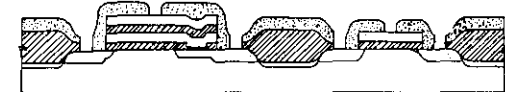
11. Poly 2 deposition and POCl₃ doping



12. Poly 2 mask and S/D implantation



13. LTO(Vapox deposition) and contact mask



14. Metal deposition and metal mask

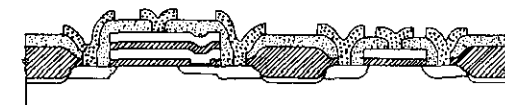


그림 8. EEPROM 소자 제조 공정 순서
Fig. 8. EEPROM cell fabrication sequence.

1) 공정에 사용된 실리콘 웨이퍼는 15-20ohm.cm의 비저항을 가지며 결정 방향이 (100)인 P형 웨이퍼이다. 초기 세척 후 TCE와 O₂ 분위기에서 800Å의 buffer 산화막을 형성시킨 후 CVD 방법으로 1000Å의 질화막을 증착시킨다.

2) Active 마스크를 사용하여 active 영역을 정의

하고 field 영역의 절화막을 플라즈마 식각으로 제거시킨 후 field 문턱 전압을 높여주기 위하여 60KeV, 2.5E13/cm²의 붕소 이온을 웨이퍼 전면에 주입시킨다. 그 다음 감광막을 제거한 후 925℃, wet 분위기에서 8500Å 정도의 산화막을 성장시키고 active 영역의 절화막을 제거시킨다.

3) Extension 마스크 작업후 extension 영역에 180 KeV, 1E14/cm²의 비소 이온을 주입시키고 buffer 산화막을 완전히 제거한다. 그 다음 1000℃에서 TCE와 O₂분위기로 첫번째 게이트 산화막을 600Å으로 기르고 붕소를 50KeV, 4.5E11/cm² 정도로 게이트 부분에 주입시켜 MOSFET의 문턱 전압을 조절한다.

4) 터널링 산화막 마스크를 사용하여 터널링 영역을 정의하고 터널링 지역의 게이트 산화막을 7:1의 BHF를 사용하여 제거시킨다. 그다음 1000℃, O₂ 분위기에서 110Å 정도의 터널링 산화막을 기르고 폴리 실리콘을 웨이퍼 전면에 3800Å정도 CVD 방법으로 증착시킨 후 인으로 이온 주입시킨다.

5) Poly1 마스크 작업으로 floating 게이트를 형성시킨 후 제1 폴리 실리콘을 플라즈마 식각한 다음 제1 게이트 산화막을 wet 식각시킨다. 그다음 제2 게이트 산화막을 1000℃, TCE, O₂ 분위기에서 800Å 성장시키고 제2 폴리 실리콘을 웨이퍼 전면에 3800Å 정도 CVD 방법으로 증착시킨후 POCl₃로 폴리 실리콘을 도우핑한다.

6) Poly2 마스크를 이용하여 control 게이트를 형성시키고 제2 폴리 실리콘을 플라즈마 식각한 후 제2 게이트 산화막을 wet 식각한다. 150KeV, 4E15/cm₂으로 소오스와 드레인에 비소를 이온 주입한 후 1000℃, N₂ 분위기에서 30분간 열처리하여 이온 주입된 불순물의 annealing과 drive-in을 한다. 도우핑 되지 않은 산화막을 1000℃, 12% (기체비율)의 인을 첨가한 산화막을 6000Å정도 CVD 방법으로 증착한 후 925℃에서 leach하여 CVD 산화막 표면의 불균일성을 좋게 하고 fast-surface-state 전하 밀도를 줄인다.

7) Contact 마스크를 사용하여 contact hole을 정의하고 A/P dip하여 contact 표면을 세척한 다음 1μm의 1% Si-Al을 진공 증착시킨다.

8) Metal 마스크 작업으로 interconnection을 완성시키고 460℃, H₂ 분위기로 30분간 alloy 한다.

9) 7000Å 정도로 보호막을 입힌 후 pad 마스크 작업을 거쳐 EEPROM 소자가 완성된다.

그림 9는 제조 공정이 완전히 끝난 EEPROM 소자의 SEM 사진이다. 여기서 G1은 selection 트랜지스터의 게이트이고 G2는 메모리 트랜지스터의 게이트 이

며 D는 드레인, S는 소오스이다. 트랜지스터의 크기는 selection 트랜지스터가 L/W=5/5이며 메모리 트랜지스터는 L/W=3/6이다. 아래 사진에서 드레인 쪽에 터널링 영역이 나타나 있는데 면적은 2×2μm²이고 터널링 영역 주위로 약간 움푹한 형태의 extension 영역도 나타나 있다. 사진 아래 부분의 막대기는 10μm의 길이이다.

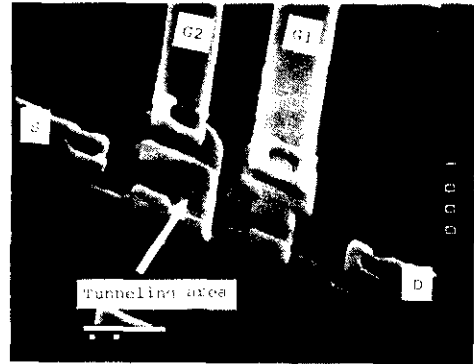


그림 9. EEPROM 소자의 SEM 사진
Fig. 9. SEM photo of the EEPROM cell.

IV. 측정 결과 및 분석

1. 프로그램 동작 및 특성

그림10의 (a)는 프로그램 전 소자의 전압, 전류 특성을 나타낸 것이다. 그림에서 알 수 있듯이 드레인 근처에 extension 영역을 형성했기 때문에 드레인 캐퍼시턴스가 크게 나타남을 알 수 있다. 이러한 캐퍼시턴스 성분을 감소시킬 수 있는 소자의 설계가 요구되며 현재 그에 대한 연구가 진행되고 있다.¹⁾ 그림10의 (b)는 프로그램되고 난 후 소자의 I-V 특성 곡선이다. 그림에서 문턱 전압이 -2.33V에서 8.5V로 10V 정도 변화가 일어난 것을 알 수 있다. 이때 인가된 control 게이트 전압은 22V였다.

그림11은 게이트 전압에 따른 문턱 전압의 변화를 나타낸 것이다. 이때 사용된 소자는 채널 길이가 3μm, 채널 폭이 6μm이며 터널링 산화막 두께는 110Å, 터널링 면적은 2x2μm²이다. 게이트에 양의 전압을 인가하고 드레인과 소오스는 접지상태로 두면 터널링 산화막 양단에 전장이 형성된다. 이 전장에 의하여 extension 영역에 있는 전자가 터널링 산화막을 통과하여 floating 게이트에 저장되어 프로그램이 이루어진다. 프로그램되기 전의 소자의 문턱 전압은 -2.33V였으며 게이트 전압이 증가함에 따라 문턱 전압도 크게 증가하는 것을 알 수 있다. 그림을 통하여 알 수 있듯이

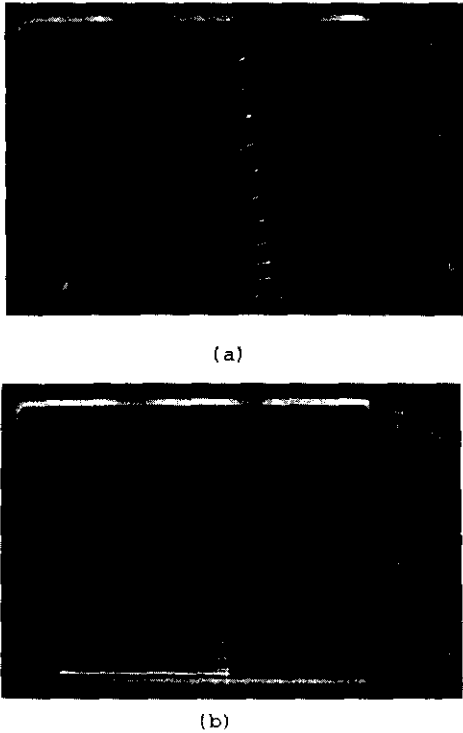


그림10. (a) 프로그램 전 소자의 I-V 특성
 (b) 프로그램 후 소자의 I-V 특성
 Fig.10. (a) I-V characteristics of EEPROM cell before program
 (b) I-V characteristics of EEPROM cell after program

게이트 전압이 12V에서 처음 전자의 터널링현상이 일어난 후 게이트 전압이 26V까지 거의 선형적으로 증가하다가 그 이상의 전압에서는 약간 포화되는 현상을 나타낸다. 이와 같은 소자를 이용하여 EEPROM을 제작할 때 요구되는 문턱 전압범위는 위의 그림에서 선택될 수 있는데 대략 게이트 전압이 22V 정도에서 문턱 전압이 7.25V 정도이므로 프로그램시 요구되는 게이트 전압은 대략 20-22V 정도이면 충분하리라 생각된다.

2. 프로그램 시간에 따른 특성

그림12는 게이트에 얼마동안 펄스를 인가했을 때 프로그램이 증가하다가 포화되는 가를 나타낸 것이다. 그림에서 알 수 있듯이 시간이 증가함에 따라 문턱 전압 역시 증가하다가 40ms 정도에서 약간 포화되는 현상이 나타난다. 대략 30ms 이상에서는 문턱 전압 변화가 처음 -1.8V에서 7V이상이 됨으로 프로그램시 요구되는 문턱 전압 변화를 얻을 수 있다.

3. 터널링 산화막 두께 및 면적에 따른 문턱 전압 변화

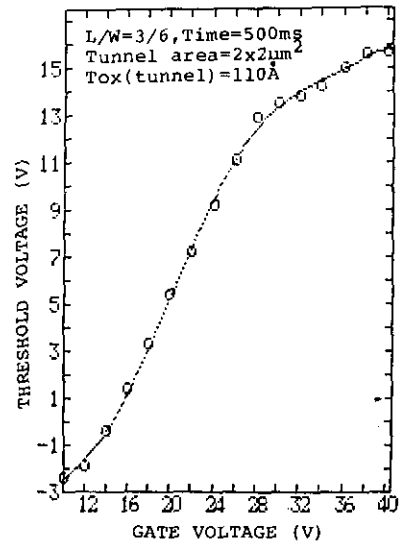


그림11. 프로그램후 게이트 전압에 따른 문턱 전압의 변화
 Fig. 11. The threshold voltage after program as a function of gate voltage.

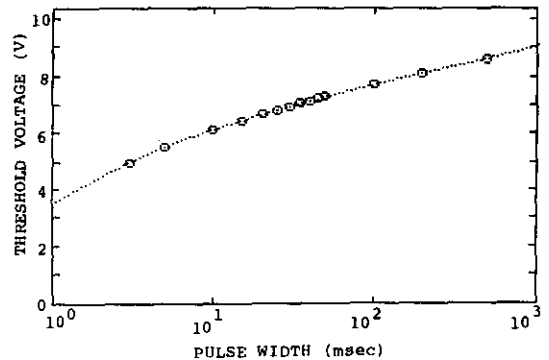


그림12. 펄스 폭에 따른 문턱 전압의 변화
 Fig. 12. The threshold voltage versus pulse width.

그림13은 터널링 산화막 두께에 따른 문턱 전압의 변화를 나타낸 것이다. 이때 사용된 소자는 L/W=3/6 이고 터널링 면적은 $2 \times 2 \mu\text{m}^2$ 이며 터널링 산화막 두께를 110Å, 130Å, 150Å으로 가변시켰다. 그림에서 알 수 있듯이 110Å에서는 게이트 전압이 12V에서 처음으로 전자의 터널링 현상이 일어나며 28V까지 거의 선형적으로 문턱 전압이 증가하다가 그 이상에서는 포화되는 것을 알 수 있다. 한편 130Å과 150Å에서는 각각 14V와 16V에서 처음으로 전자의 터널링 현상이 일어나며 28V까지 거의 선형적으로 문턱 전압이 증가하다가 그 이상의 전압에서는 포화됨을 알 수 있다. 또 130Å과 150Å에서 문턱 전압의 차이를 비교해

볼 때 그 차이는 상당히 미소한 반면에 110Å과 130Å에서 비교해 볼 때 거의 2V 이상인 것을 알 수 있다. 이와같이 터널링 형의 EEPROM에서는 어떻게 보더라도 양질의 얇은 산화막을 성장시키기에 따라 그 성패가 좌우될 수 있다.

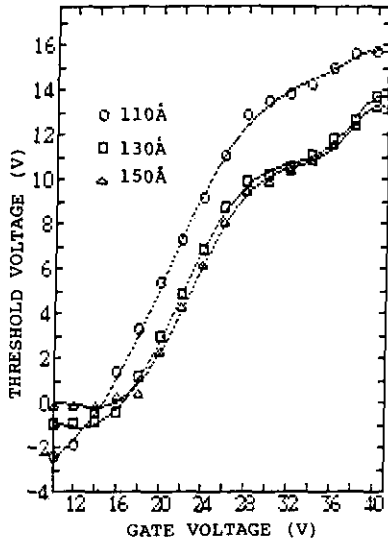


그림13. 터널링 산화막 두께에 따른 문턱 전압의 변화
Fig. 13. The threshold voltage versus gate voltage as a function of tunnel oxide thickness.

그림14는 터널링 면적에 따른 문턱 전압의 변화를 나타낸 것이다. 이때 사용된 소자는 L/W=3/6, 터널링 산화막 두께가 130Å이며 터널링 면적을 2x2μm², 3x3μm², 4x4μm²으로 가변시켰다. 터널링 면적은 EEPROM의 capacitive coupling ratio와 터널링 산화막 양단의 전장 및 집적도와 깊은 관계가 있기때문에 가능한 한 그 면적을 적게 해야한다. 즉 터널링 면적이 작아지면 capacitive coupling ratio가 증가하고 전장이 크게 증가되어 프로그램 효율이 증가하며 아울러 집적도 역시 높아지게 된다. 아래 그림을 통해서도 분명하게 그 이유를 알 수 있다. 2x2μm²와 3x3μm²에서는 게이트 전압이 16V에서 처음으로 터널링 현상이 일어나며 28V까지 거의 선형적으로 증가한다. 반면 4x4μm²인 소자에서는 게이트 전압이 거의 20V 이상에서 처음으로 전자의 터널링 현상이 일어나는 것을 알 수 있다. 한편으로 똑 같은 바이어스에 의하여 소자 상태를 비교해 볼 때 2x2μm²은 -0.8V, 3x3μm²은 0.3V, 4x4μm²은 2V 이상이므로 터널링 면적에 따라 문턱 전압의 변화가 상당히 달라 진다는 것을 알 수 있다.

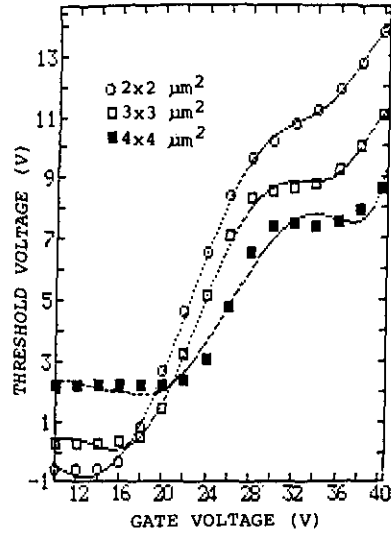


그림14. 터널링 면적에 따른 문턱 전압의 변화
Fig. 14. The threshold voltage versus gate voltage as a function of tunnel area.

4. 공정 변수에 따른 문턱 전압 변화

그림15는 게이트 1 산화막을 식각한 후 터널링 산화막을 성장시키는 과정 중 게이트 1 산화막을 wet(BHF) 및 플라즈마를 이용하여 식각하였다. 이 두 방법에 의하여 제작된 소자의 문턱 전압 변화에서 큰 차이가 없음을 위 그림을 통하여 알 수 있으며 wet 식각에 비

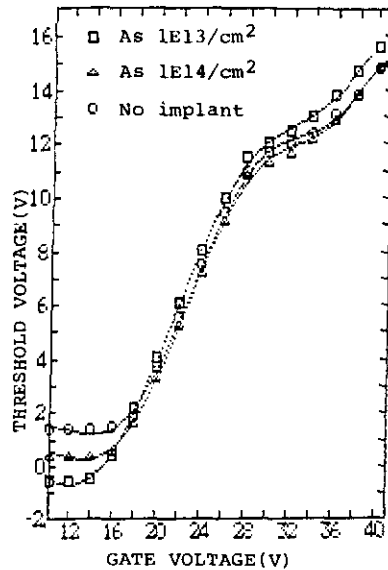


그림15. Extension 영역의 도핑 농도에 따른 문턱 전압 변화
Fig. 15. The threshold voltage versus gate voltage as a function of doping profile.

교하여 플라즈마 식각에 의한 소자의 균일성이 다소 떨어지는 것을 측정결과 알 수 있었다.

그림16은 extension 영역에 비소를 이온 주입하지 않은 상태와 비소를 $1E13/cm^2$ 및 $1E14/cm^2$ 로 가변시킨 소자의 문턱 전압의 변화를 관찰한 것이다. 프로그램인 경우에는 큰 차이를 발견할 수 없고 단지 소거 상태를 비교해 볼 때, extension 영역을 비소로 이온 주입하지 않은 상태와 이온 주입한 상태에서의 문턱 전압 변화의 차이가 거의 2V 이상인 것을 알 수 있다.

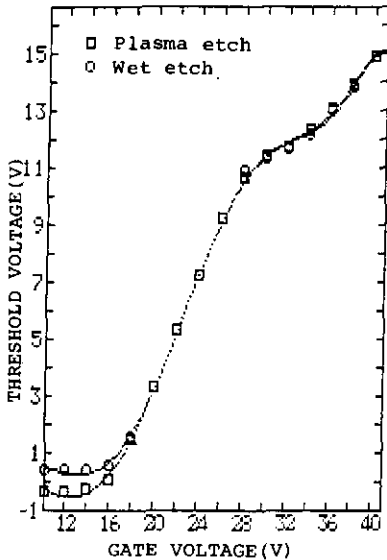


그림 16. 게이트 산화막 식각 방법에 따른 문턱 전압 변화

Fig. 16. The threshold voltage versus gate voltage as a function of gate oxide etching method.

5. 소거 동작 및 특성

Floating 게이트 형 소자의 소거 방법은 크게 3가지로 요약 할 수 있다. 그 첫번째는 드레인 쪽에 높은 전압을 인가하여 avalanche breakdown을 유발시켜 이때 생성된 정공을 floating 게이트로 avalanche-injection 시키는 것이며 두번째 방법은 floating 게이트로부터 control 게이트로 폴리 실리콘의 asperity를 이용하여 floating 게이트에 저장된 전자를 control 게이트로 field emission 시켜 소거가 일어나게 하는 방법이다. 그러나, 첫번째 방법은 게이트 산화막에서의 심한 정공 trapping 효과로 endurance가 좋지 않으며 두번째 방법은 endurance와 retention 상태가 양호하지 못한 단점을 갖게 되고 또한 상당히 높은 전압이 요구된다. 세번째 방법은 드레인 지역위에 얇은 산화막

을 성장시켜 floating 게이트에 있는 전자가 Fowler-Nordheim 터널링에 의하여 쉽게 드레인 쪽으로 이동하게 함으로써 소거가 이루어진다. 본 연구에서는 위의 세번째 방법에 의하여 소거가 가능한 지를 관찰하였다. 먼저 control 게이트에 음의 전압을 가하여 floating 게이트에 있는 전자를 드레인 지역으로 밀어내는 방법과 드레인에 양의 전압을 인가하여 전자를 드레인 쪽으로 끌어오는 방법을 이용하였다.

그림17은 게이트에 음의 전압을 인가했을 때 문턱 전압의 감소를 나타낸 것이다. 이 소자의 초기 상태의 문턱 전압은 9.4V였으며 음의 전압을 게이트에 인가함에 따라 선형적으로 문턱 전압이 감소함을 알 수 있으며 대략 -20V 정도이면 완전한 소거가 이루어짐을 알 수 있다.

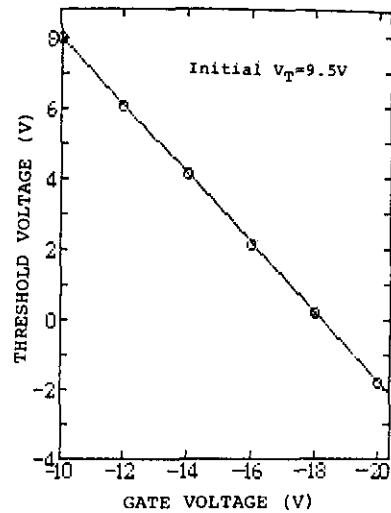


그림 17. 소거 시 게이트 전압에 따른 문턱 전압 변화
Fig. 17. The threshold voltage versus gate voltage for erase.

그림18은 드레인에 양의 전압을 인가하여 floating 게이트에 저장된 전자를 드레인 쪽으로 끌어오는 실험을 나타낸 것이다. 초기 상태의 문턱 전압은 9.4V였으며 드레인 전압이 증가함에 따라 선형적으로 감소되며 대략 15~16V 정도에서 충분한 소거가 일어나는 것을 알 수 있다.

6. E/P(소거/프로그램;Erasing/Programming) Cycle 특성

그림19는 E/P cycle에 대한 문턱 전압 변화를 나타낸 것이다. 초기 소거 상태의 문턱 전압은 -1.22V이며 프로그램 된 상태의 문턱 전압은 6.18V였다. 그림

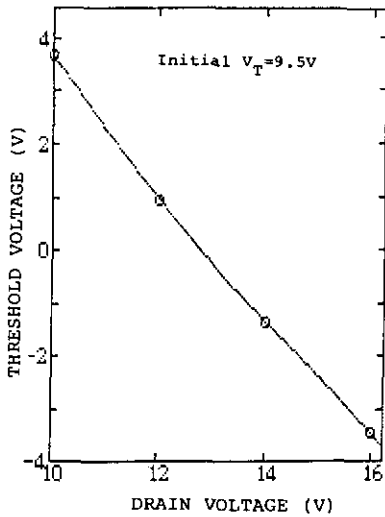


그림 18. 소거 시 드레인 전압에 따른 문턱 전압 변화
 Fig. 18. The threshold voltage versus drain voltage for erase.

에서 알 수 있듯이 처음 수십번은 아무 변화도 발생하지 않다가 1E3번 정도의 cycle이 지난 후에는 소거된 V_t 가 0.06V, 프로그램된 V_t 가 0.26V 증가 되었으며 1E4번 정도의 cycle이 이루어진 후에는 프로그램된 V_t 가 0.3V, 소거된 V_t 가 0.2V 증가되었다. EEPROM에서 소거 시 드레인 쪽에 avalanche breakdown을 유발시켜 소거가 일어나게 할 경우와 폴리 실리콘의 asperity를 이용하여 소거가 이루어지게 할 때 산화막 내에 정공이나 전자들이 저장되어 E/P cycle 시 문턱 전압이 급격히 증가되는 것을 고려해 볼때 터널링 산화막의 질만 개선된다면 터널링 형의 EEPROM에서는 E/P cycle시 발생하는 문제는 별로 크지 않으리라 생각된다.

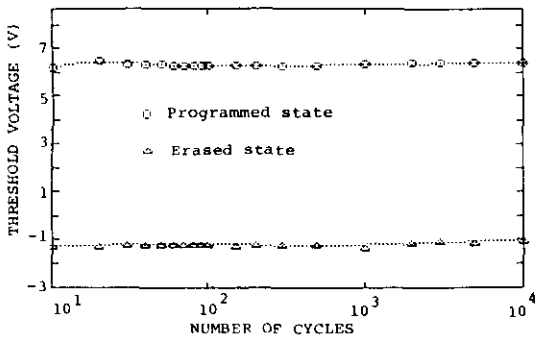


그림 19. 소거/프로그램 endurance 사이클
 Fig. 19. Erase/Program endurance cycles.

V. 結 論

EEPROM 소자 제작시 필요한 얇은 산화막의(O₂/N₂)비에 따른 산화 특성을 조사하였고 그 결과 (O₂/N₂)비를 크게하여 더 빠른 시간에 산화막을 성장시켜도 별 문제가 없을 것으로 생각된다. 그리고 웨이퍼를 비소로 이온 주입 한 후의 산화막 파괴 전장이 이온 주입 안한 것보다 1MV/cm정도 낮게 나타났고 특히 웨이퍼 세척 및 공기중 산화의 효과가 산화막 특성에 큰 영향을 주는 것으로 나타났다. 이를 토대로 3 μm CMOS 공정을 이용하여 터널링 형의 EEPROM 소자를 제작하고 그의 특성을 조사하였다. 터널링 산화막 두께는 110Å까지 터널링 면적은 2x2μm²까지 그 이용 범위를 축소시켜 보았는데 이 범위에서 프로그램 시 control 게이트에는 20~22V, 소거 시 게이트에는 -20V 또는 드레인에 15~16V의 전압이 요구되었다. 펄스 시간은 30ms 정도가 좋으며 E/P cycle 실험에서 1E4번 cycle이 지난 후의 문턱 전압 변화는 0.5V 이하로 양호한 편이었다. 한편 extension 영역을 형성 시킴으로써 드레인 캐패시턴스가 크게 증가되는 현상이 나타나므로 이에 대한 연구가 뒤따라야 하겠다.

參 考 文 獻

- [1] D. Kahng and S.M. Sze, "A floating gate and its application to memory devices," *Bell Syst. Tech. J.* vol. 46, pp. 1288, 1967.
- [2] Jih Lien, Steve Longior, K.Y. Chang, *A high performance CMOS process for the next generation EPROM.* IEDM 84 pp. 460-463.
- [3] M. Lenzlinger, E.H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO_2 ," *Journal of Applied Physics*, vol. 40, no. 1, pp. 278-283, 1969.
- [4] Y. Kamigaki and Y. Itoh, "Thermal oxidation of silicon in various oxygen partial pressures diluted by nitrogen," *Journal of Applied Physics*, vol. 48, pp. 2891-2896, July 1977.
- [5] S.M. Sze. *VLSI TECHNOLOGY.* pp. 140-142 published by McGraw-Hill.
- [6] 김보우등, "MOS Technology Development 에 관한연구" 연구보고서, sn8309 KIET, Apr.1984.
- [7] S.K. Lai, Y.W. Hu, *Design of an EEPROM Memory Cell Less Than 100 Square Micron Technology.* IEDM pp. 468-471, 1984. *