

다결정 실리콘 自己整列에 의한 바이폴라 트랜지스터의 제작

(The Fabrication of Polysilicon Self-Aligned Bipolar Transistor)

蔡 相 勳*, 具 用 書*, 李 振 孝*

(Sang Hoon Chai, Yong Seo Koo and Jin Hyo Lee)

要 約

고속, 고집적의 집적회로에 응용할 수 있는 새로운 바이폴라 n-p-n 트랜지스터를 제작하여 그 전기적 특성을 조사하였다. 이 트랜지스터는 에미터와 베이스가 다결정 실리콘에 의해 自己整列된 구조로 이루어져 있으며 에미터와 베이스 접점이 약 0.4 μm 폭으로 격리되고, 에미터 면적은 $3 \times 5 \mu\text{m}^2$ 으로 정의된다. 또한 이 소자는 전 공정을 거치는 동안 동작영역이 거의 손상을 받지 않으므로 양호한 전기적 특성을 갖는다. 이 구조를 갖는 3.0 μm 의 디자인 룰로 설계된 n-p-n 트랜지스터를 이용하여 NTL, CML, I²L 링 발진기를 제작하여 측정된 결과 게이트당 NTL에서는 380ps, CML에서는 390ps, I²L에서는 5.6ns의 최소 전달 지연시간을 얻을 수 있었다.

Abstract

A novel n-p-n bipolar transistor of which emitter is self-aligned with base contact by polysilicon is developed for using in high speed and high packing density LSI circuits. The emitter of this transistor is separated less than 0.4 μm with base contact by self-align technology, and the emitter feature size is less than $3 \times 5 \mu\text{m}^2$. Because the active region of this transistor is not damaged through all the process, it has excellent electric properties. Using the n-p-n transistors by 3.0 μm design rules, a NTL ring oscillator has 380 ps, a CML ring oscillator has 390 ps, and a I²L ring oscillator has 5.6 ns of per-gate minimum propagation delay time.

I. 서 론

컴퓨터나 통신용 기기등 고속 처리를 요하는 장치의 부품으로는 고속으로 동작하는 집적회로가 필요하며, 시스템 자체가 복잡해 짐에 따라 이들 부품의 고집적화도 동시에 필요하다. 그러므로 집적회로가 양호한 특성을 갖기 위해서는 이를 구성하고 있는 개개 소자의 동작속도 개선과 면적 축소가 필연적으로 뒤따라야

한다. 이 때문에 바이폴라(bipolar)나 모스(MOS) 분야를 막론하고 만족할 만한 특성을 가진 소자를 개발하기 위해 여러 방면의 연구가 진행되고 있다. 그 중 바이폴라 구조의 트랜지스터는 소자의 면적을 축소할 수록 접합용량(junction capacitance) 및 확산용량(diffusion capacitance)이 줄어들어 동작속도가 빨라지는 현상이 현저하게 나타남으로 고속, 고집적을 동시에 만족하는 집적회로를 실현시키는 점에서 많은 잇점이 있다. 그런데 현재까지 주로 쓰여온 접합면에 의한 소자격리 방법을 사용한 SBC(standard buried collector) 구조의 바이폴라 트랜지스터는 측면확산(lateral diffusion)과 공핍영역(depletion region)의 존재 등으

*正會員, 韓國電子通信(研)
(Electronics and Telecoms. Research Institute)
接受日字: 1986年 8月 6日

로 인하여 소자의 면적을 축소시키기 위해서는 많은 제약이 따랐으며, 이로 인해 소자 자체에 존재하는 용량성분과 저항성분을 더 이상 줄일 수가 없어서 동작속도와 집적도 면에서 좋은 결과를 기대하기 어려웠다. 이 문제를 해결하기 위해 최근 개발된 소자로는 PSA (polysilicon self-align) 트랜지스터가 있다.

PSA 트랜지스터는 1978년 NEC^[1]에서 개발된 이래 1980년 IBM사^[2] 등에 의해서도 발표되었으며, 1981년 Hitachi사,^[3] 1982년 NTT^[4] 등에 의해서도 이와 유사하거나 개량된 형태로 보고되고 있고, 현재 바이폴라 분야 연구의 주종을 이루고 있다. PSA 기술에 의해 제작된 소자는 SBC 기술에 의해 제작된 소자에 비해 동작속도, 집적도, 전력소비등 거의 모든 면에서 우위를 점하고 있으며 다가올 미래의 정보화 시대에 크게 각광을 받을 것으로 예상된다.

본 연구에서도 빠른 동작속도 및 높은 집적도를 갖는 LSI에 응용할 목적으로 산화막에 의한 소자격리 방법과 다결정 실리콘에 의한 에미터, 베이스 自己整列 (self-align) 방법을 동시에 사용하여 소자의 크기를 줄이고 속도특성을 개선한 PSA 트랜지스터를 제작하였으며, 개별 소자의 전기적 특성 뿐만 아니라 수율 (yield)도 크게 향상시킬 수 있는 신뢰성 높은 제조기술을 개발하였다. 그리고 이 트랜지스터의 특성을 관찰하기 위해 NTL (Non-Threshold Logic), CML (Current Mode Logic), I²L (Integrated Injection Logic) 구조를 갖는 각종 링 발진기 (ring oscillator) 를 제작하여 측정해 보았다.

II. PSA 트랜지스터

그림 1은 SBC 트랜지스터를 나타낸 것으로서, p-n 접합면에 의해 소자격리가 이루어지며 에미터와 베이스가 각기 다른 마스크에 의해 정의된다. 그러나 이 방법으로 제작된 소자는 공정 도중에 일어나는 측면 확산과 실제 동작 상태에서 일어나는 공핍영역을 고려해서 각 영역 사이에 충분한 거리를 두어야 하므로 소자의 면적을 줄이는데는 한계가 따른다. 따라서 이로 인해 발생하는 저항성분 및 접합용량 (junction capacitance) 성분을 더 이상 줄일 수 없게 되어 속도 및 집적도 면에서 좋은 특성을 기대할 수 없게 된다.

이 문제를 해결하기 위해 새로운 개념으로 개발된 바이폴라 소자로는 PSA 트랜지스터가 있으며 일반적인 구조가 그림 2에 나타나 있다. PSA 트랜지스터는 LOCOS^[5], SWAMI^[6] 등 산화막 격리 (oxide isolation) 기술에 의해 소자가 격리되므로 p-n 접합면에 의한 격리기술과는 달리 측면 확산과 공핍영역을 전혀 고려할

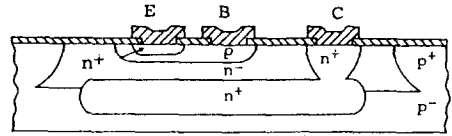


그림 1. 기존의 SBC 트랜지스터.

Fig. 1. A normal SBC transistor.

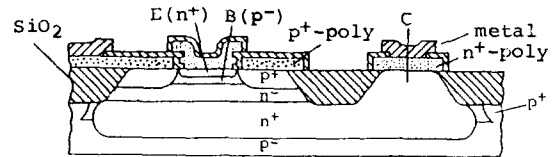


그림 2. 일반적인 PSA 트랜지스터

Fig. 2. A general PSA transistor.

필요가 없으며, 에미터와 베이스가 다결정 실리콘에 의해 하나의 마스크로 自己整列되므로 마스크 오정렬 (misalign)에 의한 영향이 훨씬 줄어들기 때문에 SBC 트랜지스터에 비해 면적을 크게 줄일 수 있다. 이에 따라 부가적으로 저항성분 및 용량성분이 줄어들어 빠른 동작속도를 얻을 수 있다. 또한 PSA 트랜지스터는 2 μ m 이하의 얇은 에피층과 0.5 μ m 이하의 극히 얇은 에미터, 베이스 접합 깊이 (junction depth) 를 사용하므로 확산용량이 크게 줄어들어 동작속도의 괄목할 만한 개선을 가져온다.

한편, 이 구조의 PSA 트랜지스터는 활성영역 (active area)인 에미터가 노출된 상태에서 공정이 진행되므로^[2] 제작도중 이 부분의 표면이 손상을 받아 접합깊이가 변하거나 누설전류가 발생함으로 인해 소자의 전기적 특성이 나빠지기 쉬우며, 특히 PSA 소자의 제작에는 건식부식 (dry etching) 공정이 많이 쓰이므로 웨이퍼 전체적으로 볼 때 이 과정에서 공정 균일성 (uniformity) 등의 문제로 인해 부분별로 부식된 깊이가 서로 달라져서 웨이퍼 내의 수율이 떨어질 우려가 있다.

그림 3은 본 실험에 의해 제작된 PSA 트랜지스터의 구조이며 기존의 PSA 트랜지스터가 갖고 있는 문제점들을 보완한 형태로서, n형 다결정 실리콘에 의해 공정 초기에 형성된 에미터가 제작 도중 건식부식 과정 등에서도 다결정 실리콘막에 의해 계속 보호를 받기 때문에 전혀 손상을 받지 않아서 개별 소자의 전기적 특성이 우수할 뿐만 아니라 수율 면에서도 좋은 결과를 얻을 수 있는 것임이 있다.

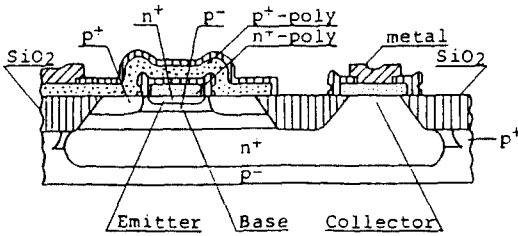


그림 3. 새로운 PSA 트랜지스터
Fig. 3. A novel PSA transistor.

III. 제조공정

그림 4는 본 연구에 의해 제작된 n-p-n 트랜지스터의 공정순서를 나타낸 것이며 단계별로 간단히 설명하면 다음과 같다.

기판 재료로는 붕소(boron)가 도핑된 p형, 15-20Ω-cm, (100) 방향의 실리콘 웨이퍼를 사용하였으며, 매물층을 형성시키기 위해 비소(arsenic)를 이온 주입하여 1,200°C에서 확산시켰으며, 1,080°C에서 인(phosphorus)이 도핑된 n형, 비저항 0.2-0.25Ω-cm, 1.6μm 두께의 에피층을 성장시켰다. 각 소자간의 격리를 위해서는 새 부리(bird's beak)의 발생 방지, 격리막 측면에서 발생하는 응력(stress)의 억제 등을 고려하여 현재까지 개발된 산화막에 의한 소자격리 범용 특성이 가장 우수한 SWAMI IITM 방법을 사용하여 1μm의 산화막과, 에너지 80KeV, 도즈(dose)량 8E14의 붕소 이온주입에 의한 p+층을 동시에 형성시켰다. 그림 4 (a)는 베이스를 형성시키기 위해 붕소를 이온 주입시킨 상태까지를 나타낸 것이다. 다결정 실리콘에 의한 에미터를 형성시키기 위해서는 3,000Å 두께의 다결정 실리콘막을 저압증착법(LPCVD)에 의해 증착시킨 후 에너지 100KeV, 도즈량 1E16의 비소를 이온 주입하여 n+형으로 만들었으며, 역시 저압증착법에 의해 1차 산화막과 질화막을 각각 증착시킨 후 사진식각법(photolithography)을 이용하여 에미터와 콜렉터를 제외한 나머지 부분의 질화막, 1차 산화막, 다결정 실리콘막을 건식부식에 의해 차례로 제거하였다. 여기서 질화막은 다음 건식부식 과정에서 부식 균일성이 좋지 않는 경우에도 1차 산화막을 보호하여 소자의 특성을 양호하게 하는 구실을 할 뿐만 아니라 수율 향상에도 크게 이바지한다. 또한 이 과정에서 다결정 실리콘의 과다 부식으로 인하여 발생하는 단결정 실리콘 표면의 손상을 방지하기 위하여 다결정 실리콘막을 건식부식에 의해서는 일부만 제거한 후 잔여분은 습식부식으로 제거하는 방법을 택하였다. 그림 4 (b)는 여기

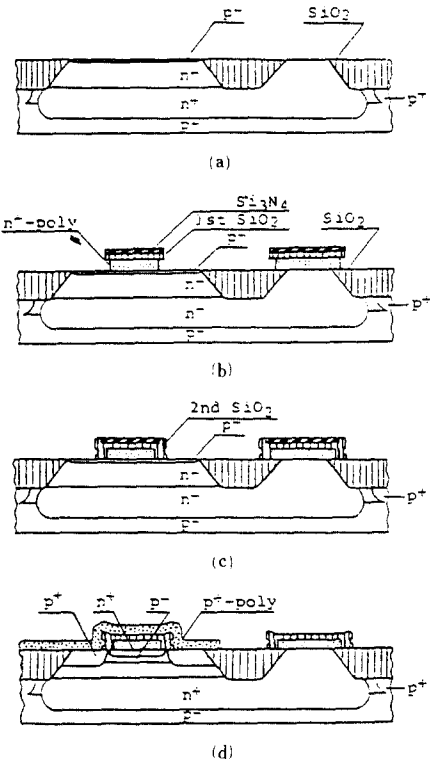


그림 4. n-p-n 트랜지스터의 공정 순서도
Fig. 4. The process flow chart of n-p-n transistor.

까지의 공정을 나타낸 것이다.

그림 4 (c)는 다결정 실리콘의 양쪽 측면을 얇은 산화막에 의해 절연시키는 과정으로서, 2차 산화막을 저압증착법에 의해 증착시킨 후 건식부식의 일종인 활성이온부식(reactive ion etch) 방법에 의해 부식시킴으로써 수평면의 산화막은 제거하고 수직면인 다결정 실리콘의 양쪽 측면에만 산화막이 남아있게 하였다. 이 방법은 건식부식의 특징인 이방성부식을 이용한 전형적인 에이버 위에서 설명한 바와 같이 1차 산화막은 질화막에 의해 보호되어 두께의 감소가 전혀 일어나지 않았다.

그림 4 (d)는 다결정 실리콘을 이용하여 베이스 직렬 저항을 줄이기 위한 p+ 비활성 베이스영역을 형성시키는 과정으로서, 먼저 습식부식에 의해 질화막을 제거한 다음 저압증착법에 의해 3000Å 두께의 다결정 실리콘막을 증착한 후 붕소를 도핑시켜 p+형으로 만들었으며 925°C에서 60분간 열처리함으로써 열확산에 의해 단결정 실리콘 내에 p+ 영역이 형성되게 하였다. 공정이 끝난 후 다결정 실리콘막의 비저항은 n+형의 경우

100 Ω/□, p'형의 경우 200 Ω/□ 정도로 큰 값을 나타내었다. 이것은 다결정 실리콘을 연결도선(electrode)로 사용할 때 나타나는 가장 큰 문제점이며 앞으로 실리사이드(silicide)를 적용하면 10 Ω/□ 이하로 낮출 수 있을 것으로 본다. 그 외의 금속전극 형성 공정은 일반적인 방법을 따랐다.

IV. 측정 결과 및 분석

제작된 테스트 칩을 이용하여 소자의 각종 전기적 특성을 추출하였다.

(1) n-p-n 트랜지스터의 동작특성

그림 5는 본 실험을 통해서 제작된 n-p-n 트랜지스터의 I-V 특성이다.

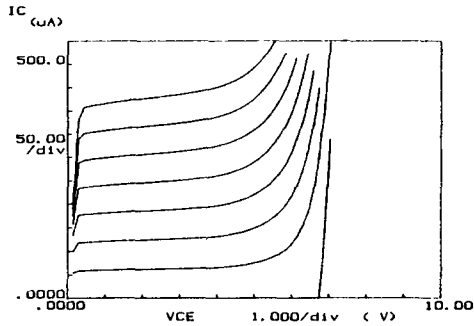


그림 5. n-p-n 트랜지스터의 I-V 특성
Fig. 5. The I-V characteristics of n-p-n transistor.

이 트랜지스터의 전류이득(h_{FE})는 50-100이며 에미터, 컬렉터 간의 항복전압, BV_{CEO} 는 5.6-7.2V이었다. 그 밖에 베이스, 컬렉터 간의 항복전압, BV_{CBO} 는 10.2-12.5V, 에미터, 베이스 간의 항복전압 BV_{EBO} 는 4.5-5.0V로 각각 나타났다. 여기서 BV_{CEO} 가 낮은 것은 베이스 폭이 0.2μm 정도로 매우 좁기 때문에 일어나는 현상으로 사료된다. 그림 6은 이 트랜지스터의 컬렉터 전류에 따른 전류이득의 변화를 측정된 것으로서 1nA-10mA의 매우 넓은 영역에 걸쳐 평탄한 결과를 나타내었다. 이것으로 미루어 볼 때 이 트랜지스터는 표면결함에 의한 누설전류가 작아서 특히 낮은 전류레벨에서도 좋은 동작특성을 갖고 있음을 알 수 있다.

그림 7은 이 트랜지스터의 베이스 전압에 따른 컬렉터 전류의 변화를 나타낸 것으로서 트랜지스터의 포화 전류, I_s 는 약 1.5×10^{-17} A로 나타났다.

그밖에 r_e 는 180 Ω, r_c 는 150 Ω, C_{je} 는 40fF, C_{je} 는 50fF 정도로 나타났다.

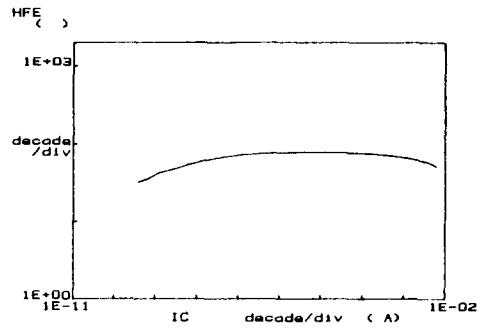


그림 6. 컬렉터 전류에 따른 전류이득의 변화
Fig. 6. The change of h_{FE} v.s. collector current.

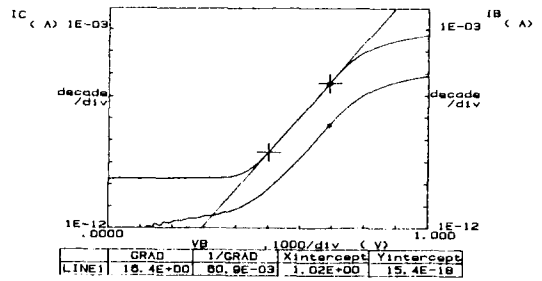


그림 7. V_{BE} 에 따른 I_B, I_C 의 변화
Fig. 7. The changes of I_B, I_C v.s. V_{BE} .

(2) NTL 링 발진기의 동작특성

본 실험을 통해 제작된 n-p-n 트랜지스터의 동작속도를 관찰하기 위해, 3.0μm의 디자인 룰(design rules)로 설계된 트랜지스터를 조합하여 만든 53단의 NTL 링 발진기를 제작하여 측정하였다. 그림 8은 제작된 링 발진기의 사진이며, 그림 9는 출력단에서 얻어진 파형으로서 게이트당 소비전력이 2.1mW일때 380ps의 매우 짧은 최소 전달 지연시간을 얻을 수 있었다. 또한 그림 10은 NTL 링 발진기의 회로도를 나타낸 것이다.

(3) CML 링 발진기의 동작특성

연산기, 카운터등 바이폴라 고속회로에 널리 쓰이는 CML 회로의 동작특성을 살펴보기 위해, 3.0μm의 디자인 룰로 설계된 43단의 링 발진기를 제작하여 측정하였다. 그림 11은 제작된 링 발진기의 사진이며, 그림 12는 출력단에서 얻어진 파형으로서 게이트당 소비전력이 2.4mW일때 390ps정도의 매우 짧은 최소전달 지연시간을 얻을 수 있었다. 또한 그림 13은 CML 링 발진기의 회로도를 나타낸 것이다.

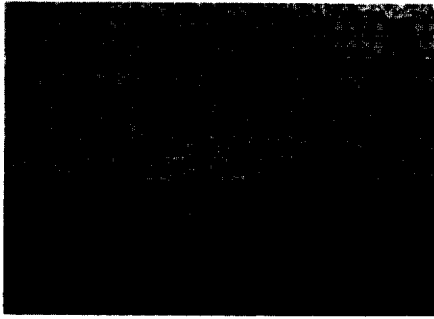


그림 8. 제작된 NTL 링 발진기의 사진
Fig. 8. The photograph of NTL ring oscillator.

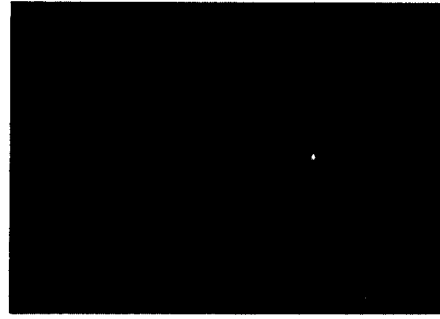


그림 11. 제작된 CML 링 발진기의 사진
Fig. 11. The photograph of CML ring oscillator.

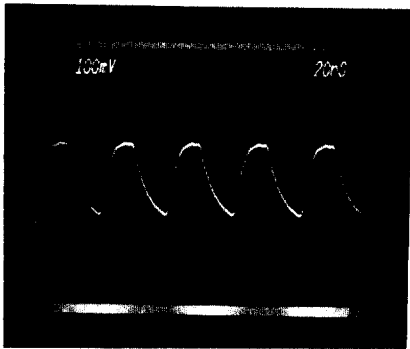


그림 9. NTL 링 발진기의 출력파형
Fig. 9. The output waveform of NTL ring oscillator.

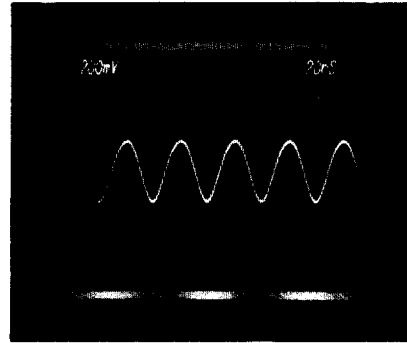


그림 12. CML 링 발진기의 출력파형
Fig. 12. The output waveform of CML ring oscillator.

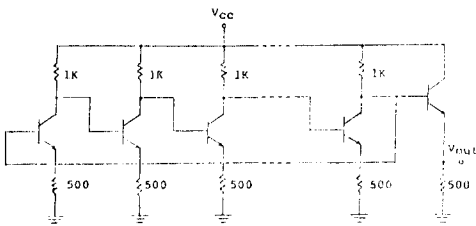


그림 10. NTL 링 발진기 회로도
Fig. 10. The circuit diagram of NTL ring oscillator.

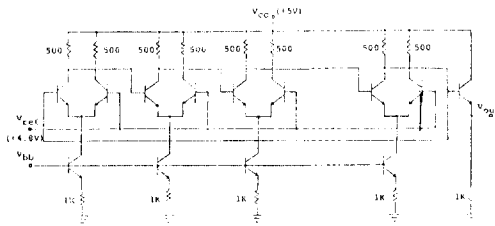


그림 13. CML 링 발진기의 회로도
Fig. 13. The circuit diagram of CML ring oscillator.

(4) I²L 링발진기의 동작특성

메모리 칩등 바이폴라 고집적회로에 널리 쓰이는 I²L 트랜지스터의 동작특성을 살펴보기 위해, 3.0 μ m의 디자인 룰로 설계된 31단의 링 발진기를 제작하여 측정하였다. 그림 14는 제작된 링 발진기의 사진이며, 그림 15는 출력단에서 얻어진 파형으로서 게이트당 소

비전류가 100 μ A일때 5.6ns 정도의 최소 전달 지연시간을 얻을 수 있었다.

그림 16은 게이트당 소비전류에 따른 전달 지연시간의 변화를 나타낸 것으로서, 그림에서 보는 바와같이 100 μ A까지는 전류의 증가에 따라 전달 지연시간이 감소하고, 이 보다 더 큰 전류에서는 오히려 증가하는 전형적인 I²L의 특성을 보여주고 있다.



그림14. 제작된 I²L 링 발진기의 사진
Fig. 14. The photograph of I²L ring oscillator.

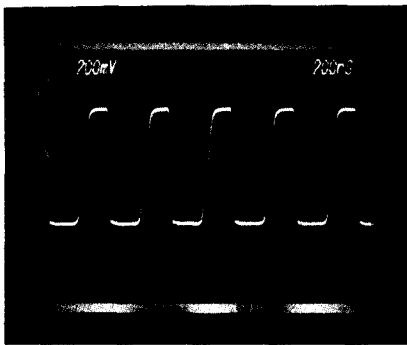


그림15. I²L 링 발진기의 출력파형
Fig. 15. The output waveform of I²L ring oscillator.

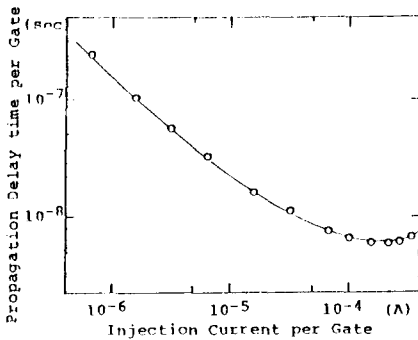


그림16. 게이트당 소비전류에 따른 전달 지연시간의 변화
Fig. 16. The change of per-gate delay time v.s. consumption current.

V. 결 론

산화막 격리기술과 PSA 방법을 이용하여 새로운 구조의 바이폴라 n-p-n 트랜지스터를 제작하여 측정해

보았다. 그 결과 전류이득이 50-100이고 BV_{CEO} 가 5.6-7.2V인 특성이 얻어졌으며, 콜렉터 전류가 1nA-10mA 범위에서 평탄한 전류이득을 갖는 우수한 성능의 트랜지스터를 얻을 수 있었다. 또한 이 트랜지스터는 구조상의 특징으로 인하여 공정 도중에서 활성영역이 손상을 받지 않으므로 양호한 전기적 특성을 갖는 개별소자를 얻을 수 있을 뿐만 아니라 웨이퍼 전체에서도 높은 수율을 기대할 수 있다. 한편, 이 트랜지스터의 동작특성을 관찰하기 위해 NTL, CML 및 I²L 구조로 설계된 링 발진기를 제작하여 측정한 결과 NTL 구조에서는 게이트당 소비전력이 2.1mW일때 380ps의 최소 전달 지연시간을, CML 구조에서는 게이트당 소비전력이 2.4mW일때 390ps의 최소 전달 지연시간을, I²L 구조에서는 게이트당 소비전류가 100 μ A일때 5.6ns의 최소 전달지연 시간을 갖는 매우 빠른 동작속도를 얻을 수 있었다. 그러므로 이 트랜지스터는 고속으로 동작하는 고집적 LSI 회로에 응용될 수 있을 것이며, 다가오는 정보화 시대에 고속 정보 처리 소자로서 크게 각광을 받을 것으로 예상된다.

參 考 文 獻

- [1] K. Okada et al., "PSA - a new approach for bipolar LST", *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 693-698, Oct. 1978.
- [2] T. Ning et al., "Self-aligned transistors for high-performance and low-power-delay VLSI", *IEEE Trans. Electron Devices*, vol. ED-28, pp. 1010-1013, Sep. 1981.
- [3] T. Nakamura et al., "Self-aligned transistor with sidewall base electrode", *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 226-230, Oct. 1978.
- [4] T. Sakai et al., "Gigabit logic bipolar technology: advanced super self-aligned process technology", *Electronics Letters*, vol. 19, pp. 283-284, Apr. 1983.
- [5] Appels et al., "Local oxidation of silicon and its application in semiconductor-device technology", *Philips Res. Rep.*, vol. 22, pp. 118-132, 1970.
- [6] K. Chiu et al., "A defect free and near-zero bird's beak local oxidation process and its application in VLSI technology", *IEEE, IEDM 82*, pp. 224-225, 1982.*