

# Digital Volume Control 집적회로의 설계 및 제작 (Design and Fabrication of Digital Volume Control IC)

張 榮 旭,\* 金 永 生,\* 申 明 澈\*

(Young Wook Jang, Young Saeng Kim and Myung Chul Shin)

### 要 約

본 논문은 종래의 기계식 Volume을 전자식으로 대체하는 기능을 갖는 디지털 볼륨조절 집적회로의 설계 및 제작에 대하여 기술한다.

버튼 스위치의 押壓에 의해 볼륨조절을 임의로 할 수 있게 회로를 구성하였다. SST bipolar 표준공정을 이용하여 집적회로를 제작하였으며, 칩의 크기는  $2.5 \times 2.5 \text{mm}^2$ 이다.

그 결과 DC 특성 및 볼륨조절 기능이 만족스러운 집적회로의 제작에 성공하였다.

### Abstract

This paper describes the design and fabrication of a digital volume control integrated circuit which replaces a mechanical volume control.

The integrated circuit can be controlled volume by up/down switch.

It has been fabricated by SST bipolar standard process.

Its chip size is  $2.5 \times 2.5 \text{mm}^2$ .

As a result, we succeeded in fabrication of integrated circuit which satisfied DC characteristics and proper operation of volume control.

### I. 서 론

종래의 디지털 볼륨조절 회로에 있어서는 마이크로 컴퓨터와 디지털/아날로그(D/A) 변환기를 사용하여, 마이크로 컴퓨터에서 출력하는 제어 디지털 신호를 디지털/아날로그 변환기에 입력시킴으로서, 볼륨을 조절할 수 있는 DC전압을 디지털/아날로그 변환기 출력으로 얻는 방식을 사용하여 왔다. 그러나 이와같은 마이크로 컴퓨터를 사용하는 방식에 있어서는 마이크로 컴퓨터가 볼륨조절용 디지털 신호를 출력할 수 있게 하기 위해 소프트웨어와 하드웨어를 구성하여야 함으로 원가상승의 요인이 되었다.

따라서 본 연구에서는 digital tuning system(DTS)

을 사용하지 않는 저가격 모델 TV의 volume control 이나 고급 audio 제품의 volume control 등, 전압으로 제어되는 볼륨의 DC driver로 사용할 수 있게 하였다. 또한 회로는 크게 up/down counter<sup>1,4</sup> 및 D/A converter<sup>2,5</sup>로 구성되어 정확한 전압을 버퍼를 통해 출력되게 하였으며, user의 제품 사용범위를 다양하게 하기 위해 외부에서 clock pulse의 주파수와 출력 DC 전압의 offset 및 dynamic range를 원하는 대로 정할 수 있도록 설계하였다.

### II. 전체 시스템 구성

Up/down switch의 조작에 의한 논리신호와 클럭발생기에서 출력하는 클럭펄스, 래치회로에서 출력하는 논리신호를 입력하여 up/down switch에 필요한 클럭펄스, up/down control signal을 출력하는 논리회로, 순차적으로 병렬 디지털데이터 PDD를 출력하는 up/down counter, 상기 병렬 디지털데이터 PDD의 신호

\*正會員, 三星半導體通信(株)  
(Samsung Semiconductor and Telecommunication Co, Ltd. R&D)  
接受日字: 1986年 8月 10日

에 따라서 소정의 직류전압을 출력하는 디지털/아날로그 변환기, 상기 디지털/아날로그 변환기에서 출력한 직류전압과 기준전압을 비교하여 비교 논리상태를 출력하는 비교기, 전원이 공급되면 high상태로 출력하고있다다가 상기 비교기에서 출력하는 비교 논리를 입력하면 low상태를 출력하는 래치회로, 자체적으로 클럭펄스를 발생시키는 클럭펄스 발생회로, 전원 인가시 상기 클럭펄스 발생회로에서 출력한 클럭펄스를 입력하여 up/down counter를 clear시킬 수 있는 소정시간민감펄스를 출력하는 clear회로로 구성된다.

### III. IC설계

설계된 IC의 전체적인 block diagram은 그림 1과 같다.

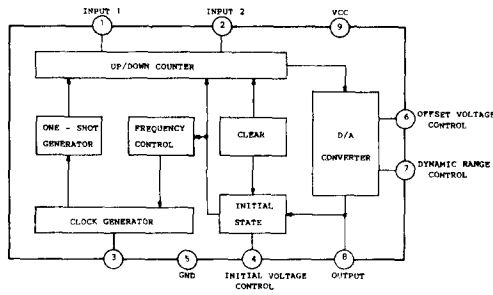


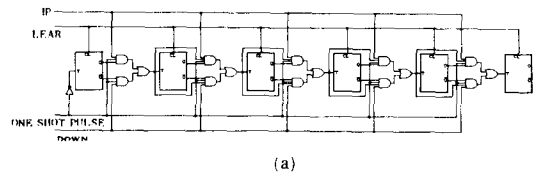
그림 1. 전체 블록 다이어그램  
Fig. 1. Whole block diagram.

전원이 공급되면 clear block에서 발생된 clear 신호가 up/down counter와 initial state의 latch block을 0으로 clear시킨다. pin4에서 저항배분에 의해 정해진 임의의 초기값으로 달하기 위해 clock pulse generator는 clock pulse를 counter로 보낸다. 또한 offset amplifier 출력은 초기값으로 상승하여, 이는 비교기에서 정해진 임의의 초기값(pin4 전압)과 비교되어 counter로 입력되는 clock pulse를 차단시킴으로써 시스템은 초기값을 그대로 유지하게 된다. 그 다음 up/down switch를 조작함으로써 원하는 출력값을 얻을 수 있다. 또한 initial state block과 clear block은 전원을 on, off 할 때만 동작하므로 up/down switch 조작시에는 system에 아무런 영향을 미치지 못한다.

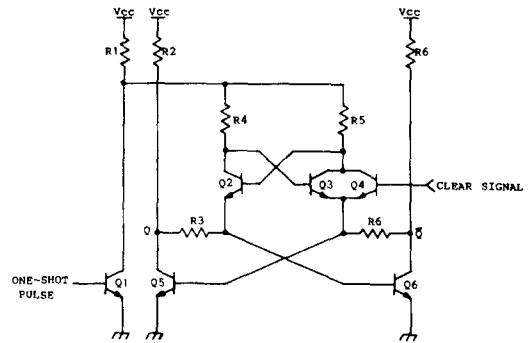
#### III - 1. Up/down Counter block

Up/down counter는 T flip-flop을 사용한 6 bit weighted counter<sup>11)</sup>이다. 이 block은 bipolar logic으로 구성되어 있으며 synchronous counter 설계시 편

요한 toggling입력과 clock pulse 입력만을 사용하여 같은 효과를 내도록 설계함으로써, chip size를 최소화하는 특이한 synchronous counter<sup>11)</sup>로 제작하였다. 또한 up동작시 MSB에서 LSB로, down동작시 LSB에서 MSB로 bit가 넘어가지 못하도록 end stop 기능을 추가하여 volume control에 알맞도록 설계되어 있으며, 전원을 on 한 후에는 시스템이 initial state block에 의해 control이 되어 초기값으로 올라간 후에는, up/down switch에 의해 control이 되도록 별도의 logic을 구성하였다. up/down counter block의 logic diagram 및 기본 circuit cell은 그림 2와 같다.



(a)



(b)

그림 2. 업/다운 카운터 블록  
(a) 로직 다이어그램  
(b) T플립플롭의 기본회로

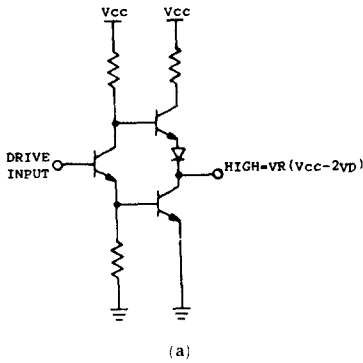
Fig. 2. Up/down counter block.  
(a) Logic diagram,  
(b) Basic circuit of T flip-flop.

전원을 on하면, clock pulse가 발생하기 전에 clear 신호 (high)가 발생되어 Q<sub>1</sub>를 on시키므로 Q<sub>2</sub>는 off 상태가 되고 Q<sub>3</sub>는 on상태가 된다. 따라서 flip-flop 출력 Q는 low상태를 나타낸다. 여기서 Q<sub>2</sub>의 emitter 전압은 Q<sub>5</sub>의 saturation 전압과 같게 되고, Q<sub>3</sub>의 emitter 전압은 Q<sub>5</sub>의 base-emitter 전압(V<sub>BE3</sub>)과 같아지므로 one shot pulse가 high가 될때 Q<sub>2</sub>가 Q<sub>3</sub>보다 더 빨리 turn-on 상태가 된다. 그러므로 Q<sub>5</sub>는 off상태가 되고 Q<sub>6</sub>는 on상태가 되어, 결국 flip-flop출력 Q는 high상태가 된다. 또한 one-shot pulse가 low상태가 되더라도 R<sub>2</sub>, R<sub>3</sub>를 통해 흐르는 전류가 Q<sub>6</sub>를 계속 on상태로 유

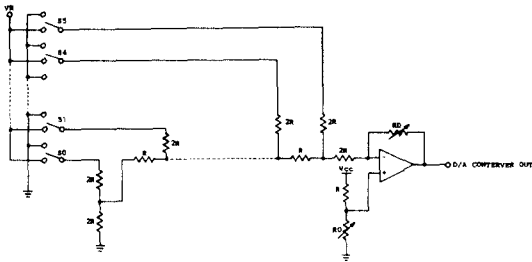
지시켜 주기 때문에 출력 Q는 one-shot pulse가 다시 high가 될 때까지 계속 high상태를 유지하게 된다.

2. D/A converter block

그림 3은 totem-pole 회로를 이용한 D/A converter<sup>[2,5]</sup> 회로를 나타낸다.



(a)



(b)

그림 3. (a) 토렘폴 회로

(b) D/A 컨버터 회로

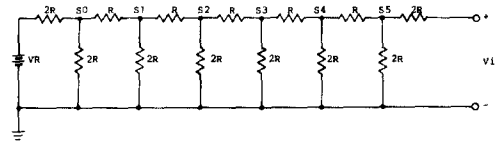
Fig. 3. (a) Totem-pole circuit.

(b) D/A converter circuit.

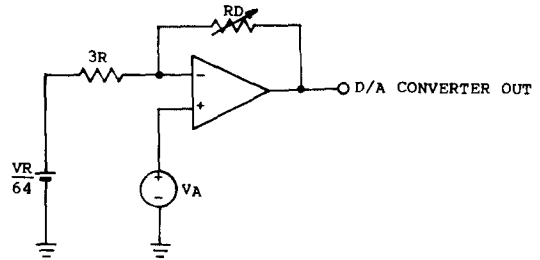
Totem-pole 회로를 이용한 일반적인 R-2R ladder converter<sup>[2,5]</sup>로 구성하였으며, counter의 각 bit로 부터 발생하는 bit clock에 의해 동작된다. 출력단 증폭기에는 외부저항 R<sub>0</sub>를 조절하여 offset 기준전압을 변동시켜 출력전압의 사용범위를 원하는대로 변동시킬 수 있도록 하였으며, 상기 출력전압의 동작범위도 외부저항 R<sub>0</sub>에 의해서 사용자가 편의대로 선택할 수 있게 하였다. 그림 3의 (b) 회로를 변환하면 그림 4와 같다.

위의 등가회로에서 D/A converter 출력(V<sub>0</sub>)의 V<sub>0max</sub>, V<sub>0min</sub>을 구하면 다음과 같다.

$$V_0 = \frac{3R+R_0}{3R} V_A - \frac{R_0}{3R} V_R \left( \frac{S_0}{2^5} + \frac{S_1}{2^5} + \frac{S_2}{2^4} + \frac{S_3}{2^3} + \frac{S_4}{2^2} + \frac{S_5}{2^1} \right) \quad (1)$$



(a)



(b)

그림 4. (a) R-2R 래더 등가회로

(b) 디지털/아날로그 변환기의 등가회로

Fig. 4. (a) Equivalent circuit of R-2R ladder.

(b) Equivalent circuit of D/A converter.

식(1)을 좀더 간략화하면 식(2)로 표현될 수 있다.

$$V_0 = \frac{3R+R_0}{3R} V_A - \frac{R_0}{192R} V_R (S_0 + 2^1 S_1 + 2^2 S_2 + 2^3 S_3 + 2^4 S_4 + 2^5 S_5) \quad (2)$$

또한 V<sub>0max</sub> 및 V<sub>0min</sub>을 구하기 위한 조건은 S<sub>0</sub>~S<sub>5</sub>가 0 혹은 1 일 때 이므로 이를 식(2)에 대입하면,

$$V_{0max} = \frac{3R+R_0}{3R} V_A \quad (\text{when } S_0 S_1 S_2 S_3 S_4 S_5 = 000000) \quad (3)$$

$$V_{0min} = \frac{3R+R_0}{3R} V_A - \frac{R_0}{192R} (63 \cdot V_R) \quad (\text{when } S_0 S_1 S_2 S_3 S_4 S_5 = 111111) \quad (4)$$

이 된다.

D/A converter의 출력은 외부 reference control 전압 pin 6에 의해, output control 전압의 중간전압을 사용자가 임의로 정할 수 있도록 설계하였다.

그림 5(a)는 외부저항 R<sub>0</sub>을 R<sub>01</sub>에서 R<sub>02</sub>(R<sub>02</sub>>R<sub>01</sub>)로 변화하면 출력전압은 V<sub>0</sub>에서 V<sub>k</sub>로 상승함을 보인 것이다. 즉, 외부에서 offset bias전압(외부저항R<sub>0</sub>)을 변동시켜 출력전압의 중간 전압점 MSB/2를 변화시킬 수 있다. 뿐만아니라 dynamic range도 외부에서 조절하게 함으로써 그림 5(b)와 같이 사용자의 편의에 따라 dynamic range를 선택할 수 있다. 그림 5(b)는 외부저항 R<sub>0</sub>를 R<sub>01</sub>에서 R<sub>03</sub>(R<sub>03</sub>>R<sub>02</sub>>R<sub>01</sub>)로의 변화에 대한 출력전압의 동작범위 변화를 나타내었다. 그러므로 출력전압의 중간전압 MSB/2 및 동작범위는 외부저항

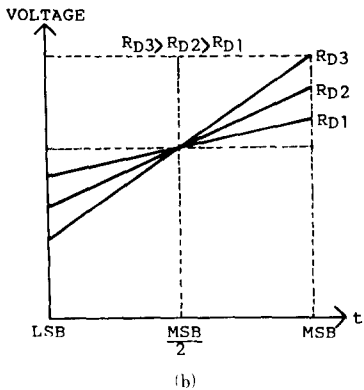
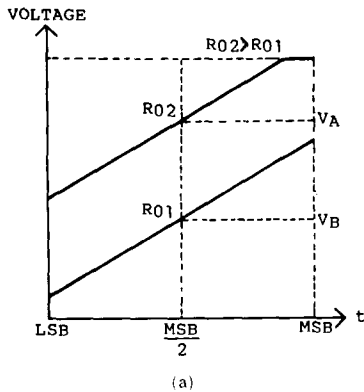


그림 5. (a) 오프셋 기준전압에 대한 출력전압 변화  
 (b) 다이내믹 레인지에 대한 출력전압 변화  
 Fig. 5. (a) Output voltage variation on offset reference voltage.  
 (b) Output voltage variation on dynamic range.

$R_0$ 와  $R_0$ 의 변화에 의해서 얻을 수 있다. 그림6은 up/down counter의 출력변동에 따른 D/A converter의 출력 파형도를 나타낸다.

여기서 a는 임의로 정해진 초기전압이며, b와 c는 초기전압에 달한 후에 up과 down switch를 동작시켰을 때의 파형도이다.

3. Initial state block<sup>[3-5]</sup>

Initial state는 크게 latch와 comparator로 구분할 수가 있으며, 전원을 on했을 때 자동적으로 정해진 초기전압 출력을 나타내기 위한 것으로 외부에서 원하는 크기의 초기전압을 bias해 주면 그 전압과 동일한 크기의 전압이 D/A converter 출력에서 나오게 된다. 그림7은 initial state diagram을 나타낸다.

즉, 외부에서 임의의 reference bias를 가하면 D/A converter 출력은 최저전압에서 reference 전압으로

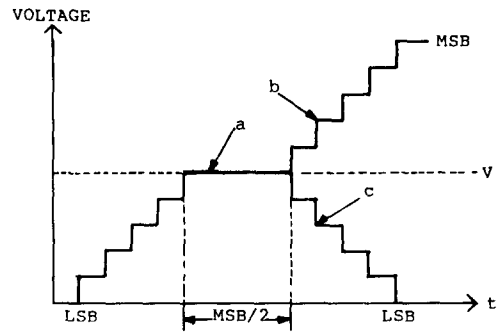


그림 6. 디지털/아날로그 변환기의 출력 파형도  
 Fig. 6. Output waveform diagram of D/A converter.

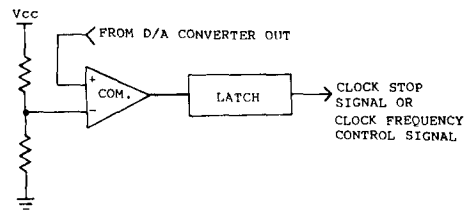


그림 7. 초기상태 다이어그램  
 Fig. 7. Initial state diagram.

상승하게 된다. 이때 발생하는 clock pulse frequency는 up/down switch 조작시 동작 주파수의 약 5배로 되어 0.5sec 이내에 정해진 전압에 도달한다. 따라서 D/A converter출력이 reference 전압과 같게 되면 comparator를 동작시켜, frequency control block의 동작을 정지시킨다. 그 후의 switch조작에 의한 동작은 정상 상태의 clock pulse로 전환된다. 그림 8은 initial state circuit을 나타낸다.

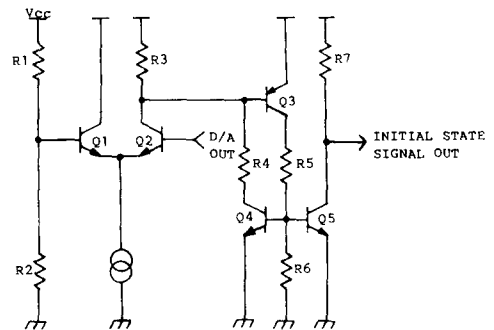


그림 8. 초기상태 회로  
 Fig. 8. Initial state circuit.

전원이 on되면 clock pulse가 발생되어 counter를 동작시키게 되므로 D/A converter 출력전압이  $Q_2$  base에 입력된다. 또한  $R_1$ 과  $R_2$ 에 의해 정해진 초기 전압보다 D/A converter 출력전압이 작으면 transistor  $Q_3$ ,  $Q_4$ ,  $Q_5$ 가 off상태가 되므로 initial state 출력은 high상태가 되어 counter를 동작시키게 된다. D/A converter전압이  $Q_1$  base의 초기전압과 같아지면  $Q_3$ 가 on되어  $Q_4$ ,  $Q_5$ 를 on시키게 되므로 initial state 출력은 low 상태가 된다. 여기서 low상태의 initial state 출력은 counter로 입력되는 clock pulse를 차단시켜, D/A converter 출력전압이 더 이상 상승하지 못하게 한다. 또한  $Q_3$ ,  $Q_4$ ,  $Q_5$ 는 한번 on되면, D/A converter 출력전압이 초기전압보다 작아져도  $Q_3$ 와  $Q_4$ 의 latch작용에 의해 출력전압은 low상태 그대로 유지된다.

4. Clear block<sup>6,7</sup>

Clear block은 전원을 on, off할 때마다 counter 뿐만 아니라 initial state, D/A converter출력을 0으로 clear시켜 전 system동작을 안정되게 한다. 이 block에는 low voltage detection 회로를 부착하여 어느한도 이하로 전압이 하강하거나 상승하지 못하였을 때에는 전 system을 clear시켜 전원전압의 급격한 전압변동에도 안정되게 하였다. 그림 9는 전원전압 변동 및 clear 신호를 나타내며, 그림 10은 clear 내부 회로를 나타낸다.

전원을 on하면 순간적으로  $V_{cc}$ 까지 도달하지 못하므로 제너전압(ZD)이하로 되어 ( $V_{cc} < ZD$ )  $Q_1$ 이 off상태가 되므로 high상태의 clear 신호를 출력하게 된다. 전원전압( $V_{cc}$ )이 ZD전압이상 상승하면 ( $V_{cc} > ZD$ )  $Q_1$ 이 on되어 low상태 출력이 나타나므로 clear기능을 상실한다. 즉, 이 회로는 전원을 on, off할 때마다 system을 clear하는 기능을 갖도록 설계하였다.

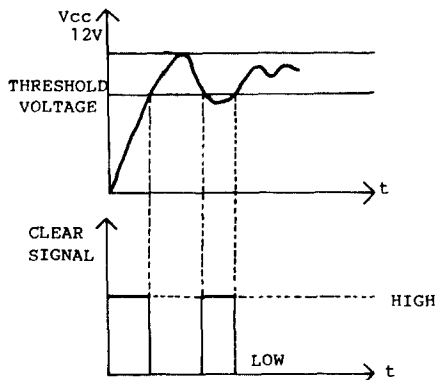


그림 9. 공급전압 변동 및 클리어 신호  
Fig. 9. Supply voltage variation and clear signal.

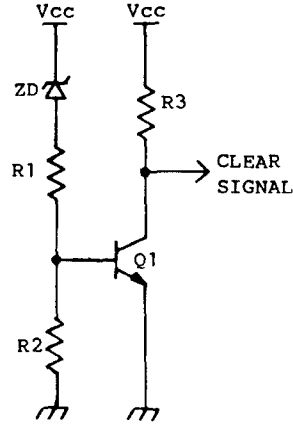


그림 10. 클리어 회로  
Fig. 10. Clear circuit.

5. One-shot pulse generator

One-shot pulse generator는 clock pulse generator에서 발생된 clock pulse를 up/down switch 조작시 발생하는 삽음이 counter 동작에 error를 주지 않도록 하기위해 매우 작은 width를 갖는 pulse로 변환시키는 작용을 한다. 그림 11은 one-shot pulse generator 회로를 나타낸다.

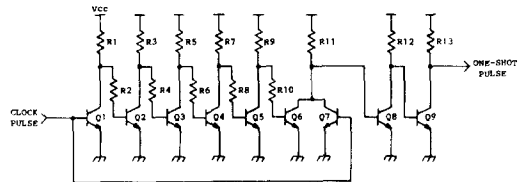


그림 11. 원-샷 펄스 발생기 회로  
Fig. 11. One-shot pulse generator circuit.

6. Clock pulse generator 및 frequency controller<sup>6,7</sup>

그림 12는 clock pulse generator 및 frequency controller 회로를 나타낸다.

$I_1$ 과  $I_2$ 에 의해 capacitor  $C_1$ 은 충전되기 시작하고  $Q_1$ 의 base전류가 증가한다. 따라서  $Q_1$  base전류도 증가하여  $Q_1$ ,  $Q_2$ ,  $Q_3$ 가 saturation되어 capacitor는 방전을 하게 되므로 clock출력은 low 상태가 된다.

$Q_1$ ,  $Q_2$ ,  $Q_3$ 의 saturation은  $Q_4$ 와  $Q_5$ 의 saturation을 유도하여  $Q_1$ ,  $Q_2$ ,  $Q_3$ 가 off상태가 되고 clock출력은 high상태가 되므로 capacitor는 다시 충전을 시작한다.  $R_6 \sim R_{11}$  및  $Q_6 \sim Q_8$ 은 D/A converter 출력이 initial state의 초기전압에 도달할 때까지 충전시 정수 r

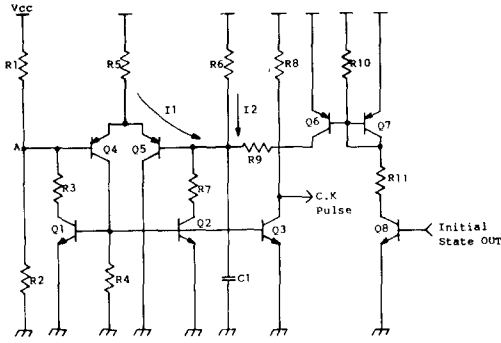


그림12. 클럭펄스 발생기 및 주파수 콘트롤러  
Fig. 12. Clock pulse generator and frequency controller.

$(RC=R_6 \parallel R_9 \cdot C_1)$ 를 작게함으로써 clock을 빠르게 하고, initial state의 초기전압에 도달했을 때는  $Q_8$ 이 off상태가 되어 시정수  $\tau(RC=R_6 \cdot C_1)$ 를 크게하므로 원래의 주파수대로 clock을 발생시킨다.

IV. 측정 및 결과

설계 제작된 IC는 그림13과 같다.

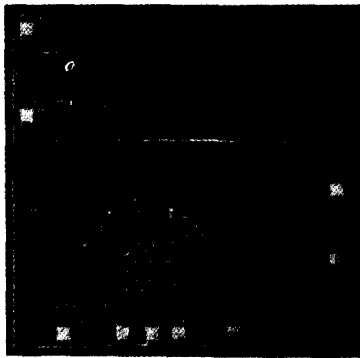


그림13. 제작된 IC  
Fig. 13. Fabricated IC.

SST bipolar standard 20V process를 이용한 full custom IC로 제작하였으며 사용한 NPN 및 PNP transistor의 기본 cell은 그림14와 같다.

IC의 동작상태를 측정하기 위해서 그림15와 같은 test circuit을 구성하여 측정한 결과, 표 1과 같은 특성과 그림16의 파형을 얻었다.

여기서 (a)는 clock pulse generator의 clock pulse 및 capacitor의 충·방전 파형이며, (b)는 clock pulse에 대한 one-shot pulse를 나타내었다.

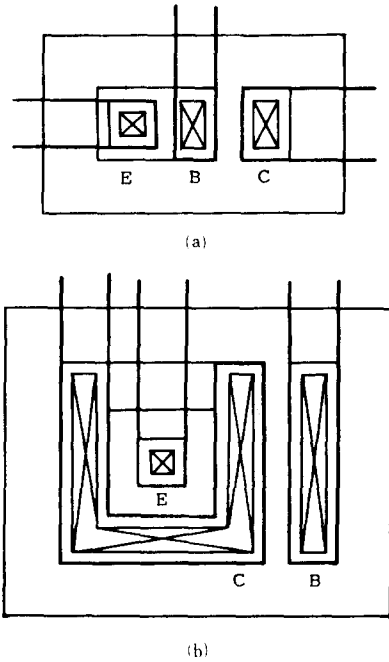


그림14. 트랜지스터의 기본 cell  
(a) NPN 트랜지스터  
(b) PNP 트랜지스터

Fig. 14. Basic cell of transistor.  
(a) NPN transistor.  
(b) PNP transistor.

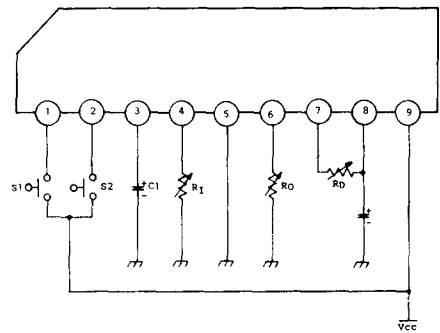


그림15. 테스트 회로  
Fig. 15. Test circuit.

(c)는 one-shot pulse에 대해 정확히 분주된 2<sup>n</sup> bit 출력이며, (d)는 offset 전압을 낮게 했을 때의 D/A converter 출력이다.

또한 (e)와 (f)는 각각 up과 down switch 조작시의 D/A converter 출력을 나타낸다.

V. 결론

Digital volume control IC를 설계·제작하였다.

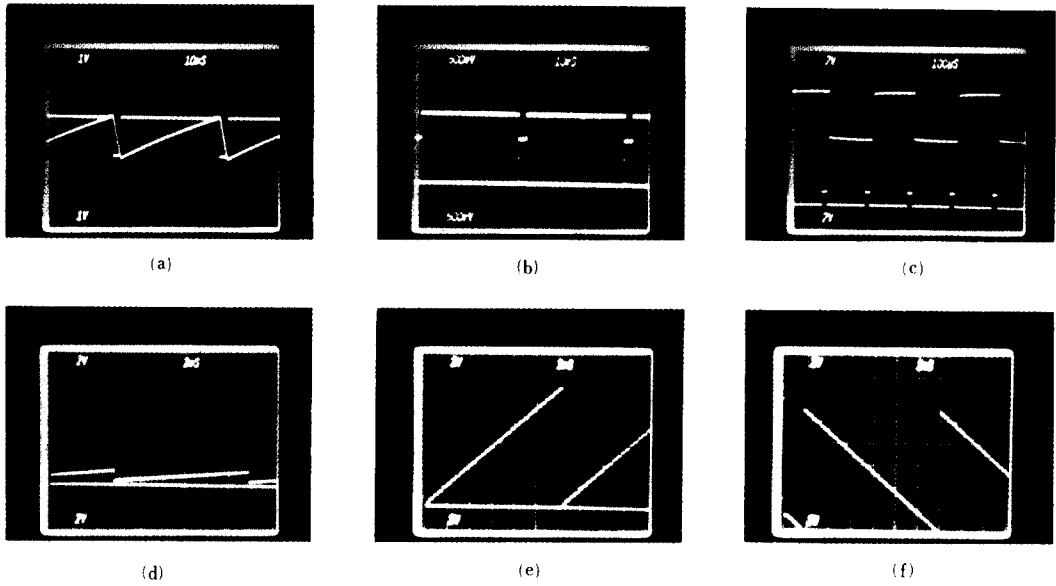


그림 16. 출력파형  
Fig. 16. Output waveform.

표 1. 전기적 특성

Table 1. Electrical characteristics.

Characteristic	Value	Unit
Package Type	9 SIP	-
Supply Voltage	12(±20%)	V
Supply Current	7(max)	mA
Operating Temperature	-10~+80	°C
Output Step Number	64	Step
Output Voltage per Step	0.166	V
Output Linearity	±15(max)	%
Dynamic Voltage Range	0.2~10.6	V
Offset Voltage Range	0.3~10.5	V

Test circuit을 구성하여 설계·제작된 IC를 측정함 결과 양호한 회로특성으로 원하는 기능을 잘 수행함을 알 수 있었다. 본 연구를 성공적으로 수행함으로써 일반 volume control뿐만 아니라 TV의 tint, bright, color control 및 DC 제어를 필요로 하는 산업용 계기등에 적용함으로써 기계식 볼륨의 고장 발생이 제거되고, smart한 고가의 제품을 만들 수 있어 수출증대 효과를 얻을 수 있다. 또한 축적된 기술을 이용하여

새로운 IC개발에 응용할 수 있을 것으로 기대한다. 향후 과제로는 parallel volume control 기능을 추가하여 다양한 DC control이 가능하도록 설계하기 위한 미세가공 process 개발과 chip size 축소로 인한 net die 증가가 남아 있다.

參 考 文 獻

- [1] Samuel C. Lee, *Digital Circuit and Logic Design*, Prentice Hall, Inc., 1976.
- [2] Donald L. Schilling, Charles Belowe, *Electronic Circuits*, McGraw-Hill, Inc., 1979.
- [3] Ronald J. Tocci, *Digital Systems Principles and Applications Revised and Enlarged*, Prentice Hall, Inc., 1980.
- [4] Richard L. Castellucis, *Digital Circuit and Systems*, Reston Publishing Company, Inc., 1981.
- [5] Alan B. Grebene, *Bipolar and Mos Analog Integrated Circuit Design*, A Wiley-Interscience Publication, 1984.
- [6] VI85-071 SST Technical Report.
- [7] VI85-075 SST Technical Report.