

# 집적회로 마스크 도면으로 부터의 회로 추출 (Circuit Extraction from MOS/LSI Mask Layout)

金 性 秀\*, 慶 宗 旻\*

(Sung Soo Kim and Chong Min Kyung)

### 要 約

집적회로 마스크 도면을 나타내는 CIF file로 부터 CMOS 회로에 대한 SPICE2의 입력 file을 추출해내는 프로그램인 CIREX를 소개하였다. 이 회로 추출기는 마스크 도면에서 트랜지스터와 그들간의 연결 상태 및 기생 저항 성분과 기생 캐패시턴스 성분을 추출해 낸다. 추출된 기생 성분들을 표현하는데 lattice model을 사용하여 회로의 논리 지연을 정확하게 검증할 수 있도록 하였으며 추출된 회로의 크기가 커서 회로 해석을 할 수 없을 경우에는 node model을 사용하여 worst case timing analysis를 할 수 있도록 하였다.

### Abstract

This paper describes the CIREX (CIRcuit EXtractor), an automated CMOS circuit extraction program which provides SPICE2 input file by computing circuit connectivity and transistor dimensions from the CIF file. The CIREX also computes parasitic capacitance and resistance which makes it a valuable tool for timing analysis and detailed circuit simulation. A lattice model is used to calculate the interconnection resistances and substrate capacitances which can be replaced, as an option, by a node model for the worst case timing analysis of the circuit.

### I. 서 론

최근 집적회로 제작 기술의 발달로 칩의 집적도가 증가함에 따라 회로를 설계하여 마스크 도면으로 만드는 과정에서 실수가 생길 우려가 커지게 되었다. 또한, 마스크 layout 상에 불가피하게 포함되는 기생 저항과 기생 캐패시턴스등의 성분이 회로의 동작 특성에 미치는 상대적인 영향은 회로의 집적도가 증가하면서 더욱 커지게 되었다. 이상의 두가지 문제를 빠른 시간에 해결하기 위한 노력으로 마스크 도면으로부터 동작회로를 추출해내는 프로그램들이 많이 개발되었다.그중에는 트랜지스터와 그들간의 전기적인 연결도만을 찾

아내는 프로그램들이 있으며<sup>1,2,3,4</sup> 저항 성분을 계산하는 방법을 제시한 것도 있고<sup>5</sup>, 기생 캐패시턴스를 고려하여 회로를 추출하는 시스템이 있다.<sup>6,7,8,9</sup> Bipolar IC에 대해서 회로를 추출하는 프로그램도 있고<sup>10</sup>, MOS의 경우에 저항과 캐패시턴스까지 고려하여 회로를 추출하는 프로그램들이 개발되어 사용되고 있다.<sup>11,12,13,14</sup>

본 논문에서는 기생저항과 기생 캐패시턴스를 추출하기 위하여 lattice 모델을 사용하여 회로의 논리 지연을 정확하게 예측할 수 있도록 하였으며, 또한 추출된 회로가 너무 복잡하여 회로 해석이 불가능할 경우에는 node model을 사용하여 최악의 경우에 대한 시간해석을 할 수 있도록 하였다. 또한, 기생 성분을 고려하지 않은 회로를 출력하여 논리 검증을 할 수 있도록 하였다. 이 회로 추출기는 CMOS의 마스크 도면에 대한 정보를 CIF file에서 받아 회로를 추출할 수 있

\*正會員, 韓國科學技術院 電氣 및 電子工學科  
(Dept. of Elec. Eng., KAIST)  
接受日字: 1986年 3月 27日

고 그 결과는 회로 해석을 위해 SPICE2의 입력 형태로 출력된다.

II. 회로추출

CIREX에서의 회로 추출 방법을 p-well CMOS틀에 들어 단계별로 설명하기로 한다.

1. 흐름도

CIREX의 흐름도는 그림 1과 같다. 이 회로 추출기는 설계자가 만든 마스크 도면에 대한 자료들을 받아서 트랜지스터를 찾아낸 다음 이들의 전기적인 연결도를 찾아내어 논리 검증을 위한 중간 출력을 낸다. 그리고 회로의 동작 특성을 검증하는데 사용하기 위하여 트랜지스터들 사이의 연결부분에서 기생 성분들을 계산하여 SPICE2의 입력 형태로 최종 출력을 낸다.

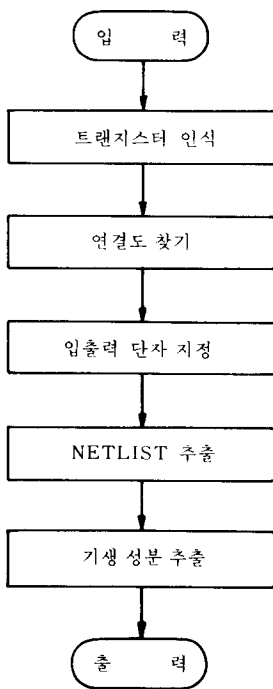


그림 1. 흐름도  
Fig. 1. Flow chart.

2. 입력

이 회로 추출기는 수직 수평 성분만을 갖는 직사각형 모양의 도형만 처리할 수 있다. 입력은 p-well CMOS process에서 사용되는 여섯개의 마스크에 대한 CIF file이며,<sup>[1]</sup> 각각의 마스크에 대한 CIF code는 다음과 같다.<sup>[2]</sup>

p-well : CW

- polysilicon : CP
- thin oxide : CD
- p-plus : CS
- contact : CC
- metal : CM

직사각형의 도형은 대각선상에 있는 두 점의 좌표와 마스크에 대한 정보를 가지고 표시할 수 있으므로 입력자료는 그림 2와 같은 형태로 변환되어 사용된다.

입력 자료중에서 thin oxide는 n+diffusion과 p+diffusion으로 구분해야 되는데 n+diffusion은 p-plus의 negative 마스크를 사용하여 실현하므로 thin oxide가 p-plus와 겹친 부분은 p+diffusion으로 하고 겹치지 않은 부분은 n+diffusion으로 정해준다.

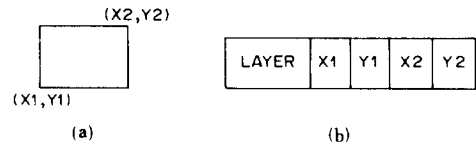


그림 2. 입력도형(a)과 표현(b)  
Fig. 2. Mask artwork data(a) and their representation(b).

3. 트랜지스터 인식

트랜지스터는 polysilicon과 diffusion이 서로 교차하는 곳에서 형성된다(그림3(a)). 이때 diffusion이 n+이면 n-channel 트랜지스터가 형성되고 p+이면 p-channel 트랜지스터가 형성된다. 트랜지스터를 형성하는 polysilicon은 트랜지스터의 gate로 지정되고, diffusion은 세부분으로 분리되며 channel 부분을 제외한 나머지 두 부분은 각각 트랜지스터의 source와 drain으로 지정된다(그림 3 (b)).

n-channel 트랜지스터의 substrate는 p-well과 ohmic contact을 형성하는 p+ diffusion이 지정되고 p-channel 트랜지스터의 substrate는 n-substrate와 ohmic contact을 형성하는 n+ diffusion이 지정된다.

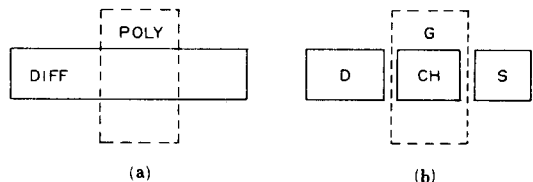


그림 3. 트랜지스터 형성(a)과 diffusion 분리 및 단자 지정(b)  
Fig. 3. Transistor detection(a), diffusion partition and terminal node assign(b).

4. 연결도

트랜지스터들 간의 연결상태를 알기 위하여 입력 자료 중에서 전기적으로 연결된 자료들을 같은 그룹으로 모은다. 같은 마스크의 도형들은 서로 겹쳐 있거나 붙어 있으면 전기적으로 연결된 것으로 보고 같은 그룹으로 지정한다(그림4(a)). 서로 다른 마스크의 도형들은 contact을 통해 전기적으로 연결되므로 contact과 그 contact을 포함하는 모든 도형들을 같은 그룹으로 지정한다(그림4(b)).

그림4(a)에서 도형1과 도형2는 그룹1로 지정되고, 그림4(b)에서 도형5와 도형7은 3번 contact을 통해 그룹3으로 지정된다.

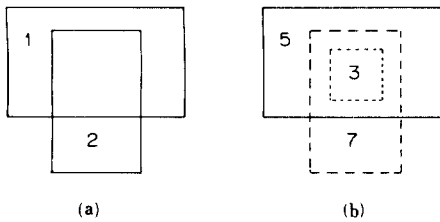


그림 4. 연결도 검사

- (a) Layer내의 연결 검사
- (b) Layer간의 연결 검사

Fig. 4. Connectivity check.

- (a) Intra-layer connectivity check.
- (b) Inter-layer connectivity check.

5. 입출력 지정

입출력 단자의 node 번호를 결정하기 위해 따로 입출력 단자에 대한 데이터가 아래와 같은 형태로 들어온다.

NAME DIR LAYER X1 Y1 X2 Y2  
 NAME은 입출력 단자의 이름을 나타내고 LAYER는 이 입출력 단자가 연결된 도형의 Mask를 나타내며 X1 Y1 X2 Y2는 이 도형의 대각선상에 있는 두 점의 좌표를 나타낸다. DIR은 입출력 단자가 연결된 도형의 edge를 나타낸다.

입출력 단자의 node 번호에는 그 단자가 연결된 도형이 속한 그룹의 node 번호가 지정된다. 그림5에서 Vdd의 node 번호는 3번이 된다.

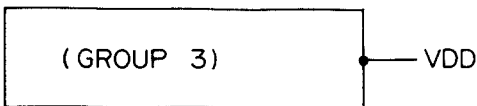


그림 5. 입출력 단자지정. Vdd는 3번 node가 된다  
 Fig. 5. I/O assignment. The node number of Vdd becomes 3.

6. NETLIST

마스크 도면상에서 이루어진 회로의 논리 검증을 위해 입출력 단자에 대한 정보와 트랜지스터에 대한 정보를 다음과 같은 형태로 출력한다.

• I/O NODE

NAME NODE-NUMBER

• TRANSISTOR

MOSNAME ND NG NS NB MOSTYPE

NAME은 입출력 단자의 이름이고 NODE-NUMBER는 그 단자의 node 번호이다. MOSNAME은 트랜지스터의 이름이고 ND NG NS NB는 각각 drain gate source 그리고 substrate의 node 번호를 나타낸다. MOSTYPE은 트랜지스터가 n-type인지 p-type인지를 나타낸다.

7. 기생 성분 추출

여기서는 트랜지스터간의 연결 부분에서 저항과 캐패시턴스를 추출하여 등가 회로로 표현해준다. 이때 사용되는 회로 모델은 lattice모델이며 다음과 같은 방법으로 수행된다.

먼저 저항과 캐패시턴스의 계산을 쉽게 하기 위하여 입력 도형들을 재구성하여 새로 구성된 도형들간에 겹쳐진 부분이 없도록 하고 아래 위로만 접하도록 만든다(그림6).

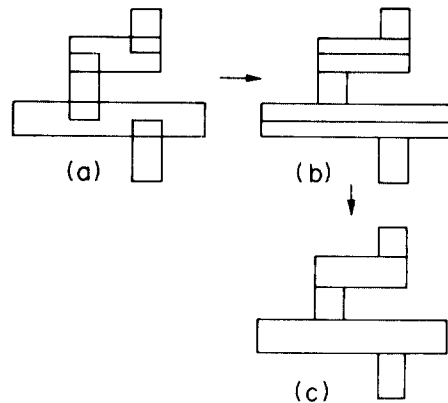


그림 6. 입력자료(a)와 재구성된 자료(c)  
 Fig. 6. Conversion from rectangular description(a) to internal format(c).

각각의 도형들이 다른 도형이나 트랜지스터와 전기적으로 연결되는 부분을 port로 정의하고 각각의 도형에 대해 port를 지정해 준다.

Port는 internal port와 external port로 구성되며 internal port는 도형들간에 연결되는 부분으로 같은

마스크상의 도형일 경우 서로 접한 부분이 되며, 서로 다른 마스크일 경우 contact 부분이 된다. External port는 도형과 트랜지스터가 연결되는 부분으로 트랜지스터를 형성하는 polysilicon과 diffusion이 channel과 만나는 부분이 된다. 각 port는 회로상에서 node로 표시된다.

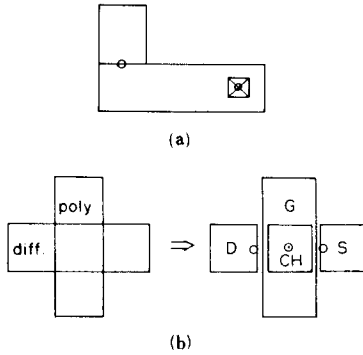


그림 7. Internal port(a)와 external port(b) 작은 원이 port를 나타냄  
 Fig. 7. Internal port(a) and external port(b) small circle represents port.

각 도형들을 그들이 가지고 있는 port에 의해 몇개의 직사각형으로 분리하여 볼 수 있으며, 이 직사각형들은 회로상에서 저항으로 나타내게 된다(그림8(a)). 저항값은 sheet 저항에다 그 직사각형의 길이대 폭의 비를 곱하여 구한다. 이 직사각형의 캐패시턴스 값은 단위 면적당 캐패시턴스에다 그 직사각형의 면적을 곱하여 얻으며 도형의 마스크가 diffusion인 경우 단위 길이당 캐패시턴스에다 그 직사각형의 유효 둘레를 곱하여 얻은 값을 더 더하여 얻는다. 이 캐패시턴스 값의 절반씩을 직사각형을 형성한 두 port와 substrate 사이에 지정하여 RC tree를 만든다(그림8(b)).

입력 도형이 많은 마스크 도면의 경우, 이러한 방법으로 추출한 회로는 그 크기가 너무 커서 SPICE 2로 회로 해석을 할 수가 없다. 이런 경우에는 최악의 경우에 대한 시간 해석을 할 수 있도록 그림 9와 같은 node 모델을 사용하였다.

8. 출력

앞에서 얻어진 결과는 회로 해석을 할 수 있도록 SPICE2의 입력 형태로 출력된다. 이에 앞서 입출력 단자의 node 번호는 다시 지정되어야 한다. 입출력 단자가 연결된 면을 그 도형의 port로 생각하여 이 port에서 가장 가까이에 있는 port 사이의 저항과 캐패시턴스를 계산하고 입출력 단자의 node 번호를 결정한다

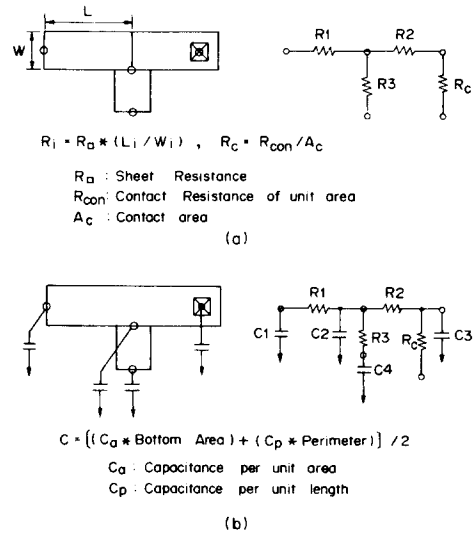


그림 8. Resistor tree와 RC tree의 생성  
 (a) Resistor tree추출  
 (b) 캐패시턴스 결정과 RC tree생성  
 Fig. 8. Generation of resistor tree and RC tree.  
 (a) Derivation of a resistor tree.  
 (b) Determination of capacitance and creation of an RC tree.

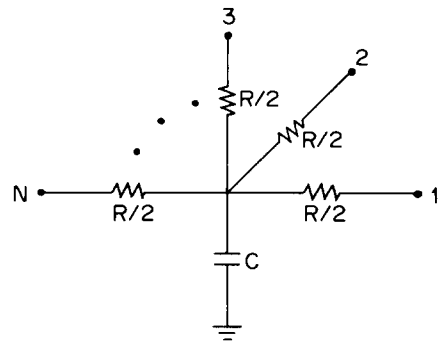


그림 9. 저항R과 캐패시턴스 C를 갖는 node의 표현  
 1, 2, ..., N은 node에 연결된 단자를 나타낸다  
 Fig. 9. Interpretation of a node with resistanceR and substrate capacitance C. Each of the points1, 2, ..., N above is a connection to the node by some terminal of a device.

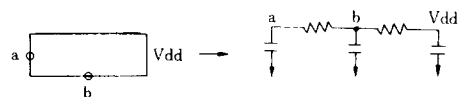


그림10. 입출력 단자의 재지정  
 Fig. 10. I/O reassignment.

다(그림10).

SPICE2의 입력 형태는 다음과 같다.

- Resistor  
RXXXXXXXX N1 N2 VALUE
- Capacitor  
CXXXXXXXX N+ N- VALUE
- Transistor  
MXXXXXXXX ND NG NS NB MNAME L=VAL  
W=VAL

RXXXXXXXX와 CXXXXXXXX 그리고 MXXXXXXXX는 각각 resistor와 capacitor 그리고 transistor의 이름을 나타내며 N1 N2는 저항 양단의 node 번호를 나타내고 N+ N-는 캐패시터 양단의 node 번호를 나타낸다. Value는 각각 저항과 캐패시턴스의 값을 나타내며 transistor에서 L=VAL과 W=VAL은 각각 channel의 길이와 폭을 나타낸다. ND NG NS NB는 각각 drain gate source 그리고 substrate의 node 번호를 나타내며 MNAME은 channel type(n or p)을 나타낸다.

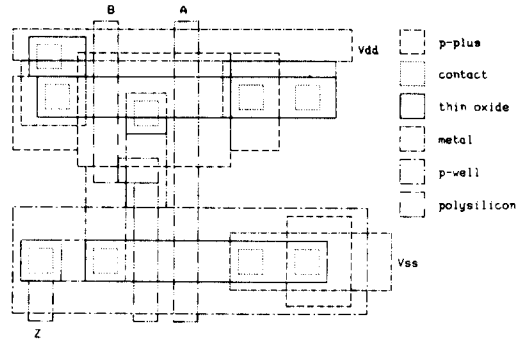
9. 예제

그림11(a)에 p-well CMOS 2-입력 NAND의 마스크 도면이 있으며 그 CIF file이 그림11(b)에 있다. CIREX의 NETLIST 부분에서 추출된 회로가 그림11(c)에 있고 node 모델을 사용하여 추출한 회로가 그림11(d)에 있다.

기생 성분에 의한 논리 지연을 보기 위하여 D F/F을 예제로 사용하였다. 이 F/F의 마스크 도면이 그림12(a)에 있고 CIREX의 중간 출력인 switch-level 회로가 그림12(b)에 있으며 이 회로의 SPICE simulation을 위한 SPICE 입력 file 이 그림12(c)에 있다. 그림13에 추출된 회로의 simulation 결과가 나와있다. 그림13(a)는 그림12(c)의 data를 입력으로 한 SPICE simulation 결과이며 그림13(b)는 lattice model을 사용하여 추출한 기생성분을 고려하였을 때의 simulation 결과이다. 여기서 기생성분에 의해 논리 지연이 커지게 됨을 볼 수 있으며 이 회로의 동작 특성을 알 수가 있다.

III. 결 론

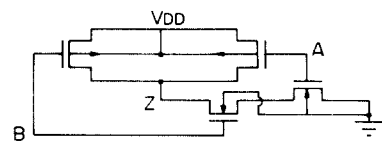
CIREX는 집적회로의 마스크 도면을 나타내는 CIF file로 부터 CMOS 회로에 대한 SPICE2의 입력 file을 만들어 낸다. 이 회로 추출기는 마스크 도면으로부터 트랜지스터와 그들간의 연결 상태 및 기생 저항 성분과 캐패시턴스 성분을 추출해 낸다. CIREX는 lattice 모델을 사용하여 저항과 캐패시턴스의 계산을 간단하게 하였고 회로의 논리지연을 정확하게 검증할 수 있도록 하였다. 추출된 회로의 크기가 커서 회로 해석



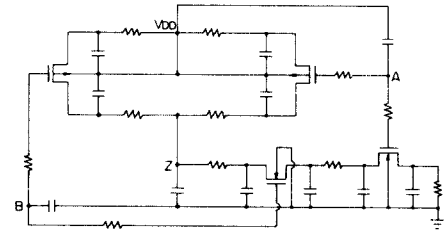
(a) Layout

```
LCC;
B 6 6 -33 9;
B 6 6 -31 -1;
B 6 6 -9 -5;
B 6 6 17 -1;
B 6 6 31 -1;
B 6 6 -35 -41;
B 6 6 -19 -41;
B 6 6 17 -41;
B 6 6 31 -41;
LCP;
B 6 40 -19 -2;
B 6 74 1 -19;
B 10 6 -11 -19;
B 6 34 -9 -39;
B 10 10 -35 -41;
B 6 10 -35 -51;
LCD;
B 14 10 -31 9;
B 74 10 1 -1;
B 10 4 -9 -8;
B 60 10 6 -41;
LCM;
B 84 8 0 12;
B 16 16 -32 0;
B 28 14 24 1;
B 10 28 -9 -14;
B 10 28 -19 -32;
B 16 10 -32 -41;
B 40 14 32 -41;
LCS;
B 16 18 -34 -5;
B 38 28 -7 -4;
B 12 24 18 -2;
B 16 22 34 -41;
LCW;
B 88 26 2 -41;
E
```

(b) CIF file

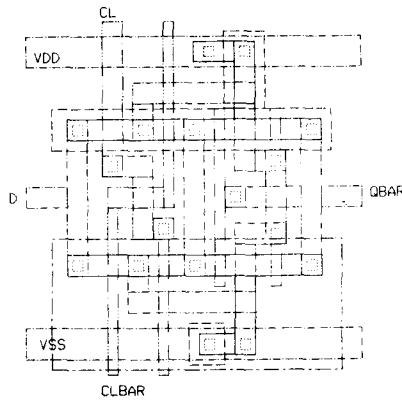


(c) switch-level network

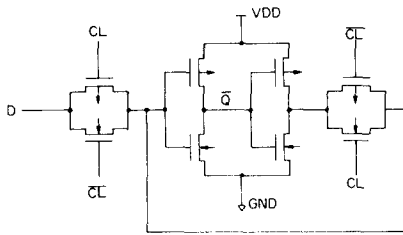


(d) Extracted circuit with node model

그림11. p-well CMOS 2-입력 NAND의 예  
Fig. 11. An example of a p-well CMOS two input NAND.



(a) LAYOUT



(b) switch - level network

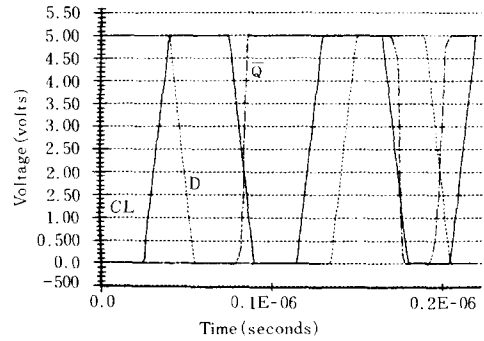
```
P-WELL CMOS D FLIP/FLOP
.TRAN 1.1NS 220NS
VDD 4 0 DC 5
VCL 6 0 PULSE(0 5 25NS 15NS 15NS 35NS 90NS)
VCLB 8 0 PULSE(5 0 25NS 15NS 15NS 35NS 90NS)
VIND 2 0 PULSE(5 0 40NS 15NS 15NS 80NS 150NS)
.PRINT TRAN V(6) V(2) V(5)
.WIDTH OUT=80
.MODEL CN NMOS (LEVEL=2 LD=0.28U TOX=500.0E-10
+ NSUB=1.0E+16 VTO=0.8 KP=3.3E-05 GAMMA=1.36
+ PHI=0.60 UO=200.0 RSH=25 UEXP=1.0E-03
+ UCRIT=99900. DELTA=1.24 VMAX=100000. XJ=0.4U
+ LAMBDA=1.6E-02 NFS=1.2E+12 NEFF=1. NSS=0.0
+ TPG=1.0 CGSO=5.2E-10 CGDO=5.2E-10 MJ=0.5
+ MJSW=0.33 CJ=9.0E-05 CJSW=8.0E-10)
.MODEL CP PMOS (LEVEL=2 LD=0.28U TOX=500.0E-10
+ NSUB=1.1E+14 VTO=-0.8 KP=1.5E-05 GAMMA=0.88
+ PHI=0.60 UO=100.0 RSH=50 UEXP=0.15
+ UCRIT=16376.8 DELTA=1.94 VMAX=100000. XJ=0.4U
+ LAMBDA=4.7E-02 NFS=8.8E+11 NEFF=1. NSS=0.0
+ TPG=-1.0 CGSO=4.0E-10 CGDO=4.0E-10 MJ=0.5
+ MJSW=0.33 CJ=9.0E-05 CJSW=7.0E-10)
* EXTRACTED MOS NETWORK
MOS0 2 6 1 4 CP W=1.20E-05 L=1.20E-05
MOS1 1 8 3 4 CP W=1.20E-05 L=6.00E-06
MOS2 3 5 0 0 CN W=1.20E-05 L=6.00E-06
MOS3 3 5 4 4 CP W=1.20E-05 L=6.00E-06
MOS4 4 1 5 4 CP W=1.20E-05 L=6.00E-06
MOS5 1 6 3 0 CN W=1.20E-05 L=6.00E-06
MOS6 2 8 1 0 CN W=1.20E-05 L=6.00E-06
MOS7 0 1 5 0 CN W=1.20E-05 L=6.00E-06
.END
```

(c) SPICE input file

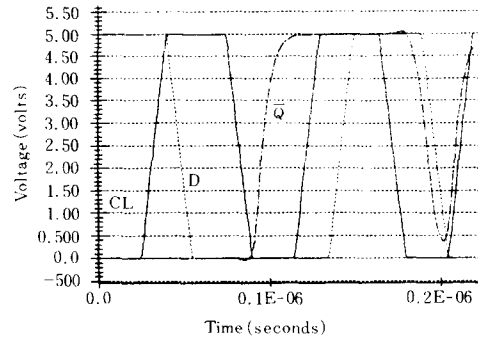
그림12. Flip flop의 예

Fig. 12. Example of a p-well CMOS two phase static flip flop.

을 할 수 없을 경우에는 node 모델을 사용한 회로를 추출하여 최악의 경우에 대한 시간 해석을 할 수 있도록 하였다.



(a)



(b)

그림13. 그림12(a)에서 추출된 회로의 응답 특성

(a) 기생 성분을 고려하지 않았을 때의 응답

(b) 기생 성분을 고려한 회로의 응답

Fig. 13. Response of extracted circuit from fig. 12(a).

(a) Response without parasitic parameters.

(b) Response with interconnect parameters.

CIREX은 C언어로 작성하였으며 프로그램의 길이는 약 3,000줄 정도로 MV 10000 AOS/VS operating system에서 수행하였다. 그림12의 D F/F의 경우 입력 CIF file로 부터 기생 성분을 고려한 회로를 추출하는데 4.8초의 CPU 시간이 소요되었다.

CIREX은 수직 수평 성분만을 갖는 직사각형 모양의 도형만 처리할 수 있다. 다각형의 처리 및 Hierarchical한 회로 추출이 앞으로 연구되어야 할 과제이며 NMOS와 PMOS 회로에 대해서도 적용될 수 있도록 확장해야 한다.

參 考 文 獻

[1] C. Mead, L. Conway, *Introduction to VLSI Systems*, Addison-Wesley, 1980.  
 [2] N. Weste, K. Eshraghian, *Principles of CMOS VLSI Design : A Systems perspective*, Reading, MA: Addison-Wesley, 1985.

- [3] Yi Il-Su, *Circuit Extraction from MOS/LSI Mask Pattern Geometry*. M.S. thesis, KAIST, 1985.
- [4] T.J. Wagner, "Hierarchical layout verification," *Proceedings of 21st DAC*, pp. 484-489, 1984.
- [5] H. Yoshimura, K. Tansho, N. Ohwada, T. Nishide, "An Algorithm for resistance calculation from IC Mask pattern Information," *Proceedings of ISCAS*, pp. 478-481, 1979.
- [6] S. Yamada, T. Watanabe, "A mask pattern analysis system for LSI (PAS-1)," *Proceedings of ISCAS*, pp. 858-861, 1979.
- [7] P. Losleben, K. Thompson, "Topological analysis for VLSI circuits," *IEEE Proceedings of 16th DAC* pp. 461-473, 1979.
- [8] T. Mitsuhashi, T. Chiba, M. Takashima, "An integrated mask artwork analysis system," *IEEE Proceedings of 17th DAC*, pp. 277-184, 1980.
- [9] G.M. Tarolli, W.J. Herman, "Hierarchical circuit extraction with detailed parasitic capacitance," *IEEE Proceedings of 20th DAC*, pp. 337-345, 1983.
- [10] J. Yoshida, T. Ozaki, Y. Goto, "PANAMAP-B: A mask verification system for bipolar IC," *IEEE Proceedings of 18th DAC*, pp. 690-695, 1981.
- [11] B.T. Preas, B.W. Linsday, C.W. Gwyn, "Automatic circuit analysis based on mask information," *IEEE Proceedings of 13th DAC*. pp. 309-317, 1976.
- [12] J.D. Bastian, M. Ellement, P.J. Fowler, C.E. Huang, L.P. Mcname, "Symbolic parasitic extractor for circuit simulation (SPECS)," *IEEE Proceedings of 20th DAC*, pp. 346-352, 1983.
- [13] W.S. Scott, J.K. Ousterhout, "Magic's circuit extractor," *IEEE Proceedings of 22nd DAC*, pp. 286-292, 1983.
- [14] S.P. McCormick, "EXCL: A circuit extractor for IC designs," *IEEE Proceedings of 21st DAC*, pp. 616-623, 1984.
-