

# 수직 이중 확산형 MOSFET

## (A Vertical Double-Diffused MOSFET)

金 鍾 五\*, 崔 然 益\*, 孫 鎬 台\*\*, 成 萬 永\*\*

(Jong-Oh Kim, Yearn-Ik Choi, Ho-Tae Sohn and Man-Young Sung)

### 要 約

본 논문에서는 수직 이중 확산형 MOS(VDMOS) 트랜지스터의 제작 및 특성에 관하여 고찰하였다. 초기 웨이퍼의 에피층 두께는 18~22 $\mu$ m, 비저항은 8~12 $\Omega$ ·cm이다. 채널은 self-align을 이용한 이중확산 공정으로 형성시켰다. 제작된 VDMOS는 항복전압이 240V, 문턱전압이 2V, ON-저항이 226 $\Omega$ 이며 trans-conductance는  $3 \times 10^{-3}$ 인 특성을 가지고 있다.

### Abstract

In this paper, we discuss fabrication and characteristics of the Vertical Double-diffused MOS (VDMOS) transistor. The epi layers of starting wafers are 18~22 $\mu$ m in thickness and 8~12  $\Omega$  cm in resistivity. The channel regions are defined through the self-aligned double diffusion process. The characteristics of the fabricated VDMOS are breakdown voltage of 240V, threshold voltage of 2V, on-resistance of 226  $\Omega$  and transconductance of  $3 \times 10^{-3}$  mho.

### I. 서 론

전력 반도체 소자로는 다이리스터(thyristor), 바이폴라 트랜지스터등이 주로 사용되고 있으며, 1976년경에 소개된 전력 MOSFET<sup>1)</sup>은 집적회로 공정을 이용한 최초의 성공적인 전력 반도체 소자라고 할 수 있다. 현재 전력 MOSFET의 최대정격은 항복전압(break-down voltage)이 1000V, 또는 최대전류가 50A인 정도에 이르고 있다.

전력 MOSFET은 바이폴라 트랜지스터에서 나타나는 소수 반송자 축적(minority carrier storage) 문제

가 없는 다수 반송자 소자로서 스위칭 속도가 빠른 장점을 지니고 있다. 또한 열적 안정도(thermal stability)가 좋고, 이차항복(secondary breakdown)이 없으며,<sup>2)</sup> 전압 조정 소자(voltage-controlled device)이기 때문에 회로 구동이 용이하다. 그러나 전력 MOSFET은 일반적으로 바이폴라 트랜지스터에 비해 ON-저항(on-resistance)이 크다. 따라서 전력 MOSFET의 설계시 고려되어야 할 사항은 주어진 항복전압에 대한 ON-저항의 최소화이며, 이것은 최적의 에피층(epitaxial layer) 선택(두께 및 비저항)이 관건이다.<sup>3)</sup>

그림 1에 전력 MOSFET의 기본구조인 LDMOS(Lateral Double-diffused MOS), VDMOS(Vertical Double-diffused MOS), VMOS(V-groove double-diffused MOS)의 단면도를 나타냈다. 전력 MOSFET의 구조가 일반적인 MOSFET과 다른 점은 첫째, 이중확산(double diffusion)에 의해서 short channel을 형성 시킴으로써 전류공급 능력을 증가시키고 둘째, 채널(channel)과 드레인(drain) 단자 사이에 불순물 농도가 낮은 표동영역(drift region)을 형성하여 큰 드

\*正會員, 亞洲大學校 電子工學科  
(Dept. of Elec. Eng., Ajou Univ.)

\*\*正會員, 檀國大學校 電氣工學科  
(Dept. of Elec. Eng., Dankuk Univ.)

接受日字: 1986年 8月 29日

(\*이 논문은 1985년도 문교부 학술연구조성비에 의하여 연구되었음.)

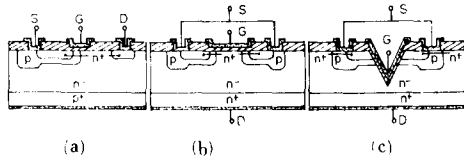


그림 1. 전력MOSFET의 기본구조  
 (a) LDMOS (b) VDMOS (c) VMOS  
 Fig. 1. Basic structures of power MOSFET.  
 (a) LDMOS (b) VDMOS (c) VMOS

레인 전압을 인가할 수 있다는 점이다.

LDMOS는 드레인 단자가 윗면에 존재하여 다른 구조에 비해 집적도가 나쁘고, VDMOS와 VMOS는 윗면에 소오스(source)와 게이트(gate)단자가 있고 드레인 단자는 밑면에 있어 집적도가 좋다. VMOS는 V-groove 꼭지점의 전계가 신뢰도에 나쁜 영향을 줄 수 있고, 또한 채널이 (111)면에 존재하므로 게이트 산화막의  $Q_f$ (fixed oxide charge)가 큰 단점이 있다. 따라서 최근에는 VDMOS구조가 가장 많이 이용되고 있다.

본 연구에서는 전력 MOSFET의 대중을 이루고 있는 VDMOS를 설계, 제작하고 소자의 특성을 고찰하고자 한다.

II. VDMOS의 설계

1. 에피층의 선택

VDMOS에서 유기된 반송자들은 드레인 단자가 밑면에 있기 때문에 채널을 빠져나온 후, 에피층을 통과하게 되므로 ON-저항은 에피층의 특성과 연관되어 있다. N형 에피층의 단위 면적당 저항,  $R_n$ 은

$$R_n = W_B / q\mu_n N_d \tag{1}$$

이고, 여기서  $N_d$ 와  $W_B$ 는 에피층의 불순물 농도와 두께,  $\mu_n$ 는 전자의 이동도,  $q$ 는  $1.6 \times 10^{-19}$ 이다.  $R_n$ 을 최소화 시키기 위해서는  $W_B$ 를 감소시키고  $N_d$ 를 증가시켜야 하지만 이는 한편으로는 항복전압의 감소를 가져오게 된다.

소자의 항복전압, BV는 reachthrough인 경우에<sup>14</sup>

$$BV = E_{crit} W_B - \frac{q N_d W_B^2}{2 \epsilon_{si}} \tag{2}$$

로 표현된다. 이때  $E_{crit}$ 는 공핍영역(depletion region)의 임계 전계(critical electric field)이고  $\epsilon_{si}$ 는 실리콘의 유전율이다. 에피층의 농도와 두께에 따른 항복전압을 그림 2에 실선으로 표시하였다.

식(2)로부터 주어진 항복전압에 대한 에피층의 두께 및 농도를 알 수 있으나 그것이 ON-저항을 최소화 시키는 조건으로는 완전하지 않다. ON-저항의 최소화는

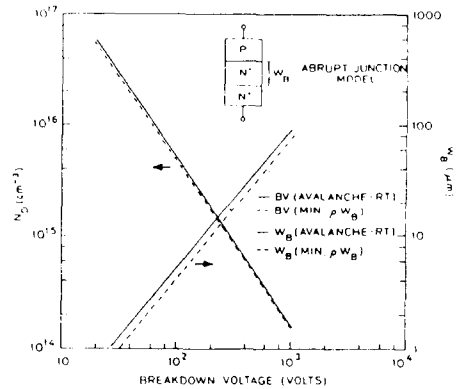


그림 2. 항복전압에 대한 에피층의 농도와 두께  
 Fig. 2. Epitaxial-layer doping concentration and thickness versus breakdown voltage.

불순물 농도에 대하여 에피층의 비저항,  $\rho$ 와 에피층의 두께와의 곱,  $\rho W_B$ 가 최소화를 이룰 때 만족된다.<sup>13</sup>

그러므로

$$\frac{\partial}{\partial N_d} (\rho W_B) = 0 \tag{3}$$

을 만족하여야 하며,  $\rho W_B$ 는  $N_d$ 의 함수로 표현된다. 식(3)을 만족하는 에피층 농도와 두께, 항복전압의 상호관계를 그림 2에 점선으로 표시하였다. 주어진 항복전압에 대하여 ON-저항을 최소화하는 에피층의 농도와 두께는 식(2)로부터 구한 경우보다 약간 낮은 것을 알 수 있다.

실제적인 예로써 항복전압이 250V인 소자를 설계시에 ON-저항을 최소화하는 에피층의 두께는 약  $14\mu m$ 이고, 농도는 약  $8 \times 10^{14} cm^{-3}$ 이 된다.

2. Planar 접합의 항복전압

Planar 접합 구조인 경우, 일차원적인 수직방향으로 평면 접합(plane junction), 사각형 마스크 패턴의 네 변에서는 원통형 접합(cylindrical junction), 네 꼭지점에서는 구형 접합(spherical junction)이 형성된다. 원통형이나 구형 접합에서의 항복전압은 평면 접합의 항복전압보다 작기 때문에 원통형이나 구형 접합이 소자의 항복전압을 결정하게 된다.

그림 3에 planar 접합에 대한 모형을 도시하였다.  $x_j$ 는 접합깊이(junction depth)이고,  $W_B$ 는 원통형이나 구형 접합에서의 공핍영역을 나타낸다. 원통형이나 구형 접합에서의 항복전압,  $BV_c$ 는 표 1의 식을 이용하여 구할 수 있다.  $BV_{prt}$ 는 n-에피영역이 진성층(intrinsic layer)인 경우의 항복전압,  $V_p$ 는 punchthrough 전압이며,  $F_1, F_2$ 는 원통형이나 구형 접합에 따른 구조함수이다.

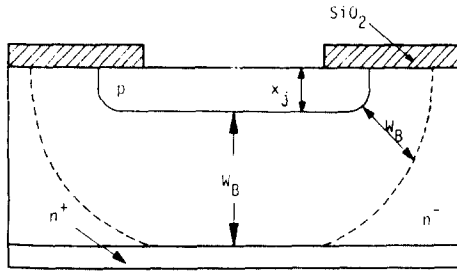


그림 3. Planar 접합의 단면도  
 Fig. 3. A cross-sectional view of the planar junction.

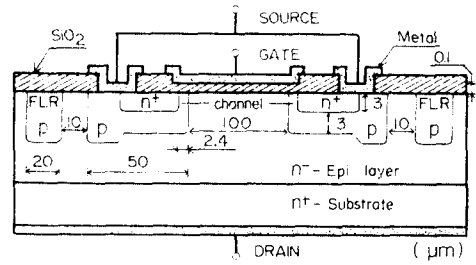


그림 4. VDMOS의 단면도  
 Fig. 4. Cross section of VDMOS.

불순물 농도가  $8 \times 10^{14} \text{cm}^{-3}$ , 접합깊이,  $6 \mu\text{m}$ , 에피층 영역의 두께,  $14 \mu\text{m}$ 인 경우, 원통형 접합의 항복전압은 136V, 구형 접합의 항복전압은 98V 정도로서 평면 접합의 항복전압, 250V보다 작다.

Planar 구조에서 원통형이나 구형 접합의 항복전압을 증가시키는 방법으로 field plate, field limiting ring (FLR)<sup>16)</sup> 등이 사용되고 있으며, 본 연구에서는 FLR을 사용하였다.

3. 소자의 구조

그림 4에 VDMOS의 단면도를 나타냈다. 초기웨이퍼 (starting wafer)는 n+기판위에 성장된 n형 에피층의 두께가  $18 \sim 22 \mu\text{m}$ , 비저항은  $8 \sim 12 \Omega \cdot \text{cm}$ 인 (100) 방향의 실리콘이다. P영역의 접합깊이는  $6 \mu\text{m}$ , n+영역의 접합깊이는  $3 \mu\text{m}$ 이다. 채널은 self-align 방식에 의하여 p영역과 n+영역의 확산 지점을 일치시켜서 행한 이중 확산으로 형성시켰으며, 수평방향의 확산길이 (lateral

diffusion length)는 접합깊이의 약 80%이므로, 채널의 길이는 약  $2.4 \mu\text{m}$ 이다. 이때 채널의 폭은  $400 \mu\text{m}$ 이다. 소오스 전극은 p와 n+영역을 단락시킴으로써 기생 트랜지스터 (parasitic transistor)의  $BV_{\text{CEO}}$ 에 의한 항복전압의 강하를 방지하였으며, p영역의 접합깊이를 제외한 에피층의 두께가  $14 \mu\text{m}$ 이므로 II - 1의 결과로부터 평면 접합의 항복전압은 대략 250V가 된다. Planar 구조에서 원통형 및 구형 접합의 항복전압은 평면 접합 보다 작으므로, 이를 증가시키기 위해서 소자의 주변에 FLR을 설치하였다. 게이트 산화막의 두께는  $0.1 \mu\text{m}$ 이며 양쪽의 채널과 p영역사이에 형성하였다. 이것은 채널이 형성될 때 에피층 영역의 표면에 전하축적이 일어남으로써 ON-저항의 감소 효과를 가져오게 된다.

III. VDMOS의 제작공정

VDMOS의 제작공정을 그림 5에 나타냈다. 확산 소오스 (diffusion source)는 고체로써 p영역을 형성시킬

표 1. 원통형 및 구형 접합의 항복전압을 구하는 식<sup>15)</sup>

Table 1. Equations for calculating breakdown voltage of the cylindrical and the spherical junction.<sup>15)</sup>

JUNCTION PARAMETER	CYLINDRICAL	SPHERICAL
BREAKDOWN VOLTAGE	$BV_C = F_1 BV_{PP1} - F_2 V_p$	
$BV_{PP1}$	$BV_{PP1} = (W_B^2/A)^{1/2}$ , $A = 1.8 \times 10^{35}$	
$V_p$	$V_p = qN_d W_B^2 / 2 \epsilon_s$	
$F_1$	$(6)^{1/2} \left( \frac{x_j}{W_B} \right)^{6.7} \ln \left( 1 + \frac{W_B}{x_j} \right)$	$(13)^{1/2} \frac{W_B/x_j}{[1 + (W_B/x_j)]} \frac{1}{(W_B/x_j)^{6.7}}$
$F_2$	$\left( \frac{x_j}{W_B} \right)^2 \left( 1 + \frac{W_B}{x_j} \right)^2 \ln \left( 1 + \frac{W_B}{x_j} \right) - 1$	$\frac{2}{3} \frac{[1 + (W_B/x_j)]^2 (W_B/x_j) - 1}{(W_B/x_j)^2}$
$\frac{W_B}{x_j}$	$\left( \frac{W_B}{x_j} \right)^2 = \left( 1 + \frac{W_B}{x_j} \right)^2 \ln \left( 1 + \frac{W_B}{x_j} \right) - \frac{1}{2} \left[ \left( 1 + \frac{W_B}{x_j} \right)^2 - 1 \right]$	$\left( \frac{W_B}{x_j} \right)^2 = \frac{2}{3} \left( 1 + \frac{W_B}{x_j} \right)^2 \left( \frac{W_B}{x_j} \right) - \frac{1}{3} \left[ \left( 1 + \frac{W_B}{x_j} \right)^2 - 1 \right]$

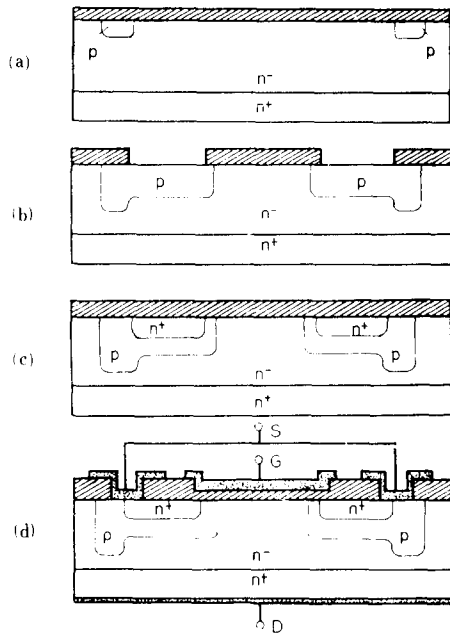


그림 5. VDMOS의 제작공정 순서  
Fig. 5. Processing steps of VDMOS.

때에는 BN975, n<sup>+</sup>영역을 형성시킬 때에는 PH1000 을 사용하였다. (a)는 소오스 전극을 형성시키기 위하여 p영역의 일부분을 먼저 확산시킨 공정을 나타내고 있다. (b)와 같이 채널의 영역인 p영역을 확산시킨 후, n<sup>+</sup>영역의 이중확산 공정이 수행된다(그림 5(c) 참조). 이때 p영역의 확산지점과 n<sup>+</sup>영역의 확산지점이 self-align이 되도록 p영역의 확산은 질소 분위기에서 행하였다. p영역의 drive-in은 1100°C에서 약 18시간동안 행하였으며, n<sup>+</sup>영역의 drive-in은 1100°C에서 dry O<sub>2</sub> 분위기로 75분, 이어서 wet O<sub>2</sub> 분위기로 75분간 시행하였다. 게이트 산화막은 양질의 산화막을 형성하기 위해서 TCE산화법으로 성장시켰으며, aluminum으로 각 단자의 전극을 만들었다(그림 5(d) 참조). 표면의 안정화(surface passivation)을 위하여 인이 첨가된 CVD 산화막을 성장시켰으며, 이때 인의 농도는 wt.5% 이고 두께는 1μm이었다.

#### IV. VDMOS의 특성

##### 1. I-V 특성 및 항복전압

제작된 VDMOS의 평면 사진을 그림 6에 나타냈으며, 그림 7은 출력특성을 나타낸 것이다.(a)는 게이트 전압, V<sub>GS</sub>를 0V에서 18V까지 2V의 간격으로 인가했을 경우, 드레인 전류, I<sub>D</sub>와 드레인 전압, V<sub>DS</sub>를 curve tracer (Tektronix, 577)로 관찰한 것이다. 이로부터 제

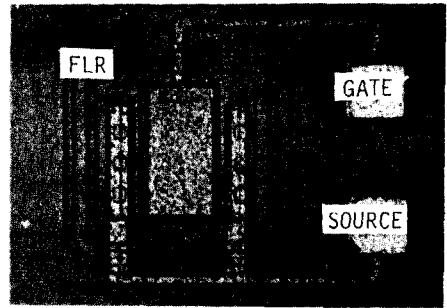


그림 6. 제작된 VDMOS의 사진  
Fig. 6. Photograph of fabricated VDMOS.

작된 VDMOS는 증가형(enhancement mode)임을 알 수 있고, V<sub>GS</sub>가 10V인 경우, 드레인 포화전류는 27mA 이었다. (b)는 V<sub>DS</sub>=V<sub>GS</sub>인 경우, 전달곡선을 나타낸 것이다. 이로부터 문턱전압(threshold voltage)은 약 2V임을 알 수 있다. (c)는 VDMOS의 항복전압을 나타낸 것으로서, V<sub>GS</sub>가 0V일 때 항복전압은 약 240V이었다. 이는 평면 접합의 항복전압을 250V로 설계할 때 원통형이나 구형 접합의 항복전압이 각각 136V, 98V(II-2 참조)임을 고려하면 소자의 주변에 설치한 FLR의 효과라고 사료된다. FLR이 없는 경우의 항복전압은 (d)에 나타낸 바와 같이 135V로서 원통형 접합의 계산치와 잘 부합됨을 알 수 있다. 마스크 패턴의 꼭지점에서는 공정을 수행할 때 rounding에 의하여 원통형 접합이 형성된 것으로 판단된다.

##### 2. ON-저항 및 Transconductance

ON-저항은 선형영역(linear region)에서 V<sub>DS(on)</sub>와 I<sub>D</sub>의 비로서

$$R_{ON} = V_{DS(on)} / I_D \quad (4)$$

로 주어지며, 이때 I<sub>D</sub>는 V<sub>GS</sub>의 함수이다. 그림 8은 V<sub>GS</sub>를 0V에서 10V까지 1V간격으로 인가하였을 경우, 선형영역에서의 V<sub>DS</sub>와 I<sub>D</sub>를 관찰한 것과 V<sub>DS(on)</sub>=0.7V에서 측정된 ON-저항을 나타낸 것이다. 그림 8(b)에서 실선은 ON-저항을 나타낸 것이며, 점선은 드레인 전류를 나타낸 것이다. V<sub>GS</sub>가 작은 범위에서 ON-저항의 변화가 큰 것은 그 범위에서 전류의 변화가 크기 때문이다. 이것은 V<sub>DS(on)</sub>=0.7V이고 V<sub>GS</sub>가 작을 때, 드레인 전류가 포화상태로 변하고 있기 때문이다. V<sub>GS</sub>가 커짐에 따라 ON-저항의 변화도 줄게 되며, V<sub>GS</sub>가 10V인 경우의 ON-저항은 약 226Ω이었다.

만약 항복전압이 240V이고, I<sub>D</sub>의 용량을 1.5A로 증가시킬 경우, 제작된 VDMOS의 패턴을 약 56개 정도 병렬연결 하여야 하며, 그때의 ON-저항은 약 4.1Ω(V<sub>GS</sub>=10V, I<sub>D</sub>=0.5A) 정도로 낮아지리라 예상된다. 이것은

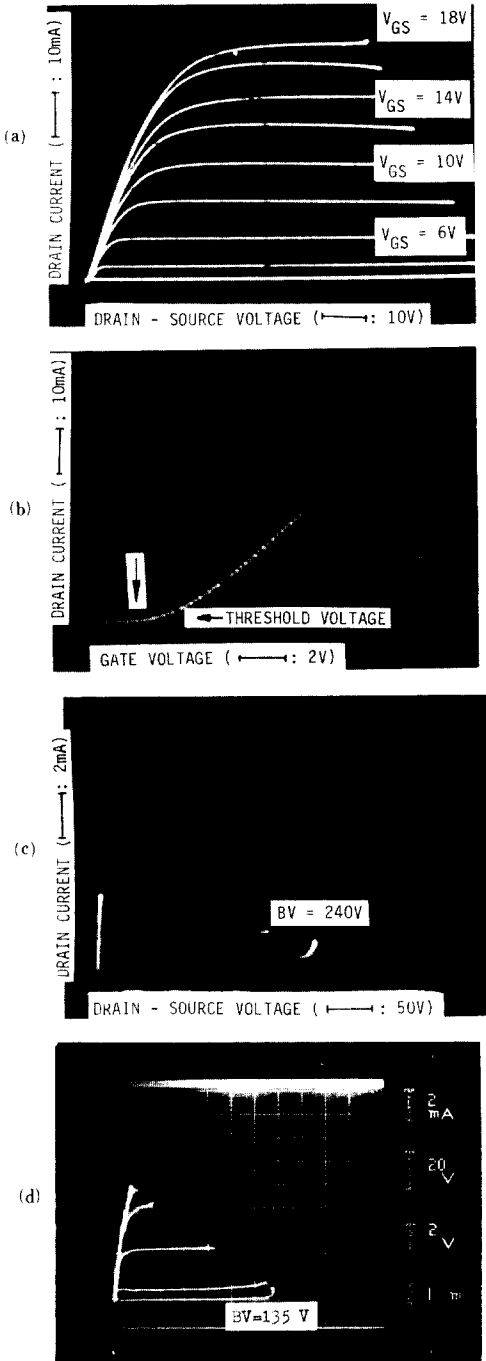
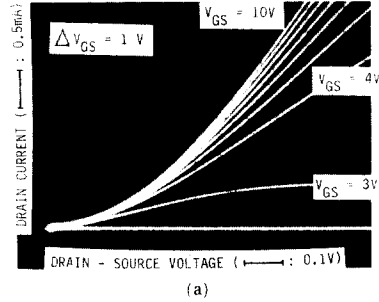


그림 7. VDMOS의 출력특성

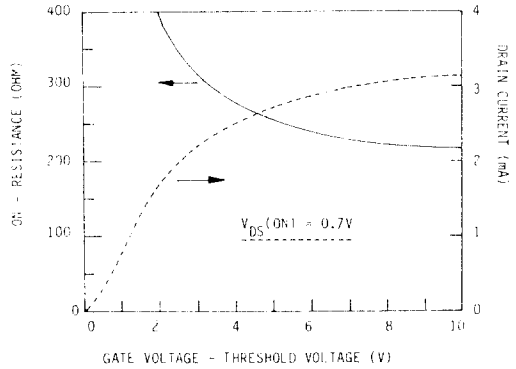
- (a) 특성곡선 (b) 전달곡선 (c) 항복전압 (FLR이 있는 경우) (d) 항복전압 (FLR이 없는 경우)

Fig. 7. Output characteristics of VDMOS.

- (a) Characteristic curve. (b) Transfer curve
- (c) Breakdown voltage with FLR.
- (d) Breakdown voltage without FLR.



(a)



(b)

그림 8. 선형영역의 특성곡선과 ON-저항

- (a) 선형영역의 특성곡선
- (b) ON-저항

Fig. 8. Characteristic curve in linear region and on-resistance.

- (a) Characteristic curve in linear region.
- (b) On-resistance.

Siliconix사의 항복전압이 240V,  $I_b$ 가 1.5A의 용량을 갖는 VN2406D<sup>[7]</sup> 경우, ON-저항이  $6\Omega$  ( $V_{GS}=10V, I_b=0.5A$ ) 0.5A)인 사실과 비교해 볼 때 거의 비슷한 성능을 나타내고 있다고 사료된다.

그림 9에 나타낸 바와 같이 VDMOS의 ON-저항은

$$R_{on} = R_{ch} + R_a + R_c + R_e \quad (5)$$

이며, 영역A는 채널저항( $R_{ch}$ ), 영역B는 표면 전하 축적층(surface accumulation layer)의 저항( $R_a$ ), 영역C는 p영역사이의 등가적인 JFET저항( $R_c$ )이며 영역D는 JFET영역과 드레인 단자 사이에 있는 에피층의 저항( $R_e$ )이다. VDMOS에서 ON-저항의 각 성분은 소자의 구조적인 함수로 표현할 수 있으며, 이를 표 2에 정리하였다. 이때  $V_{Te}$ ,  $V_{Tb}$ 는 각각 증가형(enhancement mode)의 문턱전압과 공핍형(depletion mode)의 문턱전압이고,  $\mu_e(V_G)$ 와  $\mu_b(V_G)$ 는 반전층(inversion-layer)과 전하 축적층의 전자 이동도로서 게이트 전압,  $V_G$ 의 함수이다.<sup>[8]</sup>  $W$ 는 채널의 폭이며  $C_0$ 는 단위 면적

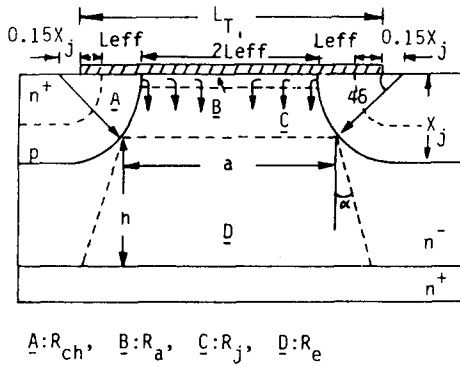


그림 9. VDMOS의 ON-저항 성분  
Fig. 9. Components of on-resistance in VDMOS.

표 2. ON-저항 성분의 수식적 표현<sup>(\*)</sup>  
Table 2. Formula of on-resistance<sup>(\*)</sup>

COMPONENTS	FORMULA
$R_{ch}$	$\frac{1}{(W/Leff) C_{ox}/k (V_G) (V_G - V_{Th})}$
$R_e$	$\frac{1}{12 (W/Leff) C_{ox}/k (V_G) (V_G - V_{Th})}$
$R_j$	$\frac{2\rho}{W} \left[ \frac{1}{\sqrt{1-(2x_j/L)^2}} \tan^{-1}(0.414) \sqrt{\frac{L+2x_j}{L-2x_j}} - \frac{\pi}{8} \right]$ $L = L_T + 0.3x_j$
$R_c$	$\frac{\rho}{W} \frac{1}{\tan \alpha} \ln \left( 1 + 2 \frac{h}{a} \tan \alpha \right)$ $\alpha = 28^\circ - \frac{h}{a}$ (if $h \geq a$ ), $28^\circ - \frac{a}{h}$ (if $h < a$ )

당 게이트 정전용량을 나타낸다.  $V_{GS} = 10V$ ,  $V_{DS(on)} = 0.7V$ 인 경우에 각 저항성분의 이론치를 표 3에 나타냈다. 에피층의 저항,  $R_e$ 가  $R_{ON}$ 의 약 45%로서 가장 큰 성분임을 알 수 있고, ON-저항의 이론치는 177.9Ω로서 측정치, 226Ω보다 약간 작다. 이것은 사용한 에피층의 두께 및 비저항의 오차에 기인하는 것으로 사료된다.

Transconductance,  $g_{fs}$ 는

$$g_{fs} = \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_{V_{DS} = \text{constant}} \quad (6)$$

로서 표시된다. 그림 10은  $V_{DS}$ 가 50V, 15V, 5V인 경우의

표 3. ON-저항 성분의 이론치  
Table 3. Theoretical value of each on-resistance components.

[단위: Ω]				
$R_{ch}$	$R_e$	$R_j$	$R_c$	$R_{ON}$
34.4	37.4	25.6	80.5	177.9

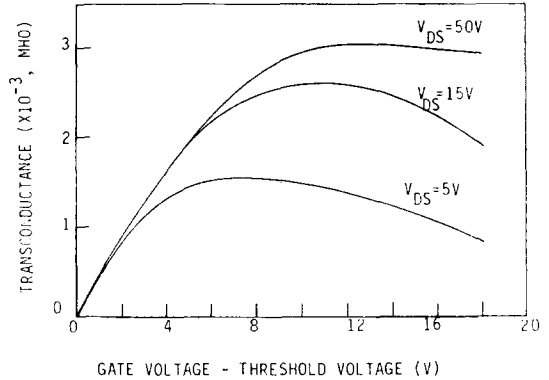


그림 10. Transconductance  
Fig. 10. Transconductance.

transconductance를 나타낸 것이다.  $V_{DS}$ 가 50V인 경우의 transconductance는 포화영역에서의  $\Delta I_D$ 와  $\Delta V_{GS}$ 의 비로서 나타내어졌으며,  $V_{GS}$ 가 12V 이상일 때는 약  $3 \times 10^{-3}$  정도 일정한 값을 알 수 있다.  $V_{DS}$ 가 15V, 5V인 경우,  $V_{GS}$ 가 증가함에 따라 transconductance가 감소하는 것은 선형영역에서의  $\Delta I_D$ 와  $\Delta V_{GS}$ 의 비로서 나타나기 때문이다.

$V_{DS}$ 가 15V인 경우,  $V_{GS}$ 가 10V에서 16V 사이에서는 transconductance가 약  $2.5 \times 10^{-3}$  정도이며, 그 이후에는 감소하였다.  $V_{DS}$ 가 5V인 경우에는 일정한 값을 유지하는 영역은 거의 없으며, transconductance가 가장 큰 경우는  $V_{GS}$ 가 10V일 때로서 transconductance는 약  $1.38 \times 10^{-3}$  정도였다.

## V. 결 론

본 연구에서는 전력 MOSFET의 기본 구조중 가장 많이 이용되고 있는 VDMOS를 설계, 제작하여 특성을 조사하였다. p영역의 접합깊이는  $6\mu m$ , n+영역의 접합깊이는  $3\mu m$ 로서 self-align을 이용한 이중확산을 하여 채널의 길이는  $2.4\mu m$ , 폭은  $400\mu m$ 로 하였다. 포동영역의 두께는 약  $14\mu m$ 로서 평면 접합의 항복전압은 약 250V로 설계하였으며, 원통형 및 구형 접합의 항복전압을 증가시키기 위해서 소자의 주변에 FLR을 설치하였다.  $V_{GS}$ 가 10V인 경우, 드레인 포화전류는 약 27mA이었으며, 문턱전압은 약 2V로서 증가형이었다.  $V_{GS}$ 가 0V일 때  $V_{DS}$ 의 항복전압은 약 240V이었다.  $V_{DS(on)} = 0.7V$ ,  $V_{GS} = 10V$ 인 경우에 측정된 ON-저항은 약 226Ω로서, 이론적인 계산치, 177.9Ω보다 약간 큰 값을 나타냈다. Transconductance는  $V_{DS} = 50V$ 인 경우에 약  $3 \times 10^{-3}$  정도였다.

## 参 考 文 献

- [1] R. Severns and J. Armijos, *Mospower Applications Handbook*, Chapter 2, Siliconix Inc., 1984.
- [2] M.S. Adler, et al., "The evolution of power device technology," *IEEE Trans. Electron Devices*, vol. ED-31, no. 11, pp. 1570-1591, Nov. 1984.
- [3] S.C. Sun and J.D. Plummer, "Modeling of the on-resistance of LDMOS, VDMOS and VMOS power transistors," *IEEE Trans. Electron Devices*, vol. ED-27, no. 2, pp. 356-367, Feb. 1980.
- [4] A.S. Grove, *Physics and Technology of Semiconductor Devices*, Chapter 6, Wiley, 1967.
- [5] V. Anantharam and K.N. Bhat, "Analytical solutions for the breakdown voltages of punched-through diodes having curved junction boundaries at the edges," *IEEE Trans. Electron Devices*, vol. ED-27, no. 5, pp. 939-945, May 1980.
- [6] B.J. Baliga, "High-voltage device termination techniques - a comparative review," *IEEE Proc.*, vol. 129, Pt. I, no. 5, pp. 173-179, Oct. 1982.
- [7] Siliconix, *Mospower Data Book*, pp. 127-128, 1985.
- [8] R.A. Blanchard, *Optimization of Discrete High Power MOS Transistor*, Ph.D. dissertation, Stanford University, Dec. 1981.
- [9] S.C. Sun and J.D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," *IEEE Trans. Electron Devices*, vol. ED-27, no. 8, pp. 1497-1508, Aug. 1980.