

소자분리를 위한 선택적 실리콘 에피택시 (Selective Si Epitaxy for Device Isolation)

楊 典 旭*, 趙 庚 翼*, 朴 晨 鐘*

(Jeon Wook Yang, Kyoung Ik Cho and Sin Chong Park)

要 約

SiH₂Cl₂와 HCl의 혼합 가스로 에피택시 했을 때 가스의 양과 온도 감소에 따른 단결정 실리콘의 성장율을 조사하였다. 1080°C에서 80torr의 감압상태일 때 선택적 에피택시가 가능한 조건을 구하고, 이 조건에서 선택적 에피택시에 의해 성장된 단결정 실리콘 내에, P-N접합 다이오드를 제작하여 전기적 특성을 관찰하였으며, 선택적 에피택시에 의하여 마스크의 크기에 관계없이 분리폭을 결정할 수 있는 소자분리에 대하여 실험하였다. 실험결과 n값이 1.03이고 역방향 누설전류가 5×10^{-11} A인 양호한 다이오드 특성을 얻을 수 있었으며, 선택적 에피택시에 의한 극히 얇은 분리폭을 갖는 새로운 소자분리 방법의 응용 가능성을 볼 수 있었다.

Abstract

The effect of SiH₂Cl₂-HCl gas on the growth rate of epitaxial layer is studied. The temperature, pressure and gas mixing ratio of SiH₂Cl₂ and HCl are varied to study the growth rate dependence and selective Si epitaxy. The P-N junction diode is fabricated on the epitaxial layer and electrical characteristics are examined. Also, using selective Si epitaxy, a possibility of thin dielectric isolation process, that gives an independent isolation width on the mask dimension, is examined.

I. 서 론

반도체소자의 제작에서 isolation공정은 매우 중요하며 소자의 크기가 작아지면서(scale down) 더욱 중요하게 되었다. Isolation 방법으로는 PN접합과 LOCOS(Local Oxidation of Silicon) 방법이 널리 이용되어 왔는데 여기에서 발생하는 측면 확산과 새부리(bird's beak) 모양은 많은 면적을 차지하기 때문에 이것을 제거하기 위하여 SWAMI(Side Wall Masked Isolation)¹⁾ 방법이 개발되었다. 그러나 소자의 크기는 더 작아지고 더 좁은 면적의 isolation 방법이 개발됨에 따라서 최근에는 dry etching을 이용한 trench isolation²⁾

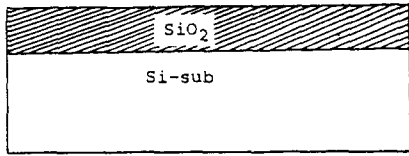
방법이 매우 작은 분리폭을 갖는 것으로 연구 이용되고 있다. 이 방법은 작은 분리폭과 우수한 isolation특성을 가지지만 공정이 복잡하여 그 응용에 있어서 많은 문제점이 있다. 작은 분리폭을 가질수 있는 또 다른 방법으로 선택적 Si에피택시(SEG; Selective Epitaxial Growth)³⁾가 이용될 수 있는데 이것은 trench isolation과 달리 공정이 간단하다는 이점을 가진다(그림 1). 그러나 이 방법도 단결정 Si의 형성 중 생기는 결정결함, uniformity의 문제 때문에 그 응용에 제한이 따르며, 온도와 압력의 감소, Si과 분리막 사이의 sidewall 형성에 의한 특성개선이 연구되고 있다.

본 연구에서는 SiH₂Cl₂에 HCl을 첨가하여 선택적 에피택시를 하였을 때 가스의 비에 따른 단결정 Si 성장율의 변화를 조사하였으며, 온도와 압력을 변화시켰을 때 선택적인 epitaxy가 가능한 영역을 구하였고, 이 조

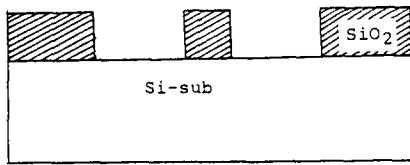
*正會員, 韓國電子通信研究所
(Electronics and Telecommunications Research Institute)

接受日字: 1986年 8月 30日

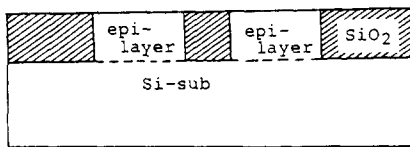
전에서 성장된 epitaxial layer에 다이오드를 제작하여 전기적인 특성을 관찰하였다. 또, SEG를 이용하여 분리폭을 Mask의 크기와 관계없이 조절할 수 있는 isolation에 대하여 실험하고 그 가능성을 제시하였다.



(a) Thermal oxidation



(b) SiO₂ Dry etching



(c) Selective Si epitaxy

그림 1. 일반적인 선택적 실리콘 에피택시 isolation
Fig. 1. General selective Si epitaxy for the isolation.

II. 실험

SiH₂Cl₂와 HCl의 양에 따른 Si 성장율의 변화와 SEG가 가능한 영역을 구하기 위해서 결정방향이 (100)이고, 10-20 ohm cm의 비저항을 갖는 boron이 도핑된 p형 실리콘 웨이퍼를 사용하였다.

먼저 1100°C에서 13000-14000 Å의 산화막을 형성시키고, 부분적으로 이 산화막을 에칭한 후 SiH₂Cl₂와 HCl의 양을 변화시키면서 950°C, 1000°C, 1080°C의 온도에서 복사열 가열 방식의 원통형(radiant heated cylindrical) epitaxial reactor에서 선택적 에피택시를 수행하며, 이때 성장된 Si단결정 층의 두께와 산화막 위에 형성된 poly-si nuclei를 관찰하여 Si성장율과 선택적 에피택시가 가능한 영역을 결정하였다. 결정된 SEG가 가능한 조건으로 단결정 Si를 선택적으로 성장하고 그림 2와 같이 다이오드를 제작하였다. 여기에서 SiO₂ 층과 선택적 에피택시층 사이의 dielectric

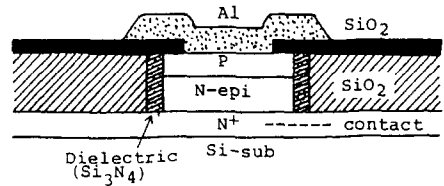


그림 2. 선택적으로 성장된 에피층에 제작된 PN접합 다이오드 diode 면적: 100×100μm²

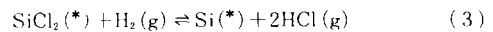
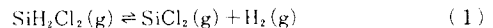
Fig. 2. A p-n junction diode fabricated on selectively grown epitaxial layer. diode area: 100×100μm².

물질로 사용한 Si₃N₄는 SiO₂와 선택적 에피택시층 사이의 계면상태를 개선하기 위한 것이다. 즉, Si웨이퍼 위에 도전층을 형성하고 2μm 두께의 산화막을 성장시킨후 이 산화막이 소자를 분리시키는 부분이 되도록 CHF₃, C₂F₆ 가스를 이용하여 수직하게 에칭하고 이 부분에 SiH₂Cl₂와 HCl의 혼합가스를 이용하여 선택적으로 에피택시하였다. 이때 성장된 단결정 층은 N형이며 boron을 이온주입하여 P-N 접합을 만들고 금속 전극을 형성하여 특성을 조사하였다.

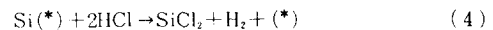
III. 결과 및 고찰

1. 선택적 Si 에피택시

SiH₂Cl₂와 HCl의 혼합가스에 의하여 단결정 Si의 에피층이 성장되는 것은 잘 알려진 사실이다. 리액터 내에 이 혼합가스를 주입하였을 때 Si의 에칭과 Si 에피층의 성장이 동시에 이루어 지는데 리액터 내의 대표적인 반응은 아래와 같다.



여기에서 (g)는 가스, (*)는 free surface site이다. Si웨이퍼 위에서 SiH₂Cl₂ 분자의 부착(absorption) 에너지는 SiCl₂보다 매우 작기 때문에 먼저 (1)의 분해가 일어나고 이어서 Si원자가 부착되는 반응이 일어난다. 이때 HCl의 첨가는 리액터 내의 압력을 증가시키고 (3)의 반응에서 생기는 Si부착원자의 에칭반응을 일으키며, SiCl₂(*)와 반응하여 SiHCl₃를 형성하며 단결정 Si의 성장을 감소시킨다.⁴



이때 에피층의 성장율은 SiH₂Cl₂와 HCl의 양, 온도 및 압력에 영향을 받는다.⁵ 그림 3과 4는 1080°C, 1000°C 및 950°C에서 SiH₂Cl₂가 0.33% 및 0.14%일 때 HCl의 양에 따른 에피층의 성장율 감소를 나타낸 것

이다. 이들 실험값은 HCl의 양에 따른 변화가 거의 선형인 부분과 비선형인 부분으로 나눌 수 있는데, 선형인 영역을 근사시킨 직선에서 HCl에 따른 성장률 변화가 SiH_2Cl_2 의 양에 따라 그림 3과 4와 같이 변화함을 알 수 있다. 즉, SiH_2Cl_2 가 0.33%일 경우 net growth rate의 HCl에 대한 의존도가 온도에 관계없이

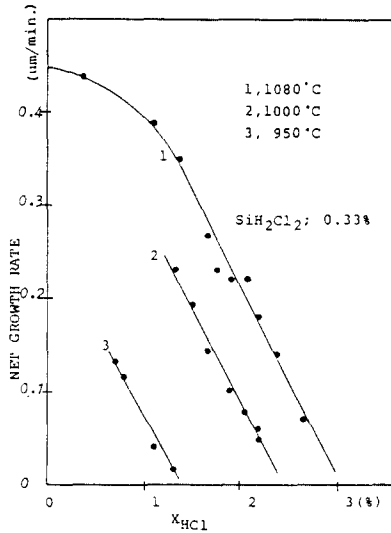


그림 3. SiH_2Cl_2 가 0.33%일 때 HCl의 변화에 대한 실리콘의 순성장률

Fig. 3. Growth rate dependence on X_{HCl} at 0.33% SiH_2Cl_2 .

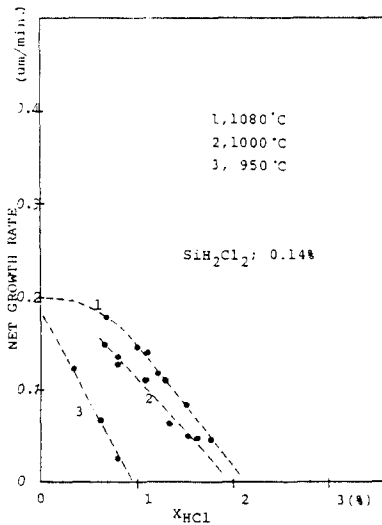


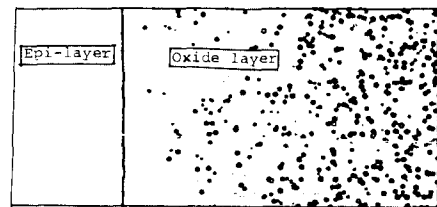
그림 4. SiH_2Cl_2 가 0.14%일 때 HCl의 변화에 대한 실리콘의 순성장률

Fig. 4. Growth rate dependence on X_{HCl} at 0.14% SiH_2Cl_2 .

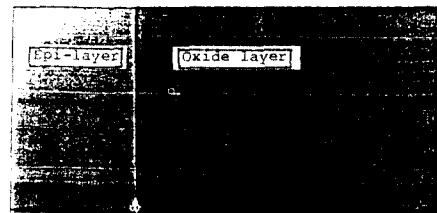
일정하였으나, SiH_2Cl_2 가 0.14%일 경우에는 net growth rate가 온도에 따라 HCl에 대하여 다른 의존성을 보여 주고 있다.

SiH_2Cl_2 와 HCl의 혼합가스에 의해 에피택시를 하던 마스크 물질위에 다결정 Si핵(poly-Si nuclei)의 생성이 발생할 수 있다. 그림 5의 (I)는 산화막 위에 생성된 핵을 보인 것이다. 이러한 핵 생성은 산화막 위에 다결정 Si이 형성되는 원인이 되기 때문에 이 핵 생성을 억제해야 할 필요가 있다. SiH_2Cl_2 와 HCl의 적절한 혼합은 이와같은 핵의 생성을 억제하는데, 이것은 첨가된 HCl이 산화막 위의 다결정 Si핵을 에칭하기 쉽기 때문이다. 여기서 그림 5의 (II)는 HCl 첨가로 산화막 위의 다결정 실리콘 핵이 에칭되었음을 보여주고 있다.

그림 6은 SiH_2Cl_2 와 HCl의 혼합가스로 에피택시 하였을 때 산화막 위의 핵 생성이 억제되고 단결정 Si위에서 에피층만 형성되는 영역 또는 에칭되거나, 산화막 위에 다결정Si이 생성되는 조건을 나타낸 것으로 (II)의 영역은 선택적 Si 에피택시가 가능한 영역이다. 본 실험에서 etching 조건(I)과 선택적 실리콘 에피택시 성장(II)의 경계선은 선택적 에피택시 성장이 되는 조건에서 순 성장률(net growth rate)가 0인 조건을 연결해서 구하였고, 선택적 실리콘 에피택시 성장과 다결정 실리콘이 성장되는 조건의 경계선은 산화막에서의 다결정 실리콘의 성장 상태를 현미경으로 관찰



(a)



(b)

그림 5. SiO_2 위에 핵이 생성된 경우 (I)와 HCl첨가로 SiO_2 위에 핵 생성이 억제된 경우(II)

Fig. 5. Generated nuclei on SiO_2 (I), and No nuclei are observed on SiO_2 by adding HCL(II).

하여 구하였다. 그림 6의 결과는 선행연구¹⁾에서 예측하였던 선택적 에피택시 조건과 비교하여 보았을 때, 주어진 SiH₂Cl₂ 조성에서 예측되었던 HCl 범위보다 낮은 HCl 조성 범위에서 선택적 실리콘 에피택시가 나타남을 보여준다. 이것은 이미 성장되어 결정립이 큰 단결정 실리콘을 etching하기 위한 HCl의 예측량보다 적은 HCl 첨가로 산화막 상에서의 단결정 실리콘의 핵생성을 억제할 수 있음을 의미한다.

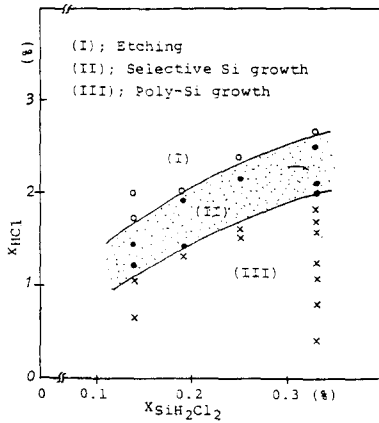


그림 6. SiH₂Cl₂와 HCl에 의한 실리콘의 성장과 에칭 (1080°C)

Fig. 6. Growth or etching of Si by SiH₂Cl₂ and HCl mixture at 1080°C.

2. 다이오드 특성

선택적 에피택시를 반도체소자의 분리방법으로 이용하기 위해서는 위에서 나타낸 적절한 성장조건 외에도 성장된 단결정Si의 전기적 특성뿐 아니라 Si과 산화막 사이의 계면에서 발생하는 결함(defect)도 문제가 된다. 본 실험에서는 선택적 에피택시에 의하여 형성된 film의 전기적 특성을 보기위하여 그림 2와 같이 다이오드를 제작하였으며 그 특성을 조사하였다.

그림 7은 제작된 다이오드의 대표적인 전류-전압 특성(I-V characteristic)을 나타낸 것이다.

$$J = J_s \exp(qV/nkT) - I \quad (6)$$

위의 식으로부터⁷⁾ 다이오드는 순방향 전류-전압 곡선의 100mV와 400mV에서 계산한 n값이 1.03이었으며 decade 전류증가에 대해 62mV의 전압증가를 나타내고 역방향 누설전류가 5 × 10⁻¹¹A 정도로 양호한 다이오드의 특성을 나타내 그 응용이 가능함을 알 수 있다.

3. SEG를 이용한 thin SiO₂ isolation

SEG를 이용한 isolation은 일반적으로 그림 1과 같은 공정순서로 실험된다. 그러나 공정이 간단하다는 이

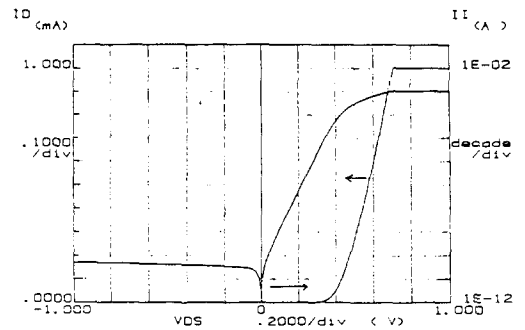


그림 7. 선택적으로 성장된 에피층에 제작된 다이오드의 순방향 및 역방향 I-V특성

Fig. 7. Forward and reverse I-V characteristics of diode fabricated on selectively grown epi-layer.

점을 지나 이러한 isolation기술도 궁극적으로는 마스크 크기의 제약을 받는다. 그림 8은 분리막이 마스크 크기와 관계없이 정해질 수 있는 isolation 공정을 나타냈다. 먼저 p형 실리콘 웨이퍼로 925°C에서 6000 Å의 산화막을 성장시킨후 photo 작업으로 active region을 정의하고 산화막과 단결정 실리콘 순서로 에칭하였다. 여기에서 단결정 실리콘의 수직 에칭은 SF₆와 C₂ClF₅의 혼합가스를 사용하였다. 다음에 PR을 세거한 후 925°C에서 6000 Å의 산화막을 성장하였다. 이때 성장된 산화막이 실질적인 소자의 분리막(isolation layer)으로 사용된다. 이 분리막은 실리콘 웨이퍼 표면만 노출되도록 하기 위해서 photo 작업 없이 바로 C₂F₆와 CHF₃의 혼합가스를 사용하여 RIE에칭하였고, 감압상태의 선택적 에피택시 조건(그림 6)에서 단결정 실리콘을 선택적으로 성장하였다.

그림 9은 Si에피택시 후의 웨이퍼 단면을 관찰한 것이다. 여기에서는 over growth된 결과를 보이고 있다. (그림 9의 a)는 산화막 또는 질화막의 형성이 없이 Si 에칭후 에피택시한 결과이고, (b)는 분리막 만들 산화막으로 형성한후 선택적 에피택시한 결과이며, (c)는 Si 단결정 성장이 이루어질 부분을 제외하고 산화막으로 형성한 후 선택적 에피택시한 모양을 SEM으로 관찰한 것이다. (a)는 전체적으로 산화막이 형성되고 (b)는 질화막에서 Si의 성장이 이루어지지 않아 뚜렷한 계면상태를 보이고 있다. (c)의 결과는 단결정 Si이 산화막 위로 약간 overgrowth된 모습을 나타내고 있다. 여기에서 Si 성장의 정확한 조절과 (b)에서와 같이 분리막과의 계면에서 발생할 수 있는 uniformity 문제를 개선한다면 마스크의 크기와 관계없이 소자를

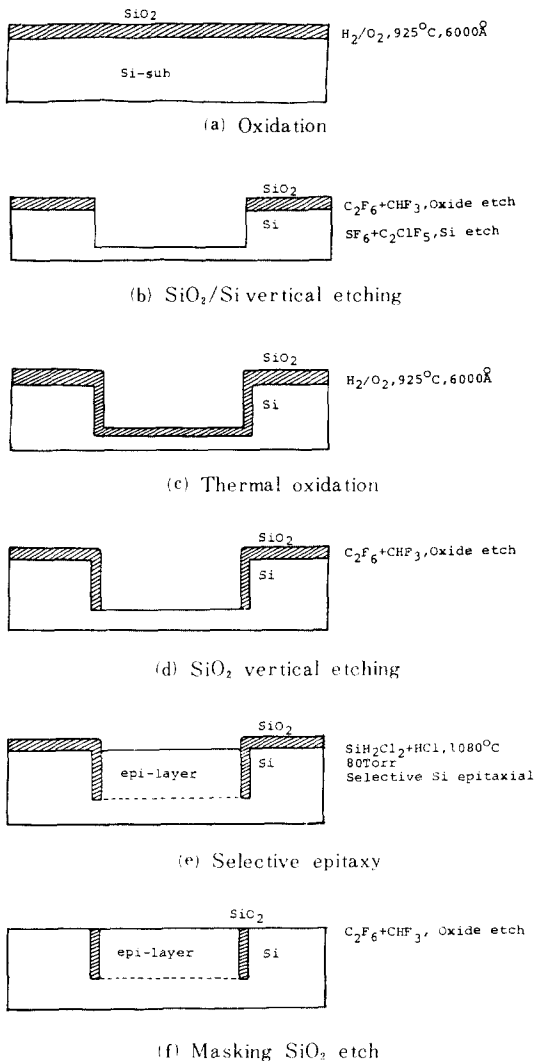


그림 8. 선택적 실리콘을 이용한 thin SiO₂ isolation
 Fig. 8. Thin SiO₂ isolation process using selective Si epitaxy.

분리할 수 있으며 isolation을 위한 마스크를 줄일 수도 있을 것이다.

IV. 결 론

SiH₂Cl₂와 HCl의 혼합가스에 의하여 산화막을 마스크 물질로 했을 때 선택적 에피택시가 가능하였다.

SiH₂Cl₂에 의한 에피층의 성장은 온도감소에 의하여 성장율이 작아지며 HCl의 첨가는 성장율을 더욱 감소시킨다. 다량의 SiH₂Cl₂가 이용될 때 단결정 실리콘 성장율이 HCl의 양에 따라 거의 일정하게 감소하였으며, 이 변화는 온도, 압력에 관계없이 같았다. SiH₂Cl₂

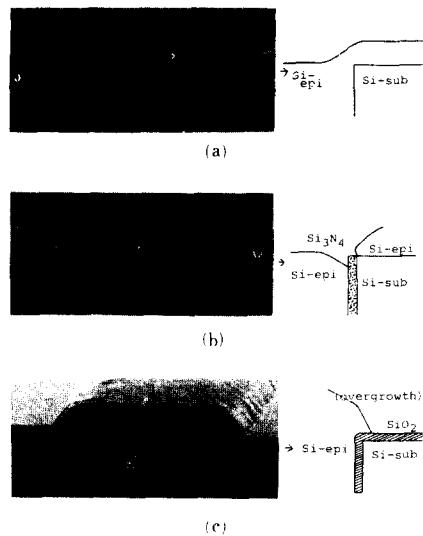


그림 9. 여러가지 실험된 에피층의 단면
 (a) 실리콘 에칭후 에피택시한 샘플 단면 (3000X)
 (b) 실리콘 에칭후 측면을 Si₃N₄로 분리시킨 에피택시한 샘플 단면 (4500X)
 (c) 산화막으로 분리하고 선택적 에피택시를 위한 산화막 마스크를 형성한 샘플 (3000X)

Fig. 9. Various sample profiles. Selective Si epitaxy after (a) vertical Si etch (b) vertical Si etch and Si₃N₄ isolation, and (c) SiO₂ masking and isolation.

의 양이 감소하였을 때는 HCl에 따른 성장율 변화가 온도·압력에 영향을 받는 것을 알 수 있다. 선택적 에피택시 방법에 의해 제작된 다이오드는 n값이 1.03으로 양호한 전류전압특성을 나타내고 있다.

또한 SEG를 이용한 thin dielectric isolation 방법은 그 공정이 복잡하지 않으며 분리폭이 마스크 제작상의 design rule과 무관하다는 큰 잇점을 지니고 있기 때문에 계면상태와 uniformity 문제를 개선한다면 VLSI 소자의 제작에 크게 이용될 수 있을 것이다.

參 考 文 獻

[1] K.Y. Chiu, "A bird's beak free local oxidation technology feasible for VLSI circuits fabrication," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 536-540, Feb. 1982.
 [2] R.D. Rung, "Deep trench isolated CMOS devices," *IEDM Technical Digest*, pp. 237-240, Dec. 1982.

- [3] J.O. Borland, "Advanced dielectric isolation through selective epitaxial growth techniques," *Solid State Technology*, pp. 141-148, Aug. 1985.
- [4] W.A.P. Claassen, "Rate determining reactions and surface species in CVD of silicon," *J. of Crystal Growth*, vol. 50, pp. 807-815, Dec. 1980.
- [5] 조경익, "선택적 에피택시를 위한 에피택셜 층 및 폴리 실리콘의 성장과 에칭" 전자공학회지, vol. 22, pp. 34-40, 1985.
- [6] L. Jastrzebski, "SOI by CVD: epitaxial lateral over-growth, (ELO) process-Review," *J. of Crystal Growth*, vol. 63, pp. 493-526, 1983.
- [7] S.M. Sze, *Physics of Semiconductor Devices*, J. Wiley, pp. 84-92, 1981.
-