

VLSI 제조공정에서의 고속열처리 장치의 응용 현황

金 忠基 · 金 빛台

(한국과학기술원 전기 및 전자공학과)

차례

- 1. 서 론
 - 2. 고속열처리 장치의 종류
 - 3. 고속열처리의 응용
 - 3.1 이온주입된 실리콘의 열처리
 - 3.2 이온 주입된 다결정 실리콘
 - 3.3 고속열산화와 고속 열질화에 대한 연구
 - 3.4 silicide형성에 관한 연구
 - 3.5 알루미늄과 실리콘의 contact alloying 과 Al-Si metallization
 - 3.6 Glass Reflow
 - 4. 결 론
- 참고문헌

1. 서 론

VLSI(초대형 집적회로) 소자의 기술동향은 현재 최소선폭이 1 μ m 내지 2 μ m 이하의 범위에서 1 μ m 이하로 감소되어 가는 추세에 있다. 소자크기를 감소함으로써 집적도를 높일 수 있으며, 회로동작을 향상시킬 수 있기 때문이다. 소자의 크기를 1 μ m 이하로 감소시키기 위해서는 전자선-lithography나 X-선 lithography 등의 고도 정밀장비를 사용해야 하지만, 소자의 lateral feature size를 줄여 집적도를 높이려면, scaling 법칙에 의해 정합의 깊이도 동시에 줄여야 한다.¹⁾ 그러나, 불순물 농도분포는 초기 이온주입공정과 다음 공정인 열처리공정에 의해 결정된다. 열처리공정으로는 주입된 불순물을 활성화하고, 이온주입시 발생한 결함을 없애기 위한 열처리, 박막증착과 silicide형성공정의 열처리와 passivation glass reflow 공정의 열처리 등이 있는데, 이 과정에서 불순물들이 bulk 속으로 확산되어 정합깊이가 깊어지게 된다. 따라서 sub-micron 기술의 개발을 위하여 불순물확산을 최대한으로 막으면서 이온 주입시의 결함을 없애는 방법이 필수적이다. 이를 위해서, 열처리과정을 1000°C 이상의 고온에서 수십초 이내의 단시간으로 축소시키는 방법을 고안해 왔다. 이 고온단시간 열처리 기술은 위에 언급한 문제를 가장 잘 해결해 주는 방법이 되었다.²⁾ 수십초 이내의 고속 열처리 공정은, 기존의 확산로 내에서는 웨이퍼 boat의 thermal mass로 인하여 불가능할 뿐 아니라, 웨이퍼크기가 증가함에 따라, 웨이퍼를 기존의 확산로에서 아주 빨리 가열하거나 냉각시킬 경우 가장자리부터 가열되고 냉각되는 효과로 인하여 웨이퍼의 일그러짐이나 slip현상이 나타나게 된다.³⁾

열처리공정은 그림 1에서 보는 바와 같이 아크램프나 텅스텐 할로겐램프, resistance heater, 레이저, 전자beam, 이온beam 등 다양한 에너지를 사용하여 연구되어 왔다.⁴⁾ 열처리

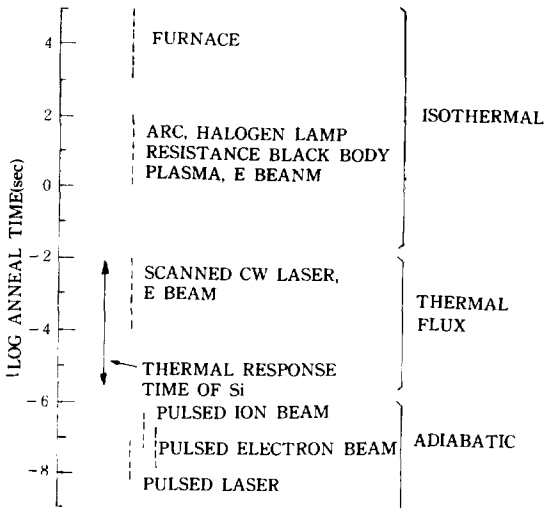


그림 1. 시간에 따른 열처리공정의 구분

공정기술은 실리콘의 열반응 시간에 비해 얼마의 시간동안 열처리를 하느냐에 따라 크게 세가지로 구별하게 되는 데, 열처리시간을 t 라고 할 때, $t < 10^{-6}$ 초인 경우를 adiabatic 이라 하고, $10^{-6} < t < 10^{-2}$ 초일 때는 thermal flux, $t > 10^{-2}$ 인 경우를 isothermal이라고 구별한다.⁴⁾ Adiabatic 이나 thermal flux인 경우에는 웨이퍼의 표면만 강하게 가열됨으로써 여러가지 장점이 있는 반면, beam의 spot크기(보통 지름 $100\mu\text{m}$ 이하)가 작고 웨이퍼 전체를 열처리하는 데 걸리는 시간이 상대적으로 매우 길다. 또한 실제 열처리 공정시 beam이 머무는 시간이 수백분의 일초정도로써 이로 인한 열적충격이 야기되는데, 레이저로 열처리된 실리콘에서 점결함 농도가 매우 높은 주된 이유 중의 하나라고 여겨지고 있다.

Isothermal 열처리인 경우, 에너지원으로서 넓은 면적을 가지고 비집속된 광원인 텅스텐 할로겐램프와 같은 광원을 사용함으로써 adiabatic 이나 thermal flux 열처리에서의 제한점을 극복하게 되었다. 웨이퍼 전체를 균일하게 가열함으로써 열적 충격을 감소시키면서, 수초내지 수십 초 사이의 짧은 열처리 시간을 거치므로, 열처리를 하는 동안 불순물이 깊이 확산되는 것을 억제해 준다. 본 해설에서 앞으로 이 수초내지 수십 초 정도의 isothermal 열처리를 고속열처리

(Rapid Thermal Annealing : RTA) 라고 부르기로 한다. 그리고 고속열처리의 또 한가지 장점은, 실리콘 웨이퍼가 퀴츠튜브속에서 열적으로 차단되도록 설계되므로 웨이퍼의 주된 가열과 냉각기구가 빛의 흡수와 복사에 의해서만 이루어지며, 퀴츠튜브는 빛에너지를 흡수하는율이 웨이퍼에 비해 떨어지기 때문에 웨이퍼에 비해 상대적으로 아주 낮은 온도를 유지하므로, 확산로에서 처럼 뜨거운 퀴츠벽으로부터 야기되는 오염을 줄일 수 있는 것이다.

본 해설에서는 이 고속열처리(RTA) 장치의 종류와 현재까지 연구되어 온 고속열처리의 응용에 관해서 기술하고자 한다.

2. 고속열처리 장치의 종류^{2), 5)}

현재 몇가지 형태의 고속열처리 장치가 상품화되어 나왔는데, 새로운 장치가 여러회사에서 개발중에 있다. 이러한 장치들은 몇가지 비슷한 특성을 가지고 있다. 가열과 냉각이 이루어지는 동안 웨이퍼는 열적으로 차단되어 가열과 냉각이 빛의 복사에 의해서만 이루어지도록 하고 있으며, 웨이퍼의 전 면적이 동시에 열처리되도록 설계되어 있다. 특히 직경이 큰 웨이퍼에 있어서 slip이나 일그러짐을 일으키는 온도구배⁶⁾를 줄이기 위해서는 온도의 균일성이 중요하게 고려되어야 한다. 생산라인에 사용되는 장치는 cassette-to-cassette 웨이퍼처리능력을 가지고 있으며 보통의 Thermal cycle에 있어서는 1시간당 60웨이퍼 이상을 처리할 수 있다. 예를 들어, Eaton사의 ROA 장치는 단일 수냉 아크램프⁷⁾를 쓰는데 웨이퍼를 균일하게 비취주기 위해 반사경을 쓰고 있다. 이 아크램프로부터 나오는 스펙트럼은 가시광선에서 근적외선 영역이다. 반면에 Varian사의 IA 장치는 1200°C 정도의 온도로 가열하는 graphite heater를 사용한다.⁸⁾ graphite heater는 적외선 영역의 빛을 발광하며, 웨이퍼는 direct band gap 흡수가 일어날 때까지 자유반송자 흡수에 의해 에너지를 흡수한다. graphite heater를 전 웨이퍼에 걸쳐 균일하게 가열하도록 설계하였으며, 열처리 시

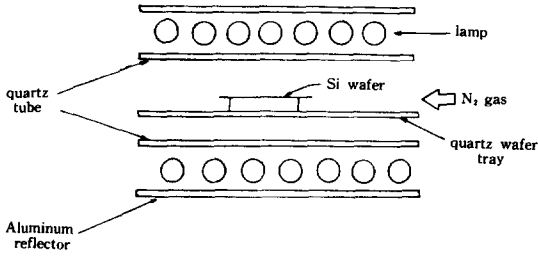


그림 2. 텅스텐 할로겐램프를 이용한 고속열처리 장치의 개략도

간은 히터와 웨이퍼 사이에 위치한 셔터를 여닫음으로써 조절한다. A. G. Associates사의 HE-ATPULSE 장치는 그림 2와 같이 텅스텐 할로겐램프를 배치하여 웨이퍼를 양면에서 가열하도록 한다.^{9), 10)} 이러한 상업성 장치들은 웨이퍼의 온도를 측정하고 열처리과정을 조절하기 위해 optical pyrometer를 채택하고 있다. Varian IA 장치는 열처리가 진공상태에서 이루어지며, Eaton ROA장치나 A. G. Associates HEATPULSE 장치는 공히 마이크로컴퓨터로 제어하고, pyrometer로 측정된 온도를 계환하여 램프의 출력전력을 조절함으로써 가열과 냉각속도를 조절한다. 그런데, 현재 대부분의 고속열처리 장치는 텅스텐 할로겐램프를 사용하는 추세에 있다.

3. 고속열처리의 응용

고속열처리 장치의 용도는 이온주입시 생긴결함을 없애고⁸⁾ 이온주입된 불순물을 활성화 하는데^{11)~19)} 만 국한되지 않고, 고속열산화(Rapid Thermal Oxidation)^{20), 21), 24)}, 고속열질화(Rapid Thermal Nitridation)^{22), 23)}, silicide형성^{10), 25)~29)}, 알루미늄과 실리콘의 contact alloying^{30), 31), 32)}, Passivation glass의 reflow^{21), 23)}, Solid-phase epitaxial growth³⁴⁾, 고속열증착(Rapid Thermal Deposition)^{35), 36)} 및 III-V족 반도체의 금속alloying 및 이온주입후의 열처리^{37), 38)} 등 실로 다양하게 적용될 수 있으며, 현재의 확산로가 할 수 있는 대부분의 공정들을 아주 짧은 시간내에 수행해 낼 수 있을 것이다. 이제, 위에

열거한 여러가지 응용분야를 실험으로 수행한 여러 논문을 인용하여, 고속열처리 장치의 응용예를 살펴보기로 하자.

3.1 이온주입된 실리콘의 열처리

단결정 실리콘에 As, B, BF₂, P를 이온주입한 경우의 고속열처리 결과^{11), 12)}를 논의하기로 하자. 고속열처리시의 대표적인 thermal cycle은 그림 3과 같다. 그림 3은 AG210T HEATPULSE 장치로 1초와 30초동안 열처리할때의 thermal cycle을 나타낸다. 가열속도는 고속열처리 장치의 종류나 설계방법에서 다소 차이가 있으나 대개 100°C/초 내지 500°C/초 정도가 된다. 우선 이온주입된 실리콘의 열처리공정에서 만족해야 할 몇가지 사항⁴⁾들을 지적하기로 하자. 첫째, As이나 BF₂와 같은 큰 이온들은 주입량을 10¹⁵cm⁻²정도로 크게 주입할 경우 단결정실리콘의 격자들이 깨어져 비정질실리콘으로 되므로 이를 solid phase epitaxy로 재결정화하여야 한다. 둘째, 주입된 불순물들이 모두 활성화되어 최대의 conductivity를 가져야 한다. 셋째, 불

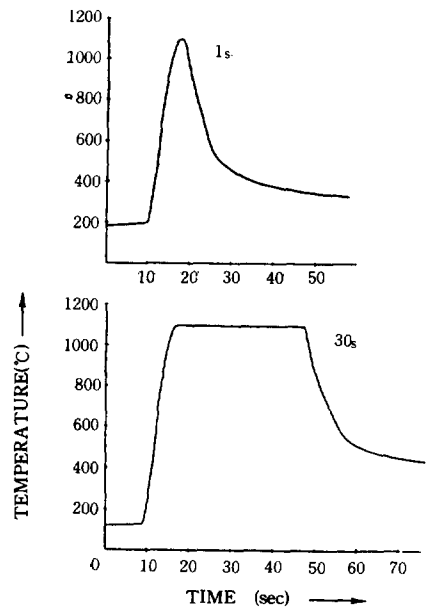


그림 3. 1초와 30초 고속열처리시의 대표적인 온도대시간 그래프

순물의 확산을 최대로 억제해야 한다. 네째, 이온주입된 영역근방의 점결합과 cluster defect를 제거하고 생성을 억제하여, mobility의 감소를 막고, recombination-generation center를 감소시켜 정합누설전류를 최소화해야 한다. 다섯째, 결함이 확장되어 dislocation loop이나 slip이 형성됨으로써 diffusion pipe나 precipitation, 혹은 Junction shorting이 일어나는 것을 막아야 한다.

이제, 고속열처리 장치를 써서 위와 같은 열처리조건을 만족하는 예를 들어 보기로 하자. <100> 실리콘 웨이퍼에, As이온을 에너지 60KeV, 주입량 $1 \times 10^{15} \text{cm}^{-2}$ 으로 이온주입을 했을 경우와, BF_2 이온을 에너지 45KeV, 주입량 $1 \times 10^{15} \text{cm}^{-2}$ 으로 이온주입을 했을 경우¹¹, 2초간 고속열처리를 했을 때의 온도에 따른 활성화율과 sheet mobility를 그림 4에 도시하였다. 그림에서 보는 바와 같이 B의 경우 열처리 온도가 950°C 정도로 낮을 때도 거의 완전하게 활성화 되고, As의 경우 1100°C 근방에서 완전히 활성화됨을 알 수 있다.^{11, 13} P 이온을 에너지 50KeV, 주입량 $2 \times 10^{15} \text{cm}^{-2}$ 으로 <100> p-type 실리콘 웨이퍼에 이온주입하고 1050°C에서 고속열처리 시간을 1초에서 100초정도로 했을 경우와 확산로에서 1060°C 30분동안 열처리 한 경우의 불순물 재분포를 보면 그림 5와 같이 고속열처리의 경우가 확산로에서 열처리한 것보다 불순물 재분포가 훨씬 덜 일어나는 것을 볼 수 있다.¹²

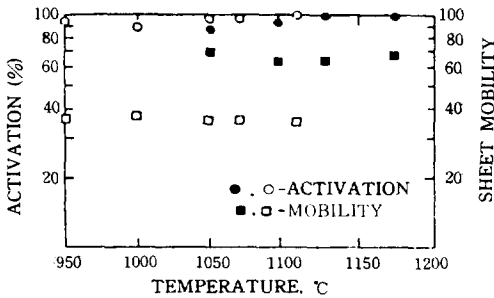


그림 4. Hall 측정으로부터 구한 활성화율과 sheet mobility (속이 빈 기호는 BF_2 이온인 경우이고 속이 찬 기호는 As 이온의 경우이다)

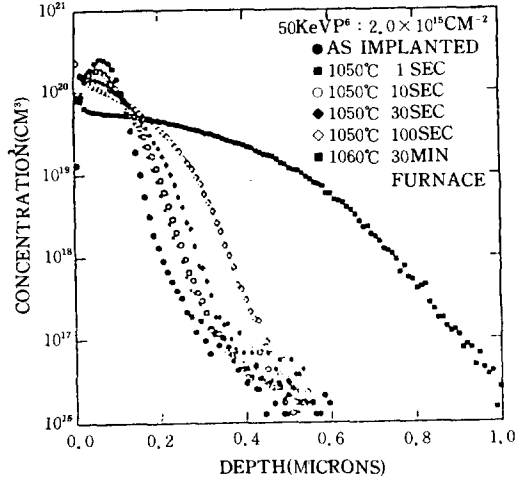


그림 5. P 이온이 주입된 Si에서의 열처리 전후의 SIMS profile (이온주입량은 $2 \times 10^{15} \text{cm}^{-2}$)

고농도의 As 이온주입의 경우 1100°C, 10초 정도의 고속열처리로써 이온주입시 생긴 결함을 완전히 제거할 수 있으나¹⁴, B 이온이나 BF_2 이온의 주입시 생긴 결함은 고속열처리나 확산로에서의 열처리로 완전히 제거되지 않는다는 것이 알려져 있다.^{14, 15, 16} 이온주입시 생긴 결함의 annealing이나 불순물농도의 재분포와 함께 고속열처리 공정과 확산로에서의 열처리를 비교할 수 있는 요소중 또 다른 한 가지는 p+n이나 n+p 정합에서의 역방향 bias 누설전류인데, 연구자들과 조건에 따라 다소 차이는 있으나 누설전류면에서 거의 같은 결과를 보고하고 있다.^{15, 16}

3.2 이온주입된 다결정 실리콘

박막 다결정실리콘은 반도체 물질중에서 또 다른 중요한 몫을 하고 있다. 이 다결정실리콘은 MOS나 바이폴라IC에서 자기정렬된 이온주입공정에 사용된다. 다결정실리콘에 As이나 B 등을 이온 주입할 경우, As과 B 이 다결정실리콘내에서 재분포되기 때문에 1150°C에서 12.5초 정도의 시간동안 열처리하게 되면, 전 다결정실리콘막내에서 균일한 농도분포를 갖게됨¹⁷이 알려져 있다. 또한 고속열처리 기간동안 grain size가 빠른 성장을 한다.¹⁸

단결정실리콘기판위의 다결정실리콘에 As이

온주입을 한 후, 고속열처리를 수행한 경우¹⁹⁾가 보고되었다. 이 경우 다결정실리콘이 바이폴라 트랜지스터의 확산원으로 사용되었다. 이때 As 이 다결정실리콘막을 빨리 지나 단결정실리콘에서 천천히 확산하므로 불순물 확산속도를 정확히 제어할 수 있다. 이러한 방법으로 0.1 μ m 정합깊이의 에미터를 갖는 트랜지스터를 제작하였다.

3.3 고속열산화(RTO)와 고속열질화(RTN)에 대한 연구

EEPROM이나 고집적 DRAM, 고품위CMOS 회로와 같은 VLSI제품들은 매우 작은 구조와 매우 얇은 정합깊이를 가지면서 5nm 내지 25nm 정도의 매우 얇으면서 양질의 실리콘산화막을 필요로 한다. 그러나, 기존의 열확산로에서는 이와 같이 얇은 양질의 산화막을 얻는데 몇 가지 제약을 받는다. 첫째, 양질의 산화막은 높은 온도에서 길러야 하므로²⁰⁾, 기존의 확산로내에서는 channel영역에 이온주입한 불순물이 과도하게 재분포되므로 threshold전압을 조절하기가 매우 어렵게 될 뿐 아니라, 확산로내에서의 가스종류를 빨리 바꿀 수 없기 때문에 확산로내에서 고온 단시간 산화를 할 경우 불순물 확산과 웨이퍼의 일그러짐²¹⁾을 조절할 수 없으며, 산화막의 균일성이 매우 저하된다. 따라서, 고속열공정(Rapid Thermal Processing)이라는 새로운 기술이 필요하다. 고속열공정에서 사용되는 장치의 퀴츠튜브용기내 부피가 1l 정도로 매우 작으므로 가스의 종류를 빨리 바꿀 수 있으며, 퀴츠튜브가 350°C 정도의 낮은 온도를 유지하므로 기존의 확산로보다 외부로부터의 오염이 작다. 즉, 고속열공정 기술은 매우 얇은 양질의 실리콘 산화막을 기르는 수단이 될 수 있다.²¹⁾

고속열산화와 고속열처리시에 사용되는 가스는 산소, HCl가스, 아르곤, 질소와 forming gas 등을 들 수 있으며 열질화를 원할 경우는 암모니아가스를 사용한다.^{22), 23)} 고속열산화에 이용되는 온도는 900°C에서 1150°C 사이로서 1초 내지 300초 정도의 시간동안 산화막을 기르는 것이 보통이다.^{20), 21)} 이로써 길러지는 산화막의 두

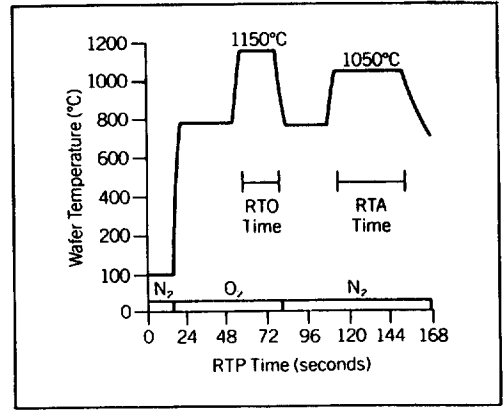


그림 6. 고속열산화와 고속열처리를 동시에 할 경우의 온도와 공정분위기의 대표적인 예

께는 2nm에서 70nm 정도가 된다. 그림 6은 고속열산화와 고속열처리시의 대표적인 온도와 시간분포를 나타낸 것이다. 질소가스를 퀴츠튜브로 흘리면서 웨이퍼를 퀴츠튜브안에 넣고, 짧은 시간동안 질소가스로 튜브안을 정화하고, 고순도 산소 또는 산소와 HCl 가스를 흘리면서 질소가스를 차단한 다음 산소가 전 웨이퍼에 걸쳐 균일하게 분포하도록 775°C 정도의 낮은 온도로 한동안 흘려준다. 그 다음 일단계 혹은 이단계로 산화공정을 수행한다. 산화공정이 끝나면 낮은 온도에서 질소가스를 흘리면서 산소를 차단하고 질소분위기에서 약 1050°C의 온도로 고속열처리를 해준다. 그림 7은 고속열산화 시간과 온도에 따른 실리콘산화막의 두께를 나타낸 것이다.

고온(1150°C) 고속열산화로 기른 산화막과 저온(950°C 이하) 확산로에서 기른 산화막을 비교하면 interface state density가 전자는 $1 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ 이고 후자는 $5 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ 정도이며, 확산로에서 기른 산화막의 경우 charge trapping에 기인하는 전류대전압 특성의 질적 저하가 생긴다는 것이 보고되었다.²¹⁾ 또한, 고속열산화 후 실시한 고속열처리가 interface state density와 fixed charge를 annealing 하는데 매우 효과적이라는 사실이 보고되었다.²⁴⁾ 그림 8에서 보는 바와 같이 1050°C 질소분위기에서 고속열처리시간을 증가할 수록 flat-band 전압이 감소하다가, 20초 이상에서는 이상적인 Al-SiO₂

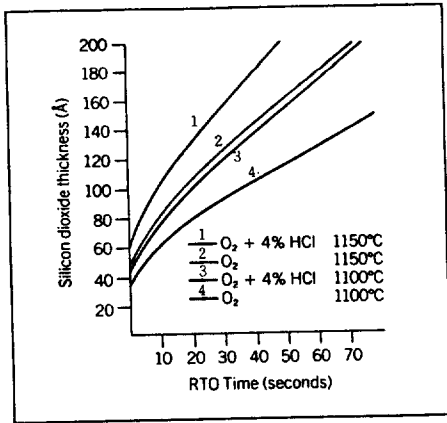


그림 7. 고속열산화시간과 온도에 따른 산화막의 두께변화

Si MOS의 flat-band 전압에 접근함으로써 산화막의 charge가 최소화되는 것을 볼 수 있다. 또한, 그림 8에서 고속열처리 시간에 따라 breakdown field가 증가하여 15MV/cm 정도가 됨을 알 수 있다. 따라서, 고속열공정으로 기른 산화막이 기존의 확산로에서 기른 산화막보다 훨씬 나은 특성을 가지므로 VLSI공정에 매우 적합하다고 할 수 있다.

3.4 Silicide 형성에 관한 연구

금속과 실리콘 화합물은 VLSI회로에서 많이 이용되고 있다. schottky barrier contact이나

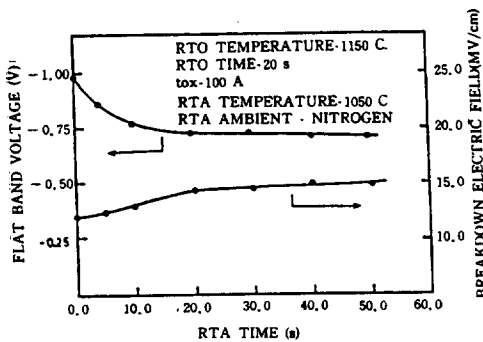


그림 8. 고속 열산화후의 고속열처리시간이 flat-band 전압과 breakdown 전계에 미치는 영향

낮은 저항값을 갖는 연결, 또는 ohmic contact metallization 등에 사용할 수 있다. 이 화합물은 실리콘 혹은 다결정실리콘에 히터 또는 전자빔을 사용해서 증착되거나 CVD법으로 형성된 금속과의 반응으로 생성되거나, 금속과 실리콘의 coevaporation이나 co-sputtering으로 생성될 수 있다.²⁵⁾ 어떤 방법이든지, 저저항과 저stress 등의 원하는 성질을 가진 안정한 화합물을 만들기 위해서는 일반적으로 열처리가 필요하다. 금속으로는 Pt, Pd, Ti, Ta, Mo, W 등이 많이 사용된다. 많은 연구가들이 고속열처리 장치를 사용하여 그 열처리를 할 수 있음을 보여왔다. R. T. Fulk는 Mo와 Si을 Co-sputtering하여 900°C에서 1000°C사이의 온도에서 수 초내지 수십초동안 열처리를 한바 1000°C에서 20초간 열처리를 한 후의 비저항이 열처리하기 전보다 10배정도 감소함을 보였다.²⁶⁾ R. A. Powell은 22μohm-cm의 저항을 갖는 titanium silicide막이 1000°C에서 10초정도 열처리하면

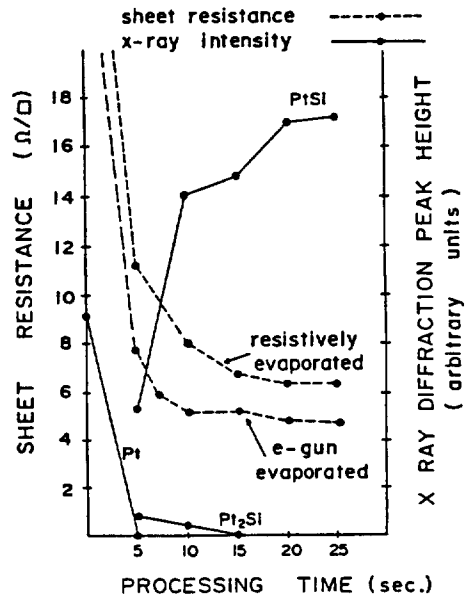


그림 9. Pt-film을 42nm두께로 resistively 증착한 것과, 52nm두께로 전자빔증착한 것의 고열처리시간에 따른 sheet저항과, X선 diffraction신호의 최대치의 변화

형성되는데, 이는 확산로에서 열처리한 것(25 μ ohm-cm) 과 비견될만 하다고 보고하였다.²⁷⁾ 또한, spiegel같은 이는 단결정실리콘위에 42nm 내지 52nm 정도의 Pt막을 증착시켜 platinum silicide형성과정을 관찰하였다.²⁸⁾ 그림 9는 250°C에서 550°C사이의 한 온도에서 5초내지 20초 정도의 고속열처리를 시행한 결과의 sheet저항과 X-선 diffraction 신호의 최대치를 시간에 따라 도시한 것이다. 그림에서 보는 바와 같이 Silicide의 형성이 수초내에 진행되기 시작하여 5초내지 10초사이에 PtSi가 주요성분이 됨을 관찰할 수 있다. 이밖에도 Pd, Ta, W 등에 대해서도 고속열처리에 관한 많은 실험이 이루어져 좋은 결과를 얻었으며, Yachi같은 사람은 다결정실리콘위에 TiSi₂를 고속열처리로 형성한 것과 확산로에서 열처리한 것의 MOS특성을 관찰한 결과 고속열처리로 형성한 소자에서 표면의 상태나 전기적 특성이 향상됨을 보고하였다.²⁹⁾

3.5 알루미늄과 실리콘의 Contact Alloying과 Al-Si Metallization

VLSI소자에서 아주 얇은 정합깊이를 가질 때, 알루미늄과 실리콘의 contact alloying시 실리콘이 알루미늄 속으로 migration 됨으로써 생기는 junction spiking이 문제가 된다. 이 junction spiking현상을 해결하기 위한 많은 시도가 있어왔다. 알루미늄에 실리콘을 포함시킨 Al/Si 혼합물을 사용함으로써 실리콘기판으로부터 실리콘이 알루미늄으로 녹아 들어가는 것을 방지하는 방법이나 Ion-mixing기법을 사용함으로써 junction spiking을 줄이려고 시도했다. Pai와 같은 사람은 n⁺-si과 알루미늄의 contact 형성을 고속열처리 기법으로 시도해 본 결과 그림 10과 같이, 기존의 확산로에서 425°C 10분 열처리했을 때의 contact저항보다 낮은 contact 저항을 가지는 것을 관찰하였다. 또한 그림 11과 같이 contact에서의 junction spiking이 훨씬 줄어드는 것을 관찰하였다.^{30), 31)}

그리고, Al-1%Si 금속을 입히고 pattern을 만든 후 490°C에서 540°C정도의 온도에서 5초간 고속열처리한 chip과 확산로에서 425°C 30분

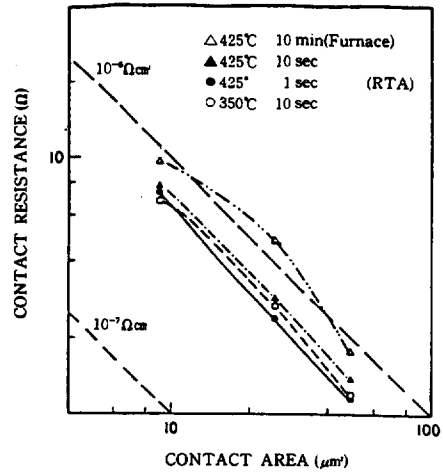


그림 10. 고속열처리와 확산로에서의 열처리시, contact면적에 따른 contact저항값의 변화

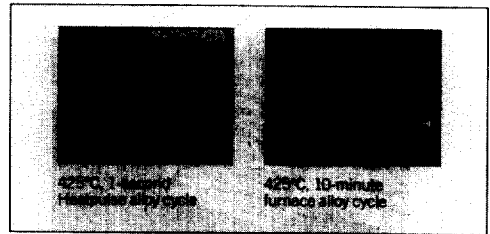


그림 11. 5×5 μ m²의 contact hole에서 확산로에서의 열처리와 고속열처리를 하고 나서, 순수 알루미늄을 제거한 후의 SEM사진

간 일반적인 열처리를 한 chip의 metal line 과 bond pad 위에서의 hillock 생성을 관찰한 결과, 고속열처리한 chip에서는 hillock의 생성이 관찰되지 않았다.³²⁾

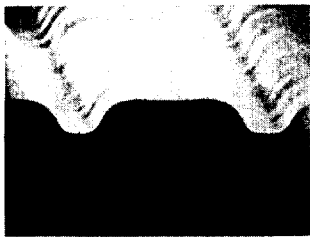
3.6 Glass Reflow

집적회로의 공정과정 중의 하나로서 Phosphosilicate glass (PSG)는 passivation layer가 필요한 때나 metal interconnection과 그 아래 구조와의 전기적 부도체로서 사용된다. 그러나, 여러층의 다결정실리콘층을 사용하거나, 다층 metallization을 사용할 경우 층간 표면결곡을

완화시킬 필요가 생기게 된다. 이때문에, reflow passivation glass를 포함한 planarization 기술이 흔히 사용된다. 이 glass들은 일반적으로 CVD를 이용하여 증착되고, 보다 평탄한 표면이 요구될 때 고온에서 열처리된다. glass의 softening 온도는 glass의 조성물에 의존하므로 P의 농도를 높일 수록 softening 온도는 낮아지지만 과도한 P의 doping은 P이 주변의 습기와 반응하여 인산으로 변함으로써 알루미늄을 식각하게 되어 신뢰성의 저하를 가져올 수 있으므로 무게비 8% 정도의 P 농도가 그 한계로 알려져 있다.³⁰⁾ 그림 2는 Varian IA 고속열처리장치를 사용한 것으로서 15초를 전후하여 1150°C의 graphite heater에 노출된, 무게비가 8%인 PSG의 SEM사진이다. 그림에서 0.3 μ m step의 예리한 모퉁이가 둥글게 변한 것을 볼 수 있다.²⁾



(a)



(b)

SEM's of PSG over a 0.3 μ m poly-Si step.
 (a) No RTA, X14,000
 (b) 15sec exposure at 1150°C, X13,500

그림12. PSG의 열처리전과 고속열처리후의 SEM사진

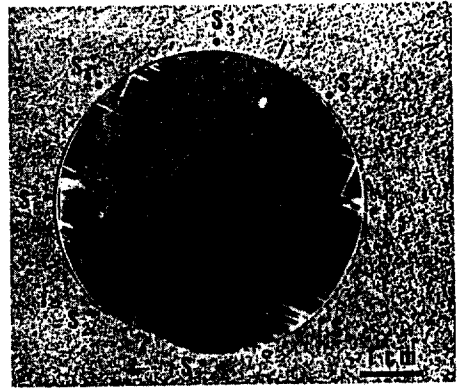


그림13. 1250°C에서 15초 동안 고속열처리 한후에 직경 2inch 웨이퍼에 생성된 slip line 들

위에 열거한 다양한 응용외에도, <100> 단결정실리콘기판위에 다결정실리콘을 얹어 epitaxial transformation을 시도하거나³⁴⁾ 고속열처리장치의 chamber 내에서 epi층의 성장과 고속열산화 및 다결정실리콘 증착을 일련적으로 행하여 MOSFET를 만든 결과³⁵⁾도 보고되었다. 또한 고속열처리기법을 이용하여 MOCVD를 하려는 노력³⁶⁾도 시도되고 있다. 실리콘에 이용하는 모든 고속열처리기법이 III-V족 화합물반도체에서도 이용되고 있다.^{37), 38)}

4. 결 론

-앞으로의 고속열처리 장치의 활용과 문제점 -

앞에서 논의한 것처럼 고속 열처리 공정은 기존의 확산로에서 행하던 다양한 공정의 대체로서 성공적으로 사용될 수 있다. 그러나, 고속열처리 장치가 모든 공정라인의 모든 과정을 대체할 수는 없다. 현재, 고속열처리장치는 이온주입공정을 검사하기 위한 단순한 적용범위를 넘어서지 않고 있다. 많은 웨이퍼를 processing 하는 곳에서 실제로 생산에 들어가는 많은 양의 웨이퍼를 이온주입하기 전에, implanter의 동작 상태를 검사하기 위해 four point probe와 함께

고속열처리 장치를 설치해 두는 수가 많다.²⁾

현재, 이와 같이 고속열처리 장치를 사용하여 많은 열공정을 할 수 있음에도 불구하고, 실제 응용에 널리 쓰이지 않는 이유는 고온 고속열처리에 발생하는 slip 현상때문이다. 기존 확산로에서의 열처리시 웨이퍼를 확산로의 입구에서 고온영역으로 밀어넣거나, 빼낼 때 웨이퍼의 loading 속도가 빠른 경우, 가장자리부터 가열되고 냉각되는 효과로 인한 온도구배가 형성되어 웨이퍼가 휘거나 slip 현상이 생기게 되므로^{3), 39)} 웨이퍼의 loading 속도를 매우 천천히 함으로써 이 문제를 해결하고 있다. 그러나, 고속 열처리의 경우는 웨이퍼의 가열과 냉각이 빛의 복사에 의해서만 이루어지므로, 웨이퍼의 각 부분에서 흡수하거나 방출하는 복사에너지가 다른 경우 온도구배가 발생하게 된다. 고속열처리 장치에서 웨이퍼의 표면에 가해주는 빛에너지가 균일하다고 가정할 때, 웨이퍼의 가장자리가 방출하는 복사에너지가 크므로 웨이퍼의 가운데에 비해서 상대적으로 온도가 낮게 된다. 그러므로, 빛 에너지를 매우 균일하게 설계한다고 하더라도, 웨이퍼의 반경방향으로 온도구배가 형성됨으로써 thermal stress를 받게 된다. 고속열처리 온도가 1030°C에서 1090°C 이상일 때 웨이퍼에 slip이 형성되는 yield stress를 넘게 되어 그림 13과 같이 웨이퍼의 가장자리에 slip 현상이 일어나게 된다.⁶⁾

그러나, 실제로 웨이퍼에 도달하는 에너지를 완전히 균일하도록 설계하기는 매우 어려우므로 1000°C 이상의 고온을 필요로 하는 고속열처리 공정은 당분간 그 응용이 쉽지 않으리라고 보고 있으며, 1000°C 이하의 온도를 필요로 하는 Al/Si contact alloying이나, silicide 형성 등과 같은 비교적 저온공정에서는 그 적용이 훌륭히 이루어지리라 생각한다. 그런데, 가까운 시일안에 웨이퍼 크기는 현재 표준인 100mm 내지 150mm에서 150mm 내지 200mm로 증가할 것이며, 90년대 초에 이르러서는 아마 250mm로 증가할 것이므로, 웨이퍼 크기의 증가와 함께 submicron까지 감소하는 소자의 제조에서는 웨이퍼와 웨이퍼간에 균일하고 reproducible한 thermal his-

tory를 요구하게 되는데, 기존의 확산로내의 쿼츠boat 안에서 웨이퍼는 가장자리부터 가열되고 냉각되기 때문에 균일성 문제는 현재보다 더욱 심각해 질 것이다.²⁾ 따라서, 1000°C 이상의 고온에서 생기는 slip 현상을 해결할 경우 고속열처리장치는 큰 웨이퍼에서의 온도불균일성을 줄일 수 있을 것으로 예상되며, 이때에는 앞에서 언급한 여러 공정을 고속열처리장치를 이용하여 수행하게 될 것이다.

참고문헌

- 1) G.Baccarani, et als, "Generalized Scaling Theory and Its Application to a $\frac{1}{4}$ Micrometer MOSFET Design", IEEE, Tran. Elec. Dev., Vol. ED-31, No.4, 1984, p.452
- 2) B.R.Wilson, et als, "Rapid Annealing Technology for Future VLSI", Solid State Technology, Jun, 1985, p.185
- 3) S.M.Hu, "Temperature Distribution and Stresses in Circular Wafers in a Row During Radiative Cooling", J. Appl. Phys., Vol.40, No.11, 1969, p.4413
- 4) T.O.Sedgwick, "Short Time Annealing", J. Electrochem. Soc., Vol.130, No.2, 1983, p.484
- 5) Semiconductor International, 1986 Master Buying Guide
- 6) G.Bentini, et als, "Defects Introduced in Silicon Wafers during Rapid Isothermal Annealing: Thermoelastic and Thermoplastic Effects", J. Appl. Phys., Vol. 56, No.10, 1984, p.2922
- 7) A.Gat, "Heat-pulse Annealing of Arsenic-Implanted Silicon with a CW Arc Lamp", IEEE, Electron Dev. Lett., Vol. EDL-2, No.4, 1981, p.85
- 8) R.T.Fulks, et als, "Rapid Isothermal Annealing of Ion Implantation Damage using a Thermal Radiation Source", Appl. Phys., Lett., Vol.39, No.8, 1981, p.605
- 9) C.S.Wei, et als, "Formation of Titanium Silicide by Fast Radiative Processing", Appl. Phys., Lett., Vol. 45, No.5, 1984, p.527
- 10) 조병진, 김경태, 김충기, "Rapid Thermal Annealing System의 시험제작", 대한전자공학회, 1986년도 CAD·반도체·재료 및 부품연구회 합동학술발표회 논문집.
- 11) R.Kwor, et als, "Rapid Thermal Annealing Characteristics of As⁺- and BF₂⁺-implanted Si", Appl. Phys.,

- Let., Vol.45, No.1, 1984, p.77
- 12) G.S.Oehrlein, et als, "Diffusion of Phosphorus during Rapid Thermal Annealing of Ion-implanted Silicon", Appl.Phys., Lett., Vol.45, No.4, 1984, p.417
 - 13) J.Narayan, et als, "Rapid Thermal Annealing of Arsenic and Boron-implanted Silicon", Appl.Phys., Lett., Vol.43, No.10, 1983, p.957
 - 14) R.B.Fair, et als, "Modeling Rapid Thermal Diffusion of Arsenic and Boron in Silicon", J. Electrochem. Soc., Vol.131, No.10, 1984, p.2387
 - 15) M.E.Lunnon, et als, "Structural and Electrical Properties of BF_2^+ Implanted, Rapid Annealed Silicon", Appl. Phys., Lett., Vol.45, No.10, 1984, p.1056
 - 16) J.B.Lasky, "Rapid Isothermal Annealing of Boron Ion Implanted Junctions", J.Appl.Phys., Vol.54, No. 10, 1983, p.6009
 - 17) S.R.Wilson, et als, "Fast Diffusion of As in Polycrystalline Silicon during Rapid Thermal Annealing", Appl. Phys., Lett., Vol.45, No.4, 1984, p.464
 - 18) S.J.Krause, et als, "Grain Growth during Transient Annealing of As-implanted Polycrystalline Silicon Films", Appl. Phys., Lett., Vol.45, No.7, 1984, p.778
 - 19) N.Natsuaki, et als, "Rapid-thermal Annealing of a Polysilicon-Stacked Emitter Structure", IEDM, 1983, p.662
 - 20) J.Nulman, "Rapid Thermal Processing of High Quality Silicon Dioxide Films", Solid State Tech., April 1986, p.189
 - 21) J.Nulman, et als, "Rapid Thermal Processing of Thin Gate Dielectrics, Oxidation of Silicon", IEEE Elec. Dev.Lett., Vol. EDL-6, No.5, 1985, p.205
 - 22) J.Nulman, et als, "Electrical and Structural Characteristics of Thin Nitrided Gate Oxides by Rapid Thermal Nitridation", IEDM, Tech.Digest, 1984, p.169
 - 23) C.C.Chang, et als, "High-Temperature Rapid Thermal Nitridation of Silicon Dioxide for Future VLSI Applications", IEEE Electron Dev. Lett., Vol. EDL-6, No.9, 1985, p.476
 - 24) J.Nulman, et als, "Electrical Characteristics of Thin Gate Implanted MOS Channels Grown by Rapid Thermal Processing", IEDM, Tech.Digest, 1985, p. 376
 - 25) 성만영, 박영진, "반도체 분야에 있어서 고융점 Metal-Silicide 기술과 그 활용현황(I)", 전기 학회지, Vol.35, No. 8, 1986, p.483
 - 26) R.T.Fulks, et als, "MoSi₂ Formation by Rapid Isothermal Annealing", IEEE Electron Dev.Lett., Vol. EDL-3, No.7, 1982, p.179
 - 27) R.A.Powell, et als, "Formation of Titanium Silicide Films by Rapid Thermal Processing", IEEE Electron Dev.Lett., Vol. EDL-4, No.10, 1983, p.380
 - 28) J.Spiegel, et als, "Fast Radiative Processing of Platinum Silicide", J. Appl.Phys., Vol.57, No. 2, 1985, p.607
 - 29) T.Yachi, "Formation of a TiSi_2/n^+ Poly-Si Layer by Rapid Lamp Heating and Its Application to MOS Devices", IEEE Electron Dev.Lett., Vol.EDL-5, No.7, 1984, p.217
 - 30) C.S.Pai, et als, "Rapid Thermal Annealing of Al-Si Contacts", Appl. Phys., Lett., Vol.46, No.7, 1985, p.652
 - 31) L.S.Hung, "Al-Si Contacts Formed by Ion Irradiation and Post-annealing", Appl.Phys., Lett., Vol. 43, No.12, 1983, p.1123
 - 32) T.J.Faith and C.P.Wu, "Elimination of Hillocks on Al-Si Metallization by Fast-heat-pulse-Alloying", Appl., Phys., Lett., Vol.45, No4, 1984, p.470
 - 33) J.S.Mercier, et als, "Rapid Isothermal Fusion of PSG Films", J.Electrochem. Soc., Vol.132, No.10, 1985, p.2432
 - 34) M.Tamura, et als, "Epitaxial Transformation of Ion-implanted Polycrystalline Si Films on(100)Si Substrate by Rapid Thermal Annealing", Japan, J.Appl. Phys., Vol.24, No.2, 1985, p.L 151
 - 35) J.C.Sturm, et als, "In-Situ Epitaxial Silicon-Oxide-Doped Polysilicon Structures for MOS Field-Effect-Transistors", IEEE Electron Dev.Lett., Vol.EDL-7, No.10, 1986, p.577
 - 36) S.Reynolds, et als, "Limited Reaction Processing: Growth of III-V Epitaxial Layers by Rapid Thermal Metalorganic Chemical Vapor Deposition", Appl.Phys., Lett., Vol.49, No.25, 1986, p.1720
 - 37) M.Kuzuhara, et als, "Infrared Rapid Thermal Annealing of Si-implanted GaAs", Appl. Phys., Lett., Vol.41, No.8, 1982, p.755
 - 38) S.S.Gill and B.J.Seally, "Review of Rapid Thermal Annealing of Ion Implanted GaAs", J. Electrochem. Soc., Vol.133, No.12, 1986, p.2590
 - 39) I.Matsuba, et als, "Thermoelastic Model of Dislocations in Wafers", IEDM Tech.Digest, 1986, p.530