

광전 집적회로의 현황과 전망

朴基聖, 馬東星

(正 會 員)

韓國電子通信研究所 光素子研究室

I. 서 론

단위 소자의 집적은 반도체 제조 기술의 자연적인 추세로써 실리콘의 경우 집적화는 생산성, 재현성 및 신뢰성의 향상은 물론 경비 절감을 이룩한다는 것을 명확히 보여 주었다. 광소자들이 이제 개별 소자로서 성숙단계에 들어섰으며, 그것은 20년 전 실리콘 소자들이 상업화 되었던 것과 비슷한 상황이다.

오늘날 널리 사용되는 광소자, 즉 레이저 다이오드, LED 혹은 광검출기들은 근본적으로 광전(opto-electronic) 소자들이다. 이들은 반도체의 에너지 밴드 구조에 의해 한 형태에서 다른 형태로의 직접적인 에너지 변환이 가능한 소자들이다. 그러한 소자들의 능력은 광통신 시스템에 활용되고 있다. 광통신 시스템에서 신호의 전송은 빛의 형태로 전송되며, 신호의 증폭 또는 스위칭 등의 다른 기능들은 전자 소자들을 사용하여 전기신호로써 이루어지고 있다. 그러므로 이 두가지 형태의 소자들을 단일 칩 위에 집적시킬 경우 광통신 시스템의 성능을 크게 향상시킬 수 있을 뿐 아니라 그밖의 다른 시스템에서의 응용도 매우 유망하다고 볼 수 있다.

1978년 Caltech의 Yariv 등에 의해 처음으로 반도체 레이저와 Gunn 다이오드와의 집적이 이루어진 이후¹⁾, 광원인 레이저와 레이저를 구동시키는 전자 회로를 집적시킨 단일 칩 광송신기 뿐만 아니라, 광검출기와 증폭회로, 등가기 그리고 펄스 재형형기(reshaper)가 집적된 광수신기들이 광전 집적회로 즉, OEIC(opto-electronic integrated circuit)의 목표가 되어 왔다. 아직까지는 실험실 내에서 동작을 시범하는 정도이나 곧 상업화된 모델이 나타나리라 예상된다.

단일 칩 OEIC의 또 다른 적용분야는 OEIC 시분할 다중화기와 역다중화기이다. 이러한 OEIC들은 디지털 신호를 쉽게 고속 다중화할 수 있어 통신의 용량을 더 늘릴 수 있게 된다. OEIC 다중화기에서는 여러 채널

을 결합시키는데 필요한 전자회로들이 하나의 레이저와 집적될 수 있으며, 역다중화기에서는 하나의 광검출기와 수신된 신호를 여러 채널로 분리해 내는데 필요한 전자회로들이 단일 칩 위에 집적될 수 있다.

이러한 광전 집적회로의 장점들을 간략히 요약해 보면 다음과 같다.

첫째, 전기신호 처리회로를 집적시키므로 광소자들의 오동작을 줄일 수 있다.

둘째, 광소자의 동작 속도와 잡음특성을 개선할 수 있다. 이것은 주변 소자들과의 접속에서 발생하는 기생 용량과 자기유도를 집적에 의해 없애므로 가능하다. 레이저 다이오드의 경우, 종래의 패키징된 칩은 1~3 nH의 유도계수와 0.01~0.1pF의 용량 계수를 가지고 있어 GHz영역에서 레이저를 동작시키면 신호의 공진 현상이 발생한다. 그러나 FET와 집적된 단일 칩 OEIC 경우는 레이저의 이완시간에 의해서만 속도가 제한된다.

셋째, 집적도가 높아질 수록 시스템 구성에 필요한 부품 수가 줄어들어 간단하고 신뢰성이 높은 시스템을 싼 값에 제작할 수 있다.

그러나 제조공정이 전혀 다른 광소자와 전자 소자를 단일 칩 위에 집적시키는 데는 여러가지 공정상의 문제점들이 있다. 특히 평면화 공정, 레이저의 반사면 형성 기술 및 epitaxy 등은 해결하여야 할 중요한 공정들이다.

본 논문은 OEIC의 현황과 앞으로의 전망을 개괄적으로 기술한 것으로, 제 2 장에서는 OEIC의 역사와 광전 집적화에 따른 기술적인 문제점을 다루었으며, 제 3 장과 4 장에서는 통신용 광 송, 수신기를 각각 다루었고, 마지막으로 제 5 장에서는 결론 및 OEIC의 전망을 기술하였다.

II. 광전 집적화 기술

1. OEIC의 역사

광소자와 주변 전자회로를 집적시킨 OEIC는 통신용 광 송, 수신기를 중심으로 개발되어 왔다. 현재까지는 세계적으로 시작단계에 불과하여 광, 전소자의 여러가지 조합과 집적 구조가 시도되고 있는 정도이다. 지금 단계에서 집적도는 유일한 경우를 제외하면 트랜지스터 10개 정도가 최대이고, 보통 광소자 1개와 전소자 2~3개를 집적시킨 것이 대부분이다. 지금까지는 광소자와 전소자의 집적이라는 새로운 분야의 가능성 확인을 위주로 연구해 왔기 때문이다. 1984년 정도부터 집적소자 수의 증가가 현저하게 나타나기 시작했다.

그림 1은 지금까지 시작된 OEIC를 연대순으로 정리한 것이다.⁽²⁾ 사용 반도체 재료로서는 GaAs계와 InP계가 있으며, 레이저 다이오드, LED 및 PIN 광검출기 등의 광소자와 FET, HBT 및 Gunn 다이오드 등이 전

자소자로서 집적화 되고 있다.

광원과 구동회로를 집적시킨 OEIC에서 레이저 다이오드의 특성은 단일 소자의 경우와 거의 같으며, 동작 속도도 1~2Gbit/sec로 집적에 의해 크게 개선되었다고는 아직 말할 수 없다.

수광 소자와 증폭 회로를 집적시킨 OEIC의 개발은 광원의 경우보다는 약간 늦어져 있다. 또한 개별 수광 소자보다 성능이 좋지 못하다. 응답 속도가 100~400 Mbit/sec 정도이며 감도 또한 낮다. 성능이 좋은 것이라 할지라도 100Mbit/sec에서 -34dBm 정도로 개별 소자보다 약 10dBm이 열세하다.

2. OEIC의 구조

OEIC의 실현에 있어 그 형태는 두가지 종류의 구조를

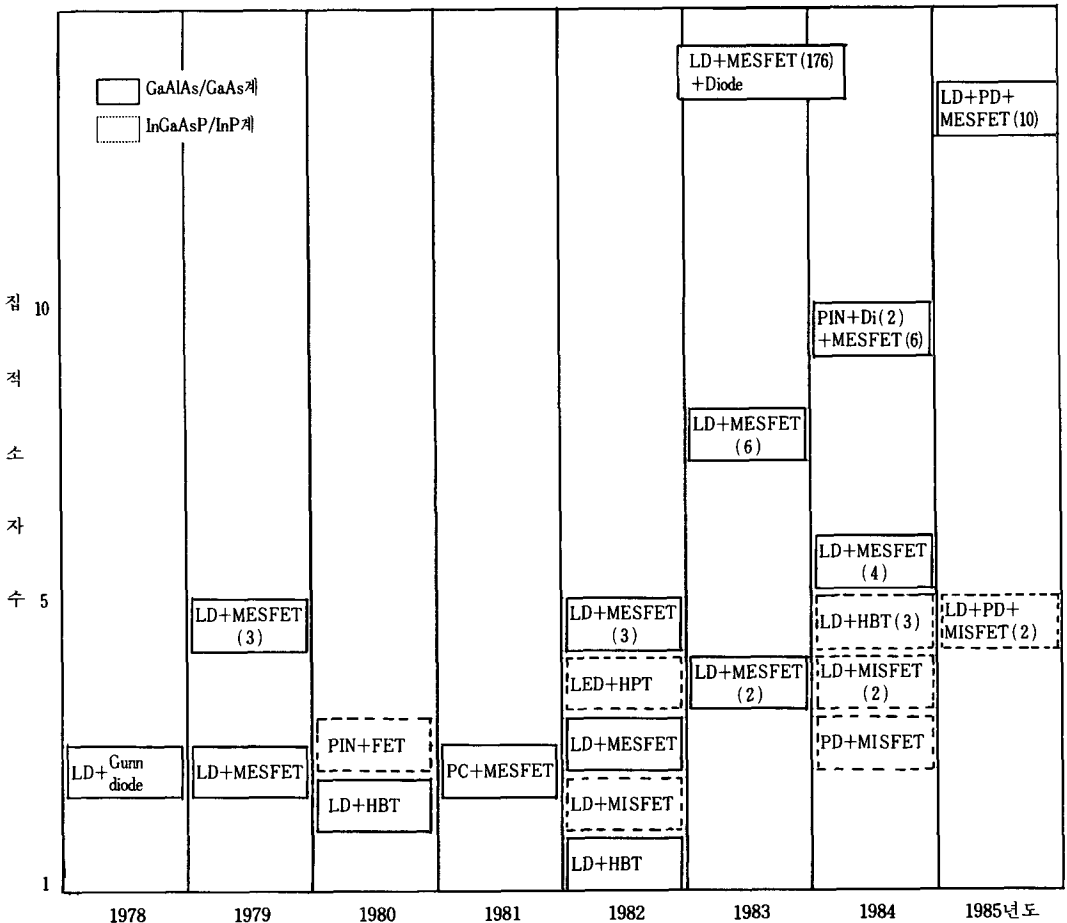


그림 1. OEIC의 시작 예

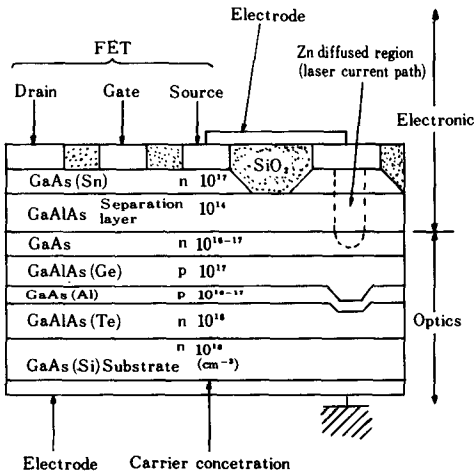
가질 수 있다. 도전성 기판을 사용하여 상하 방향으로 광소자와 전자 소자를 집적시킨 수직형 OEIC와, 반절연성 기판을 사용하여 평면 방향으로 집적시킨 수평형 OEIC가 있다. 그림 2는 이러한 두가지 구조의 OEIC의 일례이다.^{13,41}

기판을 사용하므로 기생 용량이 적어 고속화가 쉬우나, 반절연 기판위의 또 다른 도전성 층의 필요성과 전기 배선의 복잡성이 수평형 구조의 단점이 된다. 그러나 제조 공정의 세련은 이러한 문제점들을 개선하리라 기대된다.

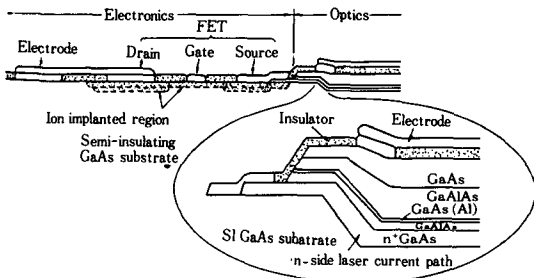
그 외의 여러가지 구조상의 문제점들을 표 1에 요약하였다. 어떤 경우든지 위의 내용들을 고려한 조심스러운 구조 설계만이 좋은 OEIC를 실현시키는데 가장 중요한 요인일 것이다.

표 1. 집적구조의 비교

구 조	수 직 형	수 평 형	
집 적 도	limited	unlimited	
결 정	전자소자	difficult	simple
성 장	광소자	routine	need care
표 면 단 차	large	large	



(a) 수직형 구조



(b) 수평형 구조

그림 2. 두가지 구조의 OEIC

n형 기판을 사용한 수직형에서는 아래쪽의 광소자부와 윗쪽의 전자 소자부를 전기적으로 분리시키기 위한 높은 저항의 절연층이 필요하다. 이러한 절연층은 성장시키기도 어려울뿐 아니라 넓은 면적에서 고른 표면을 얻기도 힘들다. 그러므로 전자 소자가 주가 되는 고밀도 집적에는 적당한 구조가 되지 못한다.

반면 수평형에서는 다른 결정 성장없이 반절연 기판을 바로 이용하여 전자 소자를 제작할 수 있으므로 매우 중요한 기술적인 장점을 가지고 있다. 또한 반절연

3. 제작 공정의 문제점

근본적으로 제작 공정이 다른 광소자와 전자 소자를 동일 칩위에 동일 공정을 거쳐 집적시키는데는 여러가지 문제점과 제한이 뒤따르게 된다. 즉, 광소자와 전자소자 각각의 최적 구조와 공정 상태를 동시에 만족시키기가 불가능하므로 구조와 공정에 제한이 가해지며, 광소자와 전자소자 간의 타협이 필요하게 된다.

(1) 방열

고속 고밀도 전자 IC는 방열을 최소화 하기위해 가능하면 저전류에서 동작시키는 것이 바람직하다. 이것은 OEIC에도 마찬가지로 적용되며, 이를 위해서는 특히 레이저 다이오드의 임계 전류를 낮추는 것이 무엇보다 중요한 문제라 할 수 있다. 좁은 활성영역 안으로 전류와 빛을 구속시켜 임계 전류를 낮출뿐 아니라 발진 모드도 제어할 수 있는 많은 레이저 구조들이 제안되었으며, 이들 중 BH(buried heterostructure), CSP(channeled substrate planar), TJS(transverse junction stripe) 및 mass-transported BH 등이 대표적이라 할 수 있다. 또한 최근에는 이중 접합 구조 자체의 임계전류 밀도를 낮출 수 있는 양자우물(QW; quantum well) 레이저 구조가 매우 유망시 되고 있다. 양자우물의 반복된 형태를 다중 양자우물(MQW; multiple QW) 구조라 부르며, 레이저 다이오드의 활성층을 MQW 구조로 만들면 활성 MQW층에 수직한 방향

으로의 에너지 준위의 양자화가 일어난다. 즉, 캐리어들이 활성 영역에서 가질 수 있는 에너지 상태가 불연속적으로 특정한 몇몇의 에너지 상태만이 허용된다. 따라서 캐리어들의 에너지 상태가 극히 제한되어 있으므로 활성층 내에서 캐리어들이 재결합할 때 매우 효과적으로 빛의 유도 방출이 이루어질 수 있게 된다.

이와 같은 MQW 구조를 활성층으로 하는 레이저 다이오드는 현재 통상적으로 상용되는 BH구조의 레이저에 비하여 임계전류를 최소한 절반 이하로 낮추는 것이 가능하다. 특히 MQW 구조하에서는 임계전류의 온도 의존성이 작아서 환경 변화에 대해 안정된 동작을 기대할 수 있다. 또한 MQW 구조는 레이저 다이오드의 구조로서 뿐 아니라 광검출이 및 고속 전자 소자 등에도 활용할 만한 좋은 특성이 많이 발견되어 OEIC의 기본 구조로서 정착할 가능성이 매우 높다.

(2) 레이저 반사면 형성

레이저 다이오드의 반사면 형성은 전통적으로 cleaving에 의해 200~300 μ m의 공진기 길이를 갖는 Fabry-Perot 형태로 만들고 있다. 광흡수 손실 및 방열 문제와 함께 이러한 반사면의 반사율은 레이저의 저동작 전류와 장수명 동작에 중요한 요인이 된다. 그리고 cleaving은 가장 좋은 반사면을 제공한다고 믿어진다. 그러나 cleaving은 공진기 길이에 제한을 주며 레이저 다이오드 레이아웃의 자유를 빼앗아 가므로 OEIC에서는 cleaving 이외의 다른 반사면 형성기술이 요구된다.

OEIC를 위한 반사면 형성 기술은 크게 세가지 방법이 있다. 첫째는 microcleaving 방법으로 cleaving이 요구되는 활성영역 부근의 불필요 부분을 선택 에칭한 후 초음파 진동에 의해 cleaving을 한다. 그림 3은 이러한 microcleaving 공정을 보여준다.^[5]

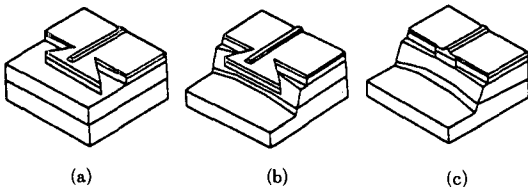


그림 3. Microcleaving에 의한 레이저 반사면 형성 기술

그러나 이 방법은 선택 에칭이 LD의 구조와 질에 제한을 주는 중요한 요인으로 작용하므로 일반적인 방법이 되지는 못한다.

둘째는 에칭에 의한 반사면 형성이다. 습성 에칭이나 건성 에칭 또는 이 두가지의 혼합으로 반사면을 형성한다. 그러나 습성 에칭은 결정 방향에 따라 비등방성 에칭을 하므로 수직인 반사면을 만들기 어려우며, 건성 에칭은 활성 이온들에 의한 에칭면 손상이 반사율의 저하를 가져오므로 결국 임계 전류를 증가시킨다.

그리고 마지막 방법으로 grating에 의한 광의 귀환 현상을 이용한 기술이 있다. 이 방법은 반사면이 필요치 않으므로 레이아웃이 자유로우며 모드 안정 및 온도 특성이 매우 좋다. 그러나 (fabry-perot) 형태에 비해 칩의 크기가 커지며 임계 전류가 높고 제작이 어렵다는 단점이 있다. 표 2는 이 세가지 방법의 특성을 비교한 것이다.

표 2. 여러가지 반사면 형성기술의 비교

	Microcleavage	Wet etching	Dry etching	Grating
Composition	limited	arbitrary	arbitrary	arbitrary
Orientation	limited	limited	arbitrary	limited
Structure	limited	arbitrary	arbitrary	limited
Damage	ultrasonic	none	irradiation	none
Fabrication	need care	need care	simple	complicated
Yield	unknown	30%	unknown	10%
Threshold	Io	1.5Io	1.5Io	1.5Io

* Threshold는 일반적인 cleavage LD를 Io로 하였을 때 비교값들이다.

(3) Epitaxy 기술

단위 소자제작을 위한 결정 성장 방식중 가장 간단하며 널리 보급된 것은 LPE이다. 이 방식은 레이저 다이오드와 같은 고품질의 소자제작에 유력한 기술로 사용되어 지고 있으나 집적화 기술로는 그다지 유용한 방법이 되지 못한다. 성장 가능한 웨이퍼의 크기가 최대 6cm²를 넘 못하며 성장층의 균일도 역시 좋지 못하다. 그리고 LPE의 가장 큰 단점은 인접한 성장층간의 확산 때문에 MQW 구조 성장에 필요한 급격한 계면 성장이 어렵다는 것과 background 도핑 농도가 비교적 높다는 점이다. 그러므로 LPE는 복잡한 광전 집적회로의 성장에는 적당한 epitaxy 방식이 되지 못한다.

반면 MBE는 GaAs를 기판으로 하는 MQW 성장에 매우 유용한 성장 방식이다. 더우기 성장층의 두께, 도핑 및 이종 계면의 abruptness 조절 능력이 매우 뛰어나 여러가지 고성능 전자소자 제작에 적절하다. 그러나 MBE는 성장 속도가 비교적 느려 웨이퍼 산출이

적으며, InGaAsP와 같은 P를 포함한 물질 성장이 어려워 장파장용 소자는 InP 기판에 격자 정합을 이루는 InGaAs와 AlGaAs로 이루어진 소자에 국한된다. 그리하여 최근에는 As와 P의 hydride를 사용한 gas source MBE도 개발되었다.^[4]

VPE는 LPE와 MBE의 단점들을 보완하고 대부분의 장점들을 살린 기술로써 현재 크게 각광 받고 있다. VPE는 tydride VPE, chloride VPE 및 MOCVD의 세 가지 종류가 있는데, 그중에서도 MOCVD가 거의 모든 III-V 및 II-VI 화합물 반도체를 수십 Å의 두께까지 성장시킬 수 있으며 대량 생산에 적합하다는 점 등으로 장파장 OEIC 제작에 가장 유력한 epitaxy 기술이다. 그러나 MOCVD의 단점은 광검출기등의 제작에 필수적인 고순도 epi 층의 성장이 비교적 어렵다는 것이다. 이것은 원료 기체의 순도가 높지 않는데 기인한다. 그리고 성장 기저가 비평형 역학을 따르므로 reactor의 형태, 웨이퍼의 위치와 크기 그리고 gas의 flow rate 등에 따라 성장 상태가 크게 달라진다. 그러므로 epi 층의 최적 성장 조건을 찾는 데 많은 시간이 소요된다.

대부분의 OEIC들이 매우 복잡한 구조를 갖는다는 것과 앞장에서 언급한대로 광소자와 전자소자간의 제조공정 정합성문제 디으로 인하여, 많은 OEIC들은 위의 epitaxy 방식들을 두개 혹은 여러개 조합하여 제작될 수 있다. 소위 '하이브리드 성장' 혹은 '재성장'이라고 불리는 이 기술은 매우 어렵기는 하지만 단일 성장 기술만을 사용했을 때는 불가능한 고성능 집적소자들의 제작을 가능케 해준다.

표 3에 위에서 언급한 여러가지 epitaxy 기술들을 비교 정리하였다.

표 3. 여러가지 Epitaxy 방식들의 비교

	LPE	MOCVD	MBE
GaAs mobility ($cm^2/V \cdot sec$) (77K)	1.8×10^4	1.4×10^5	1.4×10^5
Junction Sharpness (AlGaAs/GaAs)	100~1,000Å	수원자층	단원자층
Modulation Doped GaAs Mobility		1.4×10^5	2.0×10^5
Throughput	1~50 in/day	~200 in/day	~50 in/day
Uniformity	poor	수% (3" wafer)	2% (3" wafer)
Cost	\$40~80K	\$100~400K	\$400K~1M
Set-up time	수 주	1 년	6 개월
Control of Dopant	poor	good	excellent
Epitaxial material	GaAs, AlGaAs InP, InGaAsP, InGaAs	거의 모든 III-V 화합물	P가 포함된 물질 의 성장은 어렵다.
Safety	O. K.	Toxic gas 사용	Good

또한 최근에는 MOCVD와 MBE 방식의 장점들만을 취하고자 이 두가지 방식을 절충한 새로운 epitaxy 기술들이 실험실에서 시도되고 있다. 이러한 방식들 중에 대표적인 것으로는 진공 MOCVD,^[7] MOMBE 혹은 CBE(chemical beam epitaxy)^[8] 및 gas source MBE 등이 있다. 그림 4는 이들의 성장기저 및 동작 압력을 개략적으로 그린 것이다.

(4) 표면단차

LD와 같은 광소자들은 대개 수직 방향으로 수 μm 의 높이를 갖는다. 따라서 이러한 표면 단차를 극복하고 전자 소자와 정합시키는 것이 중요하다. 왜냐하면 $3\mu m$ 이상의 단차는 photo-lithography에서 패턴의 정밀성을 떨어뜨리고 다음 공정을 어렵게 만들기 때문이

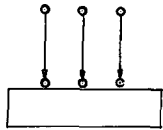
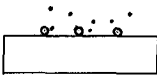
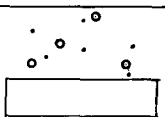
Technique	MBE	Gas Source MBE (Panish)	MOMBE (Tsang)	Vacuum MOCVD (Fraas)	LP-MOCVD	MOCVD
Group III	Elements	Elements	Alkyls	Alkyls	Alkyls	
Group V	Elements	Hydrides	Alkyls	Hydrides	Hydrides → Alkyls	
Pressure	Very High Vacuum			~mtorr	~0.1 torr	Atmosphere
Growth Mechanism	No Boundary Layer 		Decomposition Occurs at Surface 		Decomposition within Stagnant Boundary Layer 	

그림 4. MOCVD와 MBE를 절충한 epitaxy 기술들

다. 그러므로 LD와 OEIC 전체 구조는 표면 단차를 최소화 하도록 설계되어야 한다.

표면 단차를 줄이는 방법으로는 대개 기판을 에칭하는 방법을 사용한다. 또한 최근에는 ion milling을 이용하여 매우 작은 경사각을 갖는 graded-step 공정이 개발되어 lithography의 신뢰성을 높일 수 있게 되었다.¹⁰⁾

그림 5는 graded step을 만드는 공정을 보여 준다. (100)면의 경우, LPE 성장은 표면 단차에서의 다른 성장 속도 때문에 성장이 진행될수록 표면이 평평해지는 경향이 있다. 이러한 LPE 성장의 특성은 표면 단차에 의한 제한을 많이 완화시켜 설계의 자유도를 높여준다.

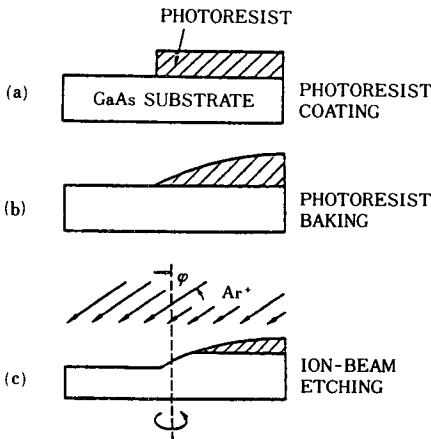
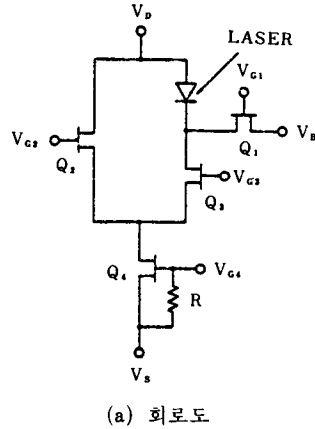


그림 5. Ion milling을 이용한 graded-step 공정

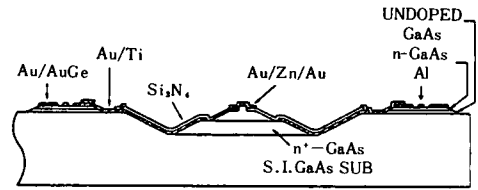
III. 광 송신기

광 송신기의 기본적인 구조는 레이저와 구동회로 그리고 monitor용 광검출기로 이루어진다. 그림 6은 최근에 제작된 OEIC 광송신기의 일례를 보여준다.¹¹⁾ 이 OEIC는 S. I. -GaAs 기판위에 ridge waveguide GRIN-SCH SQW 레이저와 네개의 recessed gate MESFET로 이루어졌다. 이 구조는 ion-milling을 이용한 graded-step 공정에 의해 표면 단차를 줄이고, MBE epitaxy를 이용하여 제작되었다. 레이저는 830nm에서 단일 모드로 동작하였으며 CW 임계 전류는 15mA이었다. 입력전압 대 광출력의 비는 면당 4.4mW/V이며, 이것은 50%의 미분양자 효율에 해당하는 값이다.

FET의 특성은 gate 폭이 680 μ m일때 65mS의 trans-conductance를 나타내었다. 이 송신기는 400psec의



(a) 회로도



(b) 단면구조

그림 6. GaAlAs/GaAs 광송신기

rise time과 2Gbit/sec NRZ의 변조 특성을 보여주었다. 송신기의 속도는 FET보다도 레이저의 속도에 의해 제한되고 있다.

그림 7은 Matsueda 등에 의해 보고된 좀더 복잡한 구조의 송신기이다.¹¹⁾ 이것은 레이저, monitor용 광검출기, 12개의 MESFET로 이루어진 구동 및 제어회로 그리고 시험용의 레이저와 광검출기 쌍으로 이루어져 있다. 레이저와 광검출기의 epitaxial 구조는 MOCVD로 성장시킨 MQW이고, 레이저의 반사면은 RIE로 형성시키고 있다. MESFET의 활성층은 S. I.-GaAs 기판 위에 Si 이온 주입으로 만들고 있다. 구동 회로의 rise time은 200psec 이하로 측정되었다.

여기에서 사용한 RIE나 이온 주입은 OEIC에서 제조 공정의 생산성을 높이는데 매우 유리한 기술로 받아들여지고 있다.

지금까지 보고된 OEIC 중 최고 집적도를 갖는 것은 microcleaved 반사면을 갖는 TJS 레이저와 이온 주입된 MESFET로 이루어진 송신기이다.¹²⁾ 이 송신기는 160MHz에서 동작하는 4-채널 신호 다중화 회로를 가지고 있다.

InGaAsP/InP계를 사용한 1.3 μ m 파장 영역의 OEIC에 대한 연구도 활발히 진전되고 있다. 이 물질은 집적용 전자 소자로서 MESFET를 만들기가 어려우므로

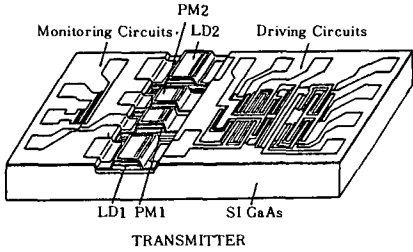


그림 7. 2 레이저, 2 PD 및 12 FET로 이루어진 GaAlAs/GaAs 광송신기의 구조

MISFET, HBT 및 JFET 등이 이용되고 있다. 또한 P를 포함하고 있으므로 MBE 방식에 의한 epitaxy가 어려워 LPE나 MOCVD epitaxy가 사용된다.

그림 8은 Shibata 등에 의해 보고된 BH 레이저와 세개의 HBT로 구성된 구동회로의 집적 예이다.¹³⁾ 이 구조는 n⁺-InP 기판위에 트랜지스터 층과 LD의 blocking 층을 공히 2 단계 LPE 기술로 제작하였다. 레이저의 임계 전류는 20~30mA이고, 트랜지스터의 에미터 전류 이득 h_{FE}는 400이며 이 구동 회로는 1.6GHz까지 동작하였다.

그 밖에도 여러가지 OEIC 광송신기의 제작 시도가 이루어지고 있다. Koren 등은 TJS 레이저와 InP MISFET를 집적시켰으며, Chen 등은 mass-transported 기술로 제작한 BH 레이저와 InP JFET를 집적시켰다. 이밖에 Kasahara 등은 DC-PBH 레이저와 InP MISFET를 집적시켜 2Gbit/sec RZ까지 동작

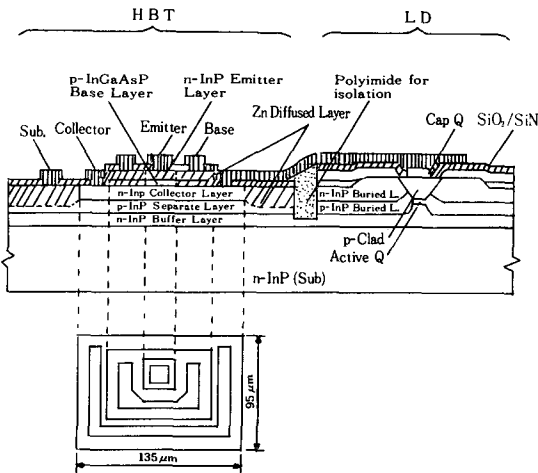


그림 8. n-InP 기판 위에 집적시킨 InGaAsP/InP BH 레이저/HBT 광송신기의 구조

을 시범하였다. 또한 그들은 S. I. -InP 기판 위에 DFB-DC-PBH 레이저와 InP MISFET를 집적시켜 레이저의 접합 용량이 8pF이며 임계전류(53mA)의 1.4 배에서 4GHz의 속도를 갖는 광송신기를 보고하였다.¹⁴⁾

IV. 광 수신기

최초의 단일 칩 광수신기는 1980년 Leheny 등에 의해 InGaAs/InP계를 사용하여 제작되었다. 그림 9는 이 수신기의 회로도도와 구조이다.¹⁵⁾

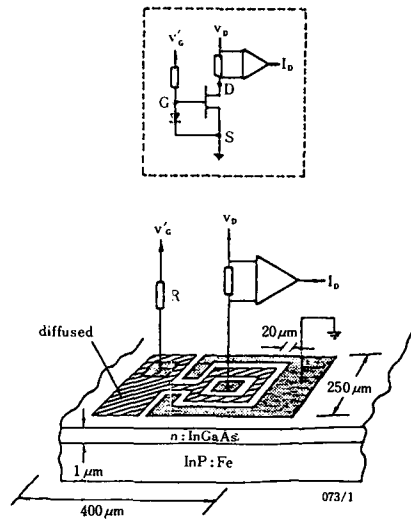


그림 9. InGaAs/InP PIN/FET 광수신기의 구조와 등가 회로

광수신기의 구조는 송신기에 비해 매우 간단하다. 이것은 레이저에서는 필수 불가결한 도파로 구조가 광검출기에서 필요없으며, 전자 소자와 구조적인 정합성을 쉽게 이룰 수 있기 때문이다. OEIC 수신기 제작의 가장 통상적인 소자들은 PIN 광검출기와 FET와 같은 트랜지스터들이다. GaAlAs/GaAs PIN PD와 6개의 MESFET를 사용한 증폭 회로를 집적시킨 수직형 구조의 OEIC가 몇몇 사람에 의해 보고되었다.¹⁶⁾ MOCVD를 이용하여 5 내지 10μm의 두께로 성장시킨 높은 저항의 GaAlAs 층이 전자회로와 광검출기의 분리층으로 사용되어 졌다. 그러나 이 구조에서는 rise time이 5nsec로 비교적 느린 응답 특성을 나타내었다. 그것은 증폭 회로에서의 FET들 사이의 용량성 결합이 원인인 것으로 생각된다.

그리하여 이러한 응답속도 문제를 해결하기 위해

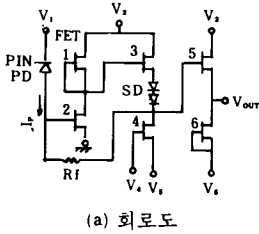
PIN/증폭 회로의 수평형 구조가 제안되었으며, 그림 10은 GaAlAs/GaAs PIN/증폭 회로 수신기의 회로도 와 단면도이다.^[17] 이 회로는 GaAlAs/GaAs PIN PD와 여섯개의 MESFET로 이루어진 증폭 회로, 두개의 Schottky 다이오드 및 한개의 귀환용 저항으로 구성되었다. 모든 소자들은 2 단계 MOCVD를 이용하여 S.I.-GaAs 기판위에 집적되었으며, graded-step 공정을 이용하여 표면 단차 문제를 해결하였다. 이 수신기의 rise time은 1.0nsec로 이것은 PIN PD와 FET gate 의 전체 용량에 상응한 값이다.

물론 광전 집적에 적합한 새로운 구조와 공정의 창안에 있음이 분명하다. 또한 여러가지 적용분야에 따른 OEIC 기술의 전문화가 필요하리라 본다. 왜냐하면 장거리 통신으로 부터 intrachip 전송과 광신호 처리에 이르기까지 각 적용 분야에 따라 사용하는 물질, 구조, 기능 및 집적도 등이 크게 다르기 때문이다.

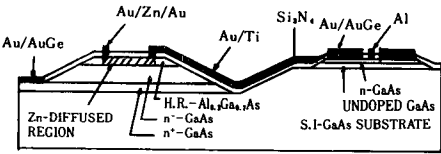
이러한 OEIC의 넓은 적용 분야와 잠재력 때문에, OEIC 연구는 설계와 제작 기술의 측면에서 더욱 가속화될 것이다.

参 考 文 献

- [1] C.P. Lee, S. Margalit, I. Ury and A. Yariv, Appl. Phys. Lett., vol. 32, 806, 1978.
- [2] 小林功郎, Nikkei Microdev., July, 211, 1985.
- [3] H. Matsueda, et al., Japan. J. Appl. Phys., vol. 20, 193, 1980.
- [4] H. Matsueda, et al., IEEE J. Lightwave Technol., vol. LT-1, 261, 1983.
- [5] H. Blauvelt, et al., Appl. Phys. Lett., vol. 40, 289, 1982.
- [6] M.B. Panish, H. Temkin and S. Sumski, J. Vac. Science and Technol. B, vol. 3, 657, 1985.
- [7] L.M. Fraas, et al., J. Crystal Growth, vol. 68, 490, 1984.
- [8] W.T. Tsang, Appl. Phys. Lett., vol. 45, 1234, 1984.
- [9] S. Miura, et al., Appl. Phys. Lett., vol. 46, 389, 1985.
- [10] T. Sanada, et al., Appl. Phys. Lett., vol. 46, 226, 1985.
- [11] H. Matsueda, and M. Nakamura, Appl. Opt., vol. 23, 779, 1984.
- [12] J.K. Carney, M.J. Helix and R.M. Kolbas, Tech. Dig., 1983 GaAs IC Symp., 48, 1983.
- [13] J. Shibata et al., Appl. Phys. Lett., vol. 45, 191, 1984.
- [14] K. Kasahara, et al., Tech. Dig., 5th IOOC, 295, 1985.
- [15] R.F. Leheny, et al., Electron Lett., vol. 16, 353, 1980.
- [16] S. Miura, et al., IEEE Electron Dev. Lett., vol. EDL-4, 375, 1983.
- [17] O. Wada, et al., Appl. Phys. Lett., vol. 46, 981, 1985.*



(a) 회로도



(b) 단면도

그림 10. GaAlAs/GaAs PIN/증폭 회로 수신기

최근에는 photoconductor와 같은 수평 구조의 광검출기를 이용한 집적 광수신기들이 보고되고 있다. 또한 구조가 간단하며 광소자와 전자소자 간의 공정 정합이 이루어지는 MSM PD와 MESFET를 이용한 수신기도 연구되고 있다. 이 구조에서는 MSM PD의 금속 접합과 MESFET의 gate 접합을 단일 공정에 의해 형성할 수 있다.

V. 결 론

OEIC 기술은 최근 수년동안 매우 급속히 발전되어 왔다. 현재 상태는 비록 몇가지 기술적인 문제점들이 해결되지 않았지만 레이저와 구동 회로를 집적시킨 광송신기 및 광검출기와 증폭 회로를 집적시킨 광수신기와 같은 기본 회로들을 수 Gbit/sec에서 동작을 시범하는 정도이다. 그러나 광통신 시스템이 점차적으로 고속화 되어감에 따라 광전 집적의 중요성은 필연적으로 증가될 것이다.

앞으로의 연구개발 초점은 현재 기술들의 세련화는