

Heterojunction Bipolar Transistor의

최근 기술동향 및 전망

李 貴 魯

(正 會 員)

韓國科學技術院 電氣 및 電子工學科

I. 서 론

Si를 재료로 하는 반도체 소자는 bipolar와 MOS가 주종을 이루고 있으며, bipolar는 높은 이득으로 인하여 아날로그 및 고속 디지털용으로 주로 쓰이며, MOS는 저속 디지털 및 기억소자에 주로 쓰이고 있다. 축소된 CMOS의 속도가 bipolar와 비슷해지리라는, 따라서 전력소모가 작고 집적도가 높은 CMOS가 bipolar 시장을 잠식하리라는 논란이 많았으나, 최근의 bipolar 기술의 급속한 발전으로 bipolar의 우월성은 계속 지켜지고 있다.^[1] Bipolar가 MOS에 대하여 가지고 있는 장점은 높은 이득(1μ design rule의 경우, 5000 mS/mm vs. 100 mS/mm)과 문턱전압의 균일성에 있다. 즉 그림 1에서 보인 바와 같이 bipolar는 MOS보다 항상 빠르며, 100μ 이상의 급속배선을 구동시킬 경우 GaAs MESFET보다도 빠르다.^[1] 또한 MOS의 문턱전압이 공정 파라미터의 함수인데 비하여 bipolar의 문턱전압은 기본적인 재료의 특성으로 결정되므로 VLSI가 요구하는 문턱전압의 균일성을 얻기가 수월하다.

위에 언급한 Si bipolar의 성능을 더욱 향상시킬 수 있는 것이 HBT(heterojunction bipolar transistor)이다. 표 1에 최근에 발표된 Si bipolar와 AlGaAs/GaAs HBT의 state of art 성능을 비교하였다. 이 표에 나타난 바와 같이 $1.5\sim 2.5\mu$ 의 HBT 성능이 0.35μ Si bipolar 보다도 훨씬 우수하다. 따라서 본고에서는 고속회로 소자로서의 HBT 소자의 최적화 설계에 대한 최근의 기술동향을 검토하고, 현재 기술상의 문제점으로 부각되고 있는 콜렉터 전류 및 에미터 주변길이/넓이에 따른 전류이득의 변화에 대하여 논하며, 미래의 기술전망에 대하여 언급하려 한다.

II. 고속회로 소자로서의 HBT 설계

Wide gap 에미터를 이용한 HBT는 오래 전에 제안

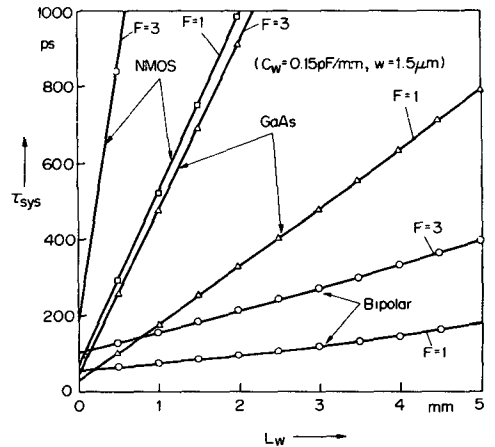


그림 1. 배선길이 및 fan-in/fan-out에 따른 시스템 지연시간. 바이폴라, GaAs 및 MOS의 design rule은 각각 1μ , 0.2μ , 0.2μ 이다^[1]

표 1. State of art Si 바이폴라와 HBT의 성능비교

| Performance | Si-SST ^[1] | AlGaAs/GaAs HBT |
|-----------------------------|-----------------------|---|
| Emitter Width | 0.35μ | $1.5\sim 2.5\mu$ |
| f_T | 17.1GHz | 45GHz ^[2] |
| Ring Oscillator Speed (NTL) | 30psec at 1.48mW | 16.5psec at 11mW ^[2] 27.2psec at 6mW ^[3] |
| Frequency Divider | 9GHz | 13.6GHz ^[4] |

되었으나,^[6] 헤테로 접합의 기술상의 문제로 구현되지 못하다가, 최근에 와서야 LPE,^[7,8] MOCVD,^[9] MBE^[10] 등의 발달로 높은 전류이득을 갖는 HBT를 얻을 수 있었다. 그러나 IC소자로 쓰이기 위해서 $\beta > 100$ 이면 충분하므로 HBT의 소자설계의 목표가 높은 전류이득보다는 속도를 빨리하는 데 중점을 두고 있다.^[7,11]

Si bipolar와 같은 homojunction에서는 emitter injection 효율을 높이기 위해서 에미터 도우핑을 베이스 도우핑 보다 훨씬 크게 하여야 한다는 제약이 있으나, HBT의 경우 그림 2에서 나타낸 바와 같이 전자와 정공에 대한 potential barrier의 차이 $\Delta = V_p - V_n$ 로 인하여 위와 같은 제약없이 emitter injection 효율을 높일 수가 있다. AlGaAs/GaAs의 경우 Δ 는 thermal voltage 보다 매우 크므로 emitter injection 효율은 에미터 도우핑에 관계없이 매우 높아서 β 는 보통 식(1)과 같이 base transport factor에 의하여 결정된다.

$$\beta_{max} = t_n / t_b \quad (1)$$

여기서 t_n 은 minority carrier life time이고 t_b 는 base transit time이다. t_n 은 보통 베이스 도우핑에 따라 변하나 $10^{19}/\text{cm}^3$ 의 경우 약 1 nS 정도이며, t_b 는 0.1 μm 의 베이스 두께를 갖는 HBT의 경우 약 5 pS이다.

Bipolar transistor의 차폐주파수 f_T 는 다음과 같이 표시된다.

$$f_T = \frac{1}{2\pi t_{TOT}}, \quad (2)$$

$$t_{TOT} = t_E + t_{EB} + t_B + t_C + t_T \quad (3)$$

여기서 $t_E = Q_E / I_C$, $t_{EB} = Q_{EB} / I_C$, $t_B = Q_B / I_C = t_n / t_b$,

$t_C = Q_C / I_C + r_c C_C = W_{EC} / 2V_s + r_c C_C$, $t_T = r_e (C_e + C_c) = (C_e + C_c) kT / q I_C$ 이며 각각이 갖는 의미는 문헌[12]를 참고하기 바란다. 또한 최대 발진 주파수 f_{max} 및 디지털 회로에서의 최소 지연시간 t_d 는;

$$f_{max} = \sqrt{f_T / (8\pi r_o C_C)} \quad (4)$$

$$t_d = 5/2 r_o C_C + t_B \cdot r_b / R_L + (3C_C + C_L) R_L \quad (5)$$

와 같이 표시된다.^[11]

식(3)의 각 성분 및 식(2)와 실험치와의 비교를 그림 3에 하였다. 이 그림에서 알 수 있듯이 작은 콜렉터 전류에서는 f_T 가 에미터 및 콜렉터 transition capacitance charging time t_T 에 의하여 좌우되므로 f_T 는 I_C 에 비례하여 증가되나 높은 전류에서는 t_B 의 증가로 다시 감소하게 되어 peak f_T 가 나타나게 된다(이것을 base widening effect라고 한다.^[12]). 그림 3에서 측정치와 이론치에 약간 차이가 나는 것은 이론치를 1차원적으로 계산하였으므로 2차원적인 성질, 즉 2차원적인 C_e 및 C_c , 에미터 crowding effect, vander Ziel and Argouridis effect등을 고려하지 않았기 때문에 생긴 것으로 생각된다.^[12,13] 아 물론 식(3)은 bipolar 트랜지스터 소자의 고주파 특성을 예측하는데 충분히 정확하다고 생각된다.

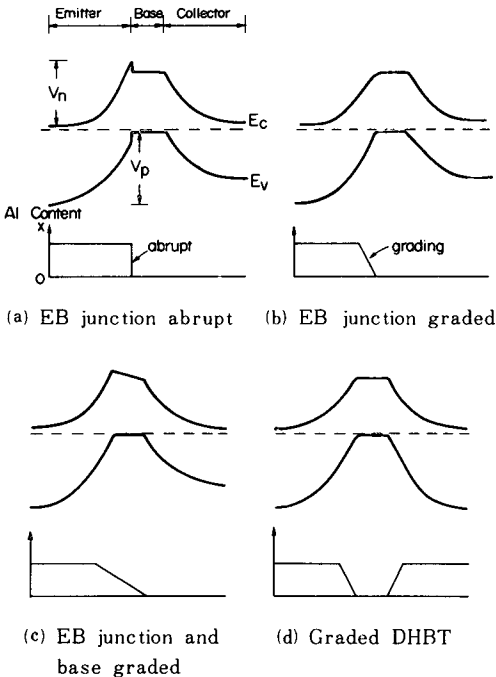


그림 2. 4 종류의 HBT에 대한 energy band diagram 및 조성

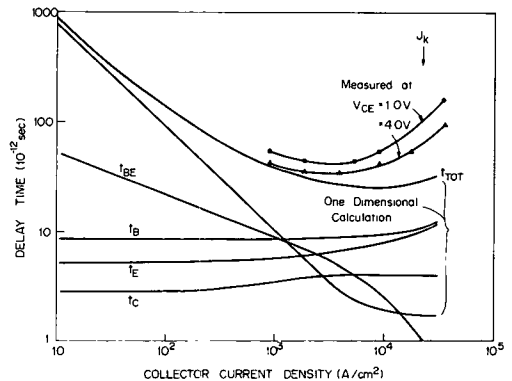


그림 3. 콜렉터 전류에 따른 지연시간의 이론치와 측정치의 비교^[13]

식(3), (4), (5)를 기초로 HBT의 성능을 Si bipolar에 비하여 어떻게 우월하게 만들 수 있나를 살펴보면 다음의 3가지로 요약할 수 있다.

첫째로 t_B 및 t_C 를 줄일 수 있다.^[14,15,16] GaAs에서 전자의 static velocity는 Si보다 빠를 뿐만 아니라 velocity overshoot effect, ballistic effect 등에 의하여 더욱 빨라지게 되며 이 효과는 베이스영역을 grading

시킴으로서 더욱 크게 만들 수 있다(그림2의 (c)참조).

둘째로 r_b 를 줄일 수 있다. 전술한 바와 같이 HBT의 경우는 베이스 영역을 높게 도우핑시킬 수가 있다. 식(4)에서 알 수 있듯이 f_{max} 는 $\sqrt{I/r_b}$ 에 비례하여 증가되나 디지털회로에서는 식(5)처럼 t_a 가 r_b 에 비례하여 줄어들므로 그 영향이 훨씬 크다. 이 경우 C_e 가 커지는데 이것은 에미터를 낮게 도우핑함으로써 줄일 수가 있다.

세째로 높은 콜렉터 전류에서 f_T 가 나빠지는 것을 줄일 수 있다. 그림4에서 알 수 있듯이 같은 구조를 갖는 HBT와 Si bipolar의 경우, 많은 콜렉터 전류에서 Si bipolar의 f_T 특성이 나빠지는데 비하여 HBT는 그렇지 않은데, 이것은 GaAs에서의 전자의 속도가 빠른 것과 높은 베이스 도우핑에 기인한다. 이는 또한 특히 고속 전력소자로서 HBT가 매우 중요하다는 것을 말해준다.

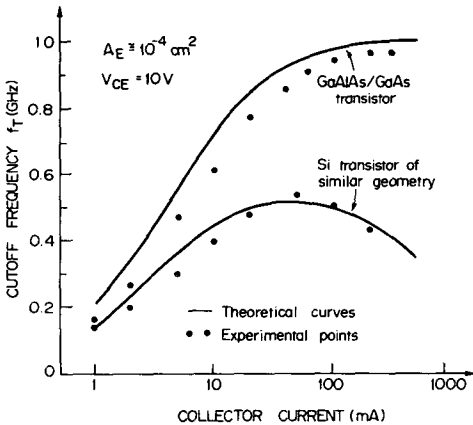


그림 4. 같은 구조를 갖고 있는 GaAlAs/GaAs HBT와 Si 트랜지스터의 차폐주파수와 콜렉터 전류 특성⁽¹⁷⁾

III. 최근의 HBT 기술동향 및 문제점

이 장에서는 위에서 언급된 HBT의 장점을 구현하기 위하여 어떤 기술이 쓰였는지 구체적으로 알아보고 그 문제점을 논하려 한다.

1. 자기정합 구조^(3,7,15)

r_b 를 줄이기 위해서는 베이스 도우핑을 높게하는 것은 물론 베이스와 에미터의 간격이 좁을 수록 좋다. 그림5는 최근의 가장 발전된 모양의 소자구조를 보여주고 있다. 베이스와 에미터의 자기정합은 r_b 를 줄이는

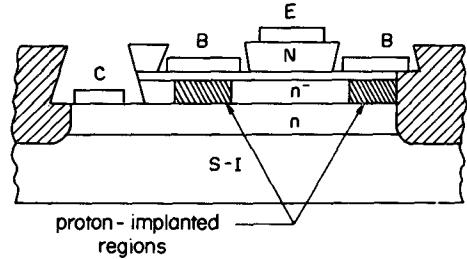


그림 5. 자기정합 베이스 접촉이 된 HBT의 단면구조⁽²⁾

것 이외에 공정을 단순화할 수 있는 추가 장점이 있다.

2. 평면화 구조

집적회로 공정에서는 photolithography, step coverage 등에서 planar한 것이 일반적으로 매우 중요할 뿐만 아니라, HBT의 경우 mesa에 비하여 r_b 를 줄일 수 있을 뿐더러, parasitic injection을 줄여주므로 injection efficiency를 높여준다는 장점이 있다.⁽¹¹⁾ 이 planar 구조를 위하여 베이스 도우핑하는 방법에는 확산,⁽¹⁸⁾ 이온주입⁽¹⁹⁾이 있으나 자기정합 면에서 이온주입이 유리하다. 또한 planar한 isolation도 매우 중요하다. 기존 planar isolation 경우는 산소 및 수소원자를 이온주입하여 얻을 수 있는 데 반하여, v-groove를 이용한 isolation scheme이 주목할 만 하다.⁽²⁰⁾

3. Composition Grading

Emitter injection efficiency를 높이기 위하여 또 6절에서 언급할 collector offset voltage를 줄이기 위하여 emitter junction을 적당히 grading시킬 필요가 있다(그림2의 (b)참조). 이때 parabolic grading을 하면 이론적으로 energy band spike가 없어진다.⁽²¹⁾ 또한 베이스를 grading시키면(그림2의 (c)참조), 2장에서 언급된 바와 같이 built-in field가 생겨서 t_b 를 줄여주므로서 높은 속도 및 전류이득을 얻을 수 있다.^(14,15,16,22)

4. DHBT(double heterojunction bipolar transistor)

DHBT는 emitter-collector의 interchangeability로 인하여 회로 layout시 많은 flexibility를 준다.^(11,23) 또한 식(4), (5)에서 알 수 있듯이 C_e 보다는 C_c 를 줄이는 것이 고속을 얻는데 효과적인 것에 착안하여 콜렉터를 위로 뽑아서 만든 DCTL이 시도되었다.⁽²⁴⁾ 더우기 EB 및 BC junction을 대칭으로 함으로서 collector offset voltage를 줄일 수 있다.^(25,26) DHBT가 갖는

또 하나의 중요한 점은 DH laser와 같은 구조이므로 OEIC (optoelectronic IC) 구성에 매우 유용하다는 것이다.

5. Proton or Oxygen Implant to Extrinsic BC Junction

Extrinsic BC junction에 proton이나 oxygen implant를 해주므로서 C_c 를 줄여서 속도를 매우 빠르게 한 것이 보고되어 있다.^{12,27} 이것은 또한 자기정합 EB 공정에서는 매우 쉽게 적용할 수 있다.

6. 문제점 I - Collector Current and Emitter Periphery/area Ratio Dependences of β

현재 AlGaAs/GaAs HBT 기술상의 문제점의 하나는 그림 6에 나타나 있듯이 전류이득 β 가 $I_c^{-1/n}$ 의 dependence가 있는 것이다. 이 n 은 EB junction diode의 ideality factor에서 기인되는 것으로서 1에서 2사이의 값을 갖으나 대부분의 경우 2이다. 이 n 이 EB diode의 bulk에서 생긴 recombination에 의한 것인지 표면에서 생긴 recombination에 의한 것인지 또는 양쪽 모두에 의한 것인지에 대해서는 아직도 많은 논란이 있다. 이 현상이 bulk EB heterojunction의 특성에 기인한다는 것이 이론^{128,29} 및 실험적³⁰으로 밝혀졌지만, 그 반대로 표면의 누설전류를 줄여서 $n=1$ 을 얻은 경우도 있다.^{31,32} 표면 누설전류의 경우 소자가 작아지면서 emitter periphery/area의 비율이 커지므로 β 가 작아져서 VLSI용으로 쓸 수가 없게 된다.¹⁶¹ 그림 6에 InGaAs/InP의 이득특성이 나타나 있다. AlGaAs/GaAs와 달리 거의 이상적인 이득특성을 나타내고 있는데 이는 적은 표면 누설전류에 기인한다고 생각된다.³³ InGaAs/InP의 또 하나의 장점은 문턱전압이 0.4V 정도로 AlGaAs/GaAs에 비하여 훨씬 낮아서 IC에 더욱 유리하다는 것이다. 따라서 InGaAs/InP야말로 VLSI용 HBT에 매우 적합한 소

재라고 생각된다.

7. 문제점 II - Collector Offset Voltage

HBT의 또 하나의 문제는 콜렉터와 에미터 사이에 0~1.5V의 offset voltage를 걸어 주어야 콜렉터 전류가 흐른다는 것이다. 이것은 포화 논리회로 구성에 있어서 전력소모가 많아지므로 매우 바람직하지 못하다. 이 원인으로서의 EB와 BC의 diode turn-on voltage 차이,³⁴ 에미터 접촉저항, ideality factor n , EB와 BC의 junction의 면적 차이, BC의 접합 quality 등이³⁵ 유력시 되고 있으나 아직 정확한 이유가 밝혀져 있지 않은 실정이다.

IV. HBT의 기술 전망

전술한 HBT의 장점으로 미루어 볼 때, HBT는 고속 디지털 및 아날로그 IC, OEIC에 매우 유망한 반도체 소자라고 보여진다.

1. 고속 디지털 회로 소자로서의 HBT의 전망

그림 6에 각 VLSI용 반도체 소자의 전력소모 및 지연시간이 나타나 있다. HBT의 경우 gate 당 약 1mW의 전력에서 10~100 pS의 지연시간을 갖으므로 고속 소자로서 적합함을 알 수 있다. 전력소모 면에서는 MESFET/TEGFET 보다 다소 불리하나, 서론에서 언급한 바와 같이 bipolar가 갖고 있는 높은 구동능력 및 문턱전압의 균일성 등의 장점으로 볼때 고속 LSI에 쓰일 전망은 훨씬 밝다고 생각된다.

2. 고속 아날로그 소자로서의 HBT의 전망

HBT는 또한 고속의 주파수 분할기, AD converter 등의 아날로그 IC에 적합할 뿐만 아니라 특히 초고주파 전력증폭 소자로서 매우 중요한 것으로 기대된다. Si bipolar 전력 트랜지스터의 경우 구동능력은 MOS 보다 훨씬 크나 minority carrier storage time이 걸

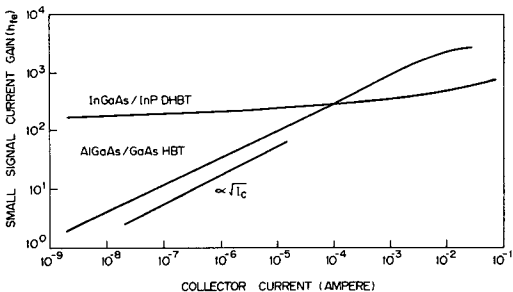


그림 6. InGaAs/InP DHBT 및 AlGaAs/GaAs HBT의 콜렉터 전류에 따른 h_{fe} 의 변화특성³³

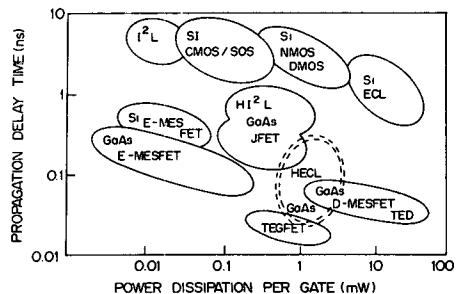


그림 7. HBT ECL과 (그림에서 'HECL'로 표시된 부분) 다른 논리회로용 기술과의 성능비교³⁰

어서 속도가 매우 느리다. 이에 비하여 HBT의 경우 minority carrier life time이 매우 짧을 뿐만 아니라, 베이스를 grading시키면 같은 콜렉터 전류밀도에서 베이스에 저장된 minority carrier의 양을 적게 할 수 있으므로 고속전력 소자에 이상적이다. 더구나 GaAs는 Si보다 더 높은 파괴전압 및 속도를 갖고 있기 때문에 전력 취급 능력이 훨씬 커진다.^[36] 비록 현재 state of art f_T 의 값은 0.1 μ m의 gate length GaAs MESFET의 80GHz^[37] 보다는 훨씬 느리나 submicron emitter stripe을 이용하면 비슷해 지리라 보며 전력 면에서는 MESFET보다 훨씬 유리할 것으로 생각된다.^[38]

3. OEIC로의 HBT의 전망

미래의 종합통신망에서 광통신이 차지하는 비중은 매우 높다. 심지어는 정보처리 시스템 내에서 subsystem 간의 연결, VLSI 소자간의 연결을 고속으로 하기 위해서도 광통신이 필요하게 된다.^[39] 이 점으로 볼 때 전자회로와 광소자를 집적시키는 OEIC는 매우 중요하다. 이런 면에서 HBT는 DH laser와 같은 구조를 갖고 있으므로 monolithically 집적될 수 있으므로 OEIC 소자로서도 매우 유망하다.

V. 결 론

고속회로 소자로서의 HBT의 최적화 설계 및 이를 구현하기 위한, 자기정합, 평면화 구조, composition grading, DHBT, C_c를 줄이기 위한 이온주입 및 현재 기술상의 문제점으로 부각되어 있는 scale down 된 소자에서의 전류이득 감소 현상, 콜렉터 offset voltage 등에 대하여 살펴보았으며, HBT 기술이 미래 산업에 끼치는 영향에 대하여 고속 디지털, 고속 아날로그, OEIC를 중심으로 논하였다.

參 考 文 獻

[1] A.W. Wieder, "Submicron Bipolar Technology-New Chances for High Speed Applications", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 8-11, 1986.
 [2] M.F. Chang, et al., "AlGaAs/GaAs Heterojunction Bipolar Transistor Circuits with Improved High-Speed Performance", *Electron*, vol. 22(22), pp. 1173-1174, 1986.
 [3] M.F. Chang, et al., "GaAs/(GaAl) As Heterojunction Bipolar Transistor Using a Self-Aligned Substitutional Emitter Process", *IEEE Elect. Dev. Lett.*, EDL-7(1), pp. 8-10, 1986.

[4] T. Ishibashi, et al., "Self-Aligned AlGaAs/GaAs Heterojunction Bipolar Transistors for High Speed Digital Circuits", Tech. Dig. of Int. Elect. Dev. Meeting, pp. 809-810, 1986.
 [5] S. Konaka, et al., "A 30-ps Si Bipolar IC Using Super Self-Aligned Process Technology", *IEEE Trans. on Elect. Dev.*, ED 33(4), pp. 526-531, 1986.
 [6] H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors", *Proc. IRE*, vol. 45 (11), pp. 1535-1537, 1957.
 [7] W.P. Dumke, et al., "GaAs-GaAlAs Heterojunction Transistor for High Frequency Operation", *Solid-State Elec.*, vol. 15, pp. 1339-1343, 1972.
 [8] A. Cazarre, et al., "GaAlAs/GaAs Heterojunction Bipolar Photo-transistors Grown by LPE with a Current Gain of 50000", *Electron. Lett.*, vol. 21(24), pp. 1124-1126, 1985.
 [9] C. Dubon et al., "Double Heterojunction GaAs/GaAlAs Bipolar Transistors Grown By MOCVD for Emitter Coupled Logic Circuits", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 689-691, 1983.
 [10] P.M. Asbeck, et al., "GaAs/GaAlAs Heterojunction Bipolar Transistors with Cut off Frequencies above 10GHz", *IEEE Elec. Dev. Lett.*, EDL-3, pp. 366-368, 1982.
 [11] H. Kroemer, "Heterostructure Bipolar Transistors and Integrated Circuits", *Proc. IEEE*, vol. 70(1), pp. 13-25, 1982.
 [12] I.E. Getreu, *Modeling the Bipolar Transistor*, Elsevier Scientific Publishing Company, Amsterdam, 1978.
 [13] D.J. Roulston and F. Hebert, "Study of Delay Times contributing to the Bipolar Transistors", *IEEE Elec. Dev. Lett.*, EDL-7(8), pp. 461-462, 1986.
 [14] K. Tomizawa, et al., "Monte Carlo Simulation of AlGaAs/GaAs Heterojunction Bipolar Transistor", *IEEE Elec. Dev. Lett.*, EDL-5(9), pp 362-364, 1984.
 [15] C.m. Maziar, et al., "A Proposed Structure for Collector Transit-Time Reduction in AlGaAs/GaAs Bipolar Transistors", *IEEE Elec. Dev. Lett.* EDL-8(8), pp.483-485, 1985.
 [16] T. Izawa, et al., "AlGaAs/GaAs Heterojunction Bipolar Transistors", Tech. Dig. of

- Elec. Dev., pp. 328-331, 1985.
- [17] J.P. Bailbe, et al., "Design and Fabrication of High-Speed GaAlAs/GaAs Heterojunction Transistors", *IEEE Trans. on Elec. Dev.*, ED-27(6), pp. 1160-1164, 1980.
- [18] D. Ankri and A. Scavennec, "Design and Evaluation of a planar GaAlAs-GaAs Bipolar Transistor", *Electron. Lett.*, vol. 16(1), pp. 41-47, 1980.
- [19] P.M. Asbeck, et al., "Application of Thermal Pulse Annealing to Ion-Implanted GaAlAs/GaAs Heterojunction Bipolar Transistors", *IEEE Elect. Dev. Lett.*, EDL-4(4), pp. 81-84, 1983.
- [20] T. Ohshima, et al., "A Self-Aligned GaAs/AlGaAs Heterojunction Bipolar Transistor with V-Groove Isolated Planar Structure", GaAs IC Symposium, pp. 53-56, 1985.
- [21] J.R. Hayes, et al., "Elimination of the Emitter/Collector Offset Voltage in Heterojunction Bipolar Transistors", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 686-688, 1983.
- [22] S. Tiwari and D.J. Frank, "Simulation and Analysis of Recombination and Grading Effects in GaAlAs/GaAs HBT's", *IEEE Trans. on Elec. Dev.*, ED-33(11), pp. 1844, 1986.
- [23] P. Narozny and H. Beneking, "Double Heterojunction GaAs/GaAlAs I^2L Inverter", *Electron. Lett.*, vol. 21(8), pp. 328-329, 1985.
- [24] K. Morizuka, et al., "Collector-Top GaAs/AlGaAs Heterojunction Bipolar Transistors for High-Speed Digital ICs", *Electron. Lett.*, vol. 22(6), pp. 315, 1986.
- [25] A.C. Gossard, et al., "Collector/Emitter Offset Voltage in Double-Heterojunction Bipolar Transistors", *Electron. Lett.*, vol. 20(19) pp. 766-767, 1984.
- [26] N. Chand, et al., "Collector-Emitter Offset Voltage in AlGaAs/GaAs Heterojunction Bipolar Transistors", *Appl. Phys. Lett.*, vol. 47(3), pp. 313-315, 1985.
- [27] P.M. Asbeck, et al., "GaAs/(Ga,Al) As Heterojunction Bipolar Transistors with Buried Oxygen-Implanted Isolation Layers", *IEEE Elect. Dev. Lett.*, EDL-5(8), pp. 310-312, 1984.
- [28] S. Tiwari, "GaAlAs/GaAs Heterostructure Bipolar Transistors: Experiment and Theory", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 262-265, 1986.
- [29] J. Yoshida, et al., "Emitter-Base Bandgap Grading Effects on GaAlAs/GaAs Heterojunction Bipolar Transistor Characteristics", *IEEE Trans. on Elec. Dev.*, ED-32(9), pp. 1714-1721, 1985.
- [30] C. Dubon, et al., "Double Heterojunction GaAs-GaAlAs Bipolar Transistors Grown by MOCVD for Emitter Coupled Logic Circuits", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 689-691, 1983.
- [31] E.J. Zhu, et al., "An Emitter Guard-Ring Structure for GaAs High-Gain Heterojunction Bipolar Structures", *IEEE Elec. Dev. Lett.*, EDL-6(), pp. 91-93, 1985.
- [32] H. Hsiung, et al., "Super-Gain AlGaAs/GaAs Heterojunction Bipolar Transistors Using an Emitter Edge-Thinning Design", *Appl. Phys. Lett.*, vol. 47(8), pp. 839-841, 1985.
- [33] R.N. Nottenberg, et al., "InGaAs/InP Double-Heterostructure Bipolar Transistors with Near-Ideas β Versus I_c Characteristics", *IEEE Elec. Dev. Lett.*, EDL-7(11), pp. 643-645, 1986.
- [34] S.C. Lee, et al., "Origin of High Offset Voltage in an AlGaAs/GaAs Heterojunction Bipolar Transistor", *Appl. Phys. Lett.*, vol. 45(10), pp. 1114-1116, 1984.
- [35] N. Chand, et al., "Collector-Emitter Offset Voltage in AlGaAs/GaAs Heterojunction Bipolar Transistors", *Appl. Phys. Lett.*, vol. 47(3), pp. 313-315, 1985.
- [36] A.G. Milnes, *Semiconductor Devices and Integrated Electronics*, Chap. 4, van Nostrand Reinhold Company, New York, 1980.
- [37] U.K. Mishra, et al., "MBE Grown GaAs MESFETs with Ultra-High g_m and f_T ", Tech. Dig. of Int. Elec. Dev. Meeting, pp. 829-831, 1986.
- [38] B. Kim, et al., "AlGaAs/GaAs Heterojunction Bipolar Power Transistors", *Electron. Lett.*, vol. 21(7), pp. 258-259, 1985.
- [39] See for example, *Gallium Arsenide Technology*, ed. by D.K. Ferry, Howard W. Sams & Co., Inc., Indianapolis, Chap. 10, 1985.*