

차세대 기억소자의 기술동향

劉賢奎*, 姜相元**, 李振孝***

(正會員)

韓國電子通信研究所 記憶素子開發事業本部 工程開發室
 研究員*, 室長**, 集積回路開發部 研究委員***

I. 서론

반도체 산업은 고도 정보화 사회를 추구하고 있어 원동력이 되는 기간산업으로써, 가전제품으로부터 산업용은 물론, 우주항공 분야에 이르기까지 거의 전산업 분야에 응용되고 있다.

특히 반도체 기술혁신의 핵심체로 작용하는 기억소자 기술은 최근 수년동안 예상보다 급속히 발전되고 있으며, 미국, 일본 등 반도체기술 선진국에서는 새로운 반도체 공정장비 및 재료등의 개발로 초고집적화 기술혁신이 이루어지고 있다. 설비 및 연구개발비에 막대한 투자가 요구되는 초고집적 반도체 사업을 보다 능률적으로 추진하기 위해서 미, 일, 유럽 등에서는 최근 정부의 적극적인 재정지원 및 기업공동체 연구조합을 결성하여 본격적인 차세대 기억소자 개발을 시도하고 있다.

4M DRAM을 시작으로 이미 서브마이크론 급 시대에 돌입한 기억소자는 1M DRAM에 비해 트랜치 커패시터를 채용하는 등 대폭적인 공정변화가 요구되고 있다. 또한 평면형 기억소자의 공정 및 소자 기능이 한계에 도달할 것으로 예상되는 64M DRAM 등의 ULSI급 소자개발을 위해 특히 일본을 중심으로 소자의 입체화에 관한 연구가 '81년부터 활발히 진행되고 있다.

초고집적화에 따른 이와 같은 개념적 변화로 DRAM 메이커들은 그들의 설계 및 공정능력의 강·약점에 대한 새로운 평가작업을 실시하고 있으며 제품사양 및 이를 뒷받침할 수 있는 메모리 셀과 공정방법 채택에 대한 신중한 검토가 진행되고 있다.

본고에서는 먼저 기억소자 시장동향을 분석한 뒤 차세대 기억소자를 위한 셀 구조 및 요소기술 개발동향을 살펴보고 이들 토대로 차세대 기억소자 개발을 위한 전략을 기술하였다.

II. 기억소자 산업전망

기억소자의 대용량화로 인한 비트당 단가 하락은 메모리 시장을 급속히 확대시켜 왔다. 4K, 16K DRAM 시대의 주요 이용분야로는 범용컴퓨터의 메인메모리, 미니컴 등에 국한되었으나 대용량화, 고밀도화 및 고속화 등으로 고기능화된 현재의 메모리는 이들뿐만 아니라 퍼스컴, 화상분야, 민생용 영상분야, 산업전자기기 분야 등 매우 다양한 방면으로 그 용도를 확대시켜 나가고 있다.

산업용 전자기기 분야에서는 통신네트워크, VAN, LAN 등에 의한 퍼스널컴퓨터나 워크스테이션의 고기능화가 이루어지고 있는데, 이러한 기술향상의 중요한 요인중의 하나가 IC메모리로서, 이것 없이는 정보화 사회의 실현은 사실상 불가능하다고 할 수 있다. 그리고 민생용 기기분야의 대부분을 차지하고 있는 VTR, TV, 오디오의 기술은 아날로그로부터 점차 디지털 기술로 전환되고 있어 고품위 영상이나 고음질을 추구하고 있다. 민생용 기기나 전자기기 이외에, 향후 새로운 방식의 IC메모리를 사용한 인공지능 컴퓨터에 거는 기대는 매우 크다고 할 수 있다.

이와 같은 배경에서 IC메모리의 수요는 장차 크게 향상되어, 1985년도 최악의 불황을 만회하여 20~30% 정도의 고도 성장을 거듭하여 갈 것으로 예상된다.

표1은 이 같은 반도체시장 환경에 대한 세계 반도체 시장 수요전망을 나타낸 것이다. 세계 반도체시장은 '86년 250억불 수준에서 연평균 20%씩 성장하여 2000년대에는 약 4000억불에 도달할 것으로 전망되며 그중 기억소자는 시장의 20~30%를 점유하여 2000년엔 800억불 이상이 될 것으로 보인다. 또한 DRAM의 경우는 '87년 29억불 정도의 세계시장 규모가 예상되며 16M DRAM의 양산이 기대되는 '91년에는 약 60억불로 증가 될 것으로 보인다. DRAM은 MOS 기억소자 시장의 절

표 1. 世界 半導體 市場 需要 展望

(單位: 百萬弗)

年度 區分	1987	1988	1989	1990	1991	1996	年度別 增加率(%)	
							87~91	91~96
半導體	38,163	47,346	46,357	55,455	67,908	152,562	18.3	17.6
集積回路	30,498	38,670	37,848	46,105	57,264	135,050	20.3	18.7
記憶素子 (MOS)	7,348	10,033	8,935	11,089	14,055	33,082	23.3	18.7

자료: Dataquest, May 1986

반 가량을 점유할 뿐아니라 향후 시장전망을 시험하는 지표로서 가장 관심이 집중되는 부분이다. 새로운 첨단 기술력에 의한 신제품이 출하되면 시장구조의 변화를 가져오게 되는데, 반도체 산업의 치열한 경쟁관계는 한 제품이 시장 형성을 하기 바쁘게 새로운 제품이 나타나서 특히 DRAM 시장의 불안정성을 조성하고 있다. 그러나 미·일의 반도체 협정에 의해 기억소자 제품의 가격 통제가 작용하면서부터 향후는 건전한 시장형성과 생산수익 안정이 기대되고 있다.

기억용량별, 시장형성 시기를 살펴보면 현재 메모리 시장에 공급되고 있는 1M DRAM의 시장규모는 그림 1에서 볼 수 있듯이 4M DRAM의 본격적인 출하가 예상되는 '88년을 기점으로 감소될 것으로 예상되며 연구 개발 단계인 16M DRAM은 '90년대 후반기에 이르러 최대의 시장을 형성할 것으로 예측된다. 위와 같은 기억용량별 시장형성 시기의 변화를 고려할 때, 기억소자의 개발 및 양산화 시점은 매우 중요한 요소임을 알 수 있다.

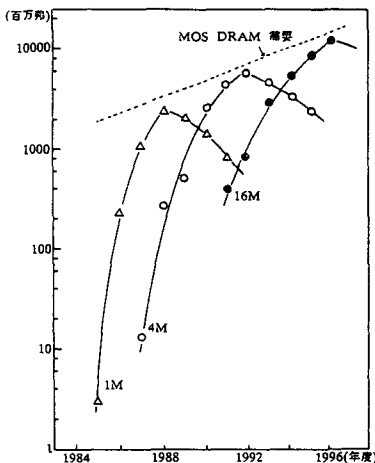


그림 1. 기억소자 시장동향

선진국의 경우 기억소자는 그림 2에서 볼 수 있듯이 시제품 개발후 양산화 단계까지는 3~4년이 소요되고 있다. 국내 현황을 살펴보면, '82년 실리콘 게이트 NMOS의 32K 및 64K ROM 집적회로의 시험생산을 시발점으로 '86년 약 1.3 μ m 설계규칙을 갖는 256K SRAM 및 1M DRAM을 개발, 상품화 단계에 와 있으며 '86년 9월부터 대형국책 사업으로 4M DRAM 개발이 시작되어 관련요소 기술을 개발하고 있으며 이와 병행하여 '88년 2월에 4M DRAM의 시제품 제작을 목표로 작업이 진행되고 있다. 최근 5년간의 가공 기술에 관한 집중적인 기술도입과 함께 그동안 적극적으로 추진된 자체 기술 개발의 결과로 국내 반도체 제조기술은 급격한 성장 및 기술에 대한 높은 적응력을 갖추게 되었으며 이로 인한 기억소자의 양산화의 소요기간이 선진국과 비교하여 약 1~2년으로 앞당겨지고 있다.

이와 같은 추세를 감안하여, 현재 개발중인 4M DRAM과 아울러 차세대 기억소자에 대한 개발시기를 늦추지 않고 계속 추진해 나갈 수 있으면 향후 '91년도에서는 16M DRAM 양산화 시기가 선진국과 대등해질 것으로 예상된다.

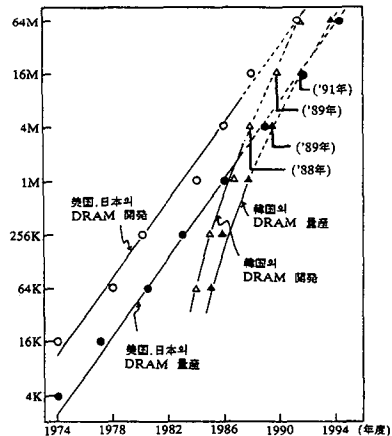


그림 2. 국내외의 기억소자 개발 및 양산화 전망

III. 셀 구조 개발동향

세계 DRAM의 생산 및 기술 현황은 1M DRAM의 본격적인 양산체제 돌입과 이에 따른 4M DRAM의 제조기술 확립 및 차세대 기억소자개발 등으로 요약될 수 있다. 특히 금년말 샘플 출하가 확실시 되는 4M DRAM은 자사의 선택한 셀구조들의 생산성, 신뢰성, 패키지 크기 등에 대한 검토가 마무리 되면서 최종 결

정단계에 접어들었기 때문에 관심의 초점이 되고 있다.

1. 기존 Megabit급 DRAM의 셀구조

기억소자의 칩면적 중 메모리 셀이 차지하는 비율은 약 40% 정도에 이른다. 따라서 대용량화를 추진하기 위해서는 메모리셀 면적을 최소화시키는 것이 필수적인데, 특히 DRAM 셀에 있어서의 가장 큰 장애물은 좁은 면적에 얼마나 큰 용량의 커패시터를 넣을 수 있는냐 하는 것이다. 이러한 요구에 대응하기 위해 DRAM 제작회사들은 경쟁적으로 새로운 셀 구조를 발표하였는데 표2에서는 지금까지 개발된 megabit급 DRAM 셀을 구조적 측면에서 분류해 보았다. 표2에서 볼 수 있듯이 셀구조로는 트렌치형이 주류를 이루고 있음을 알 수 있다. 또한 SOI(silicon on insulator) 기술을 이용한 gain 셀 및 SSS (stacked switching-transistor in SOI) 구조도 부분적으로 시도되고 있다.

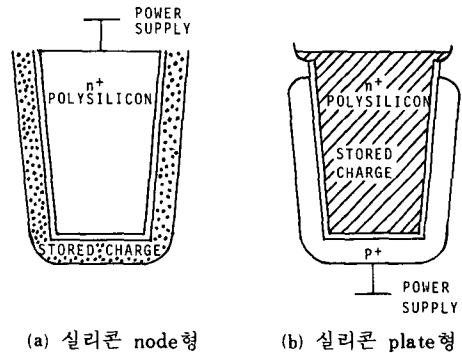
256K DRAM까지는 대부분 planar형 셀을 사용하고 있었으며 1M DRAM에서도 제조가 쉽다는 장점 때문에 이 셀을 사용하는 메이커가 주류를 이루고 있다. 그러나 축소된 면적에서 큰 축적용량을 얻기 위해서는 커패시터 절연막을 매우 얇게 해야하므로 셀면적 축소의 한계점이 있다.

이에 비하여 stack형 셀구조는 커패시터를 트랜지스터나 배선위에 배치하여 planar형 보다 면적 이용률을 높이고 α 입자에 의한 전하 수집등도 감소시킬 수 있으나, 폴리실리콘이 3층으로 적층되어야 하므로 이로

인한 심한 단차와 절연막의 신뢰성 약화는 stack 구조의 단점이 되고 있다.

유한한 평면에서 유효면적을 확대시키는 가장 적절한 방법으로는 실리콘 기판에 홈을 형성하여 홈의 벽면을 커패시터로 사용하는 트렌치 구조를 제조하는 것이다. 전식식각 기술의 급속한 발전에 힘입어 '82년 Hitachi사가 트렌치 셀을 DRAM에 최초로 적용한 이래 4M DRAM 단계에서는 대부분 트렌치 셀구조를 채택하고 있다.¹¹⁾ 그림 3은 트렌치 구조에서 전하를 축적하는 대표적인 두종류(실리콘기판 node형 및 plate형)에 대한 개념도이다.

CCC와 같이 트렌치 외벽에 전하를 축적하는 실리콘 기판 node형은 plate에 가해진 전압에 의해 공핍층이



(a) 실리콘 node형 (b) 실리콘 plate형

그림 3. 전하 축적 개념도

표2. Megabit급 DRAM의 셀 구조

셀 구성	셀 구조	트렌치구조	커패시터구조	대표 예	
1 트랜지스터/1커패시터 형	Planar형			planar, Hi-C	
				STC	
	Stack형				CCC, DTC, Hi-CAT
					BSE, SPT
	Trench형	-1 커패시터/trench-	-실리콘 기판 node형		BSCC
			-실리콘 기판 plate형		TTC
			-stack형		FCC, BIC
			-1 셀/trench - - - - -	-실리콘 기판 plate형	
			-Isolation병용 - - - - -	-실리콘 기판 node형	
				-stack형	IVEC
	SOI형			SSS, SOI	
				3D Folded	
gain 셀형				TITE	

(주) ST (Stacked Capacitor) FCC (Folded Capacitor Cell)
 CCC (Corrugated Capacitor Cell) BIC (Buried Isolation Capacitor)
 DTC (Depletion Trench Capacitor) IVEC (Isolation-merged Vertical Capacitor)
 BSE (Buried Storage Electrode) SSS (Stacked Switching-transistor in SOI)
 SPT (Substrate Plate Trench) SOI (Silicon on Insulator)
 BSCC (Buried Stracked Capacitor Cell) TITE (Transverse Injected Two Electrode)
 TTC (Trench Transistor Cell)

형성되며 α 입자가 입사될 경우 실리콘 기판에 발생한 전하가 트렌치 외벽으로 수집되기 때문에 punch-through 및 soft error를 유발할 가능성이 크다. BSE 등 실리콘 기판 plat형의 셀은 트렌치 내벽의 도우핑된 폴리실리콘에 전하를 내장하고 트렌치 외벽을 커패시터의 전극으로 사용하는 구조로서 실리콘 기판 node형 보다 한단계 향상된 셀로 평가된다. 이 구조는 전하가 트렌치 속으로 유입되는 영역을 제외하고는 punch-through 문제가 발생하지 않으며 내장된 전하는 벽면의 절연층에 의해 보호받게 되므로 비트선의 soft error에도 매우 강하다.

그림 4는 TI사의 TTC 단면도인데 $1\mu\text{m}$ 설계규칙으로 약 $9.0\mu\text{m}^2$ 의 셀 크기를 제작하였다.^[12] 개구부 면적 $1.3 \times 1.5\mu\text{m}^2$, trench 깊이 $8\mu\text{m}$ 인 본 구조는 위의 $2\mu\text{m}$ 부분은 트랜스퍼 게이트(transfer gate)로 형성되고 아래 $6\mu\text{m}$ 부분은 커패시터로 이루어져 있다.

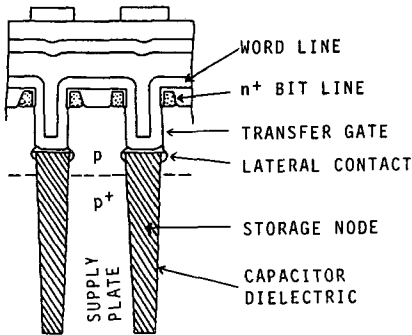


그림 4. Trench Transistor Cell (TTC) 단면도

TTC형 셀은 셀면적 축소를 위한 획기적인 방법이기 는 하나 트렌치 벽면이 활성영역으로 작용하기 때문에 표면 플라즈마 손상 방지책이 강구되어야 하며 트랜스퍼 트랜지스터의 내장으로 매우 깊은 길이의 트렌치가 요구되므로 고정밀도의 건식식각 기술이 본 구조의 핵심이 되고 있다. TI 연구진들은 이와 같은 이유로 본 구조를 위한 건식식각 장비를 자체개발, 공정에 적용하였는데 그 결과 트렌치 상단부 $2\mu\text{m}$ 는 85° , 하단부 $6\mu\text{m}$ 는 $89^\circ \pm 0.5^\circ$ 의 우수한 형상조절 능력을 확보하였고 식각속도 $2.5\mu\text{m}/\text{min}$, 실리콘/산화막 간의 선택비 150 이상, 그리고 실리콘/감광막 선택비 40등 놀라운 성과를 거두고 있다.^[13]

셀 크기 축소의 또 한가지 방법으로 제시된 구조로는 FCC, BIC 및 IVEC 등 트렌치에 커패시터와 소자

격리를 동시에 적용시키는 방법이다. 그림 5는 NTT 연구진에 의해 발표된 IVEC 구조의 단면도이다. 그림에서 볼 수 있듯이 트렌치 내부에 폴리실리콘으로 된 node 및 plate가 유전체를 중심으로 적층되어 있어 별도의 소자격리가 불필요하고, 트렌치 이웃간의 punch-through가 없으며 전계가 실리콘 기판에 미치지 않으므로 soft error에 매우 강한 장점을 가진다. NTT에서는 '87.2 ISSCC에 IVEC 구조를 이용하여 설계규칙 $0.7\mu\text{m}$, 셀크기 $1.5 \times 3.25\mu\text{m}^2$, 구동전압 3.3V의 16M DRAM의 개발사례를 발표한 바 있는데 좁은 트렌치에서 폴리실리콘/유전체/폴리실리콘을 수직방향으로 적층시켜야 하는 공정난이도를 감안할 때 본격적인 양산을 위한 개발 인지의 여부는 다소 회의적이다.^[14]

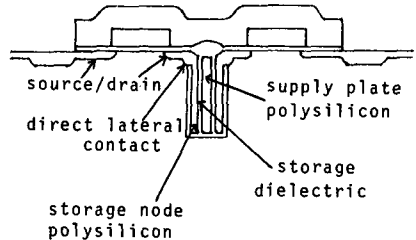


그림 5. Isolation-merged Vertical Cell (IVEC) 단면도

2. 차세대 기억소자를 위한 셀 구조

제품의 개발과 생산단계 사이에는 많은 이질적인 요소가 내재해 있으므로 메모리 셀 구조의 대폭적인 변화는 매우 어려운 문제이며 또한 기술선택에 대한 엄밀한 검토가 있어야 한다. 금년말 4M DRAM을 본격적으로 출하할 것으로 예상되는 일본의 DRAM 제조업체들은 트렌치 셀의 많은 장점에도 불구하고 새로운 구조가 갖는 불안정성을 고려하여 stack형 셀구조에 대한 제품개발도 꾸준히 진행해오고 있는데 1M DRAM 시대와 마찬가지로 2~3 가지 방식의 셀구조를 병행하여 양산할 것으로 보여지고 있다.^[15] 그러나 미국 DRAM 분야의 선두주자인 TI사는 고도의 트렌치 에칭 기술이 필요한 TTC 제품개발을 완료했을 뿐만 아니라 출하중인 기존 1M DRAM도 트렌치형으로 바꾸어 생산에 돌입할 정도로 트렌치형 셀 구조에 대단한 확신을 가지고 있는 것으로 보인다.

트렌치 셀의 성패여부는 결국 트렌치를 얼마만큼 정밀하고 재현성있게 형성할 수 있는가 하는 점과 측면손상을 최소화 시킬 수 있는 공정능력에 달려있다. 이들

두나라는 이미 트렌치 에칭 전용 장비를 개발하였고 차세대 기억소자 제조를 위한 보다 개량된 건식식각 장비개발에 주력하는 한편 저손상 식각장비 개발도 함께 추진하여 많은 성과를 거두고 있다.

이와 같이 트렌치 커패시터가 가지고 있는 공정의 어려움 및 신뢰성의 불안요소 해결을 위한 건식식각 장비개발의 큰 진전을 감안할 때 차세대 기억소자 세대에서는 대부분의 DRAM 제조업체들이 트렌치 셀구조를 택할 것으로 전망된다.

트렌치 셀중에서도 트렌치간의 punch-through 및 soft error에 강한 실리콘 기판 plate형의 커패시터 구조가 채택될 것으로 예상되는데, 특히 trench 내부에 전단 트랜지스터와 커패시터가 동시에 내장된 TTC 및 소자격리와 커패시터 병행의 IVEC 구조는 셀면적의 축소를 위한 획기적인 방법으로서 16M, 64M DRAM 개발에 채택될 가능성이 크다. 그러나 TTC 구조에서는 두 트렌치 간격이 submicron으로 축소될 경우 측벽 contact 부분의 punch through 등 전기적 간섭현상이 심각하게 대두될 것으로 예상된다. 특히 트렌치 주변에 p⁺ 확산을 한다하더라도 구동전압을 현재(5V 혹은 3V)보다 크게 낮추지 않는 한 극히 얇은 p⁺ junction으로 인해 애벌런취 파괴현상이 일어날 가능성이 크므로 이에 대한 기술적인 보완이 요구되며 따라서 개량형 TTC 셀구조가 개발되어야 할 것으로 예상된다. 그림 6은 IVEC 셀에서 셀크기 축소에 대한 트렌치 깊이를 나타낸 것이다. 셀크기가 약 5 μm^2 ($T_{ox}=100\text{\AA}$ 경우)를 경계로 trench 깊이가 급격히 증가해야 함을 볼 수 있는데, 이것은 트렌치가 깊어질수록 바닥부분이 뾰족하게 되면서 실제 면적의 증가가 둔화되기 때문이다.^[6] 대표적인 두 종류의 셀에서 살펴본 것처럼 셀 크기

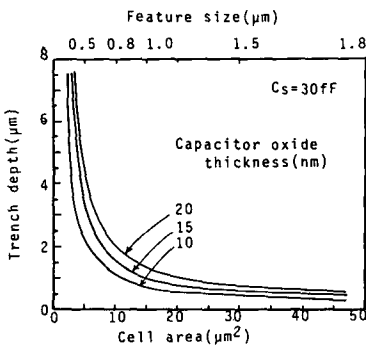


그림 6. IVEC 셀구조에서 셀면적 축소에 대한 트렌치 깊이 변화

가 2 μm^2 로 축소되는 64M DRAM 이상의 경우 공정의 난이도 뿐만 아니라 소자 기능상 trench형의 적용은 어렵다고 판단된다.

그림 7에서 볼 수 있듯이 1M DRAM의 셀면적은 30 μm^2 , 4M DRAM에서는 10 μm^2 전후였지만 16M DRAM에서는 5 μm^2 , 그리고 64M DRAM의 경우 약 2 μm^2 정도의 축소가 예상되고 있다.^[7] 이와 같은 셀크기의 감소추세에 반해 축적용량은

- 전원 전압변동($\pm 10\%$)
- 공정변화에 따른 축적용량의 오차발생
- Soft error 억제를 위한 여분의 커패시턴스 필요
- 비트라인에 의한 기생용량이 scale down ratio를 따르지 못한다는 점

등의 이유로 최소한 50~60fF은 유지되어야 한다고 알려져 있다.^[8] 위와 같은 회로설계상의 제약으로 축적용량의 축소는 한계가 있으므로 그림 8에 보여준 바와 같이 2개의 트랜지스터로 셀을 구성하여 셀 자체에서 read 신호를 증폭시키는 gain 셀 구조가 TI 등에 의해 제안된 바 있다.^[9] Gain 셀 구조는 기준 1 트랜지스터-1 커패시터 셀과 비교하여 회로설계기법상 근본적인 향상을 가져올 수 있으나 SOI 기술을 기본으로 하기 때문에 이에 대한 기술확보가 먼저 구축되어야 한다.

기억용량의 증가에 따른 셀 구조의 변화를 보면 1M DRAM까지는 기존의 평면구조를 채택하고 있으며, 4M DRAM부터 64M DRAM까지는 트렌치 기법을 이용한 입체구조를 응용하리라 예상되며, 특히 64M DRAM 이상에서는 SOI 기술을 이용한 다층구조를 이용할 것으로 예측된다. 이러한 SOI 기술을 이용한 3차원 IC의 기능상 주요 장점으로서는,

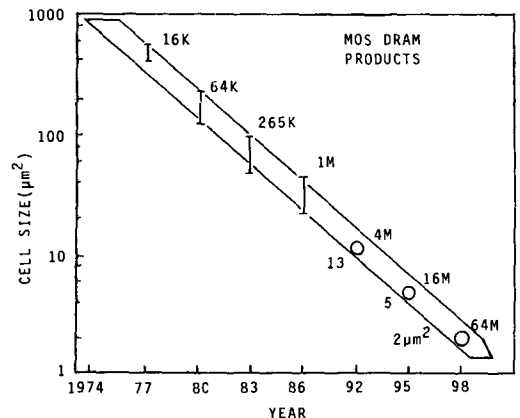


그림 7. DRAM 셀크기 축소 추세

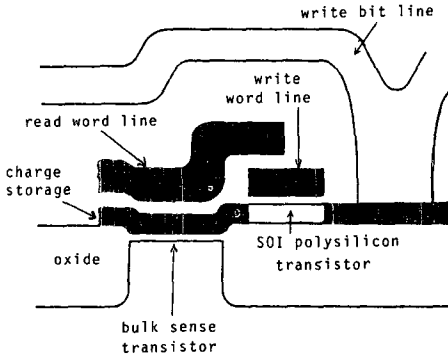


그림 8. Gain 셀 구조도

- Parallel processing
- High speed operation
- High packing density
- Multi-functional operation

등 4 가지를 들 수 있다. 3 차원 소자의 위와 같은 장점을 이용하려는 시도는 70년대 중반부터 시도되었으나 에피층 및 폴리실리콘의 재결정 기술등의 난점으로 그동안 지체되어 왔다. 그러나 일본에서는 Matsushita 등 7 개 회사가 주축이 되어 1981년부터 10개년 계획아래 3 차원 소자에 대한 본격적인 연구가 시작되었고 그 결과 Hitachi, Sharp사 등은 SOI 기법을 이용한 DRAM 개발 사례를 발표한 바 있다.

그림 9는 '86년 IEDM (international electron devices meeting)에서 발표된 일본 Sharp사의 3 층 SOI 로 된 DRAM 단면도이다.^[10] 커패시터는 면적 $340\mu\text{m}^2$ 의 planar형을 사용하였고 폴리실리콘은 아르곤 이온 레이저 irradiation으로 재결정시켰으며 게이트의 $W/L=7\mu\text{m}/4\mu\text{m}$, 두께 500\AA 등을 적용하였다. 기억소자 분야에 3 차원 구조의 개념이 도입되기 시작한 것은 초미세 가공 및 설계에 따르는 어려움을 피할 수 있어 획기적인 시도이기는 하나 epi층의 bulk 특성 안정화등 해결해야 할 문제들이 산적해 있는 것도 사실이다.

현 시점에서 차세대 기억소자 구현을 위한 향후의 기술개발 방향을 예측해 보면, 첫째, 미세선폭 가공기술과 건식식각 기술의 개발에 따라 소자의 물리적 특성 한계성을 극복하면서, 소자간 격리 및 트랜지스터와 커패시터 등을 종합적으로 실현할 수 있는 입체구조 셀의 개발방향과 둘째, SOI에 대한 재료개발 및 기술 개발 추이에 따라 단층에서의 소자집적도 한계성을 극복하여 소자의 다층집적 기술을 개발하는 방향 등으로 압축될 것이다.

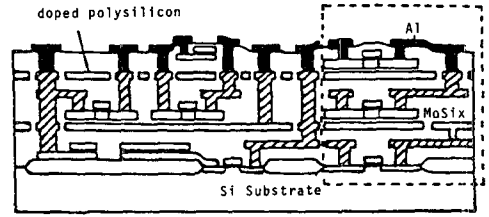


그림 9. SOI 기법에 의한 3 층적층 DRAM 단면도

IV. 요소기술 개발동향

1. 미세패턴 형성기술(Lithography)

미세패턴 형성기술은 초고집적화로 치닫는 기억소자의 성패를 좌우하는 핵심요소 기술이다. 현재 개발완료된 4M DRAM의 경우 최소 미세패턴형상 약 $0.8\mu\text{m}$ 64M DRAM의 경우 그림10에서 볼 수 있듯이 $0.4\mu\text{m}$ 의 초극미세형상으로 구성될 것으로 전망된다.

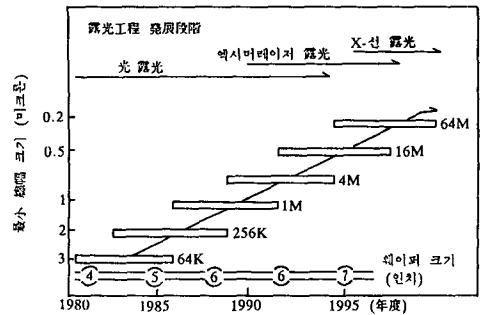


그림 10. 연도별 최소선폭 변화

지금까지 반도체 소자의 미세형상 형성에 주로 사용되어 온 광학 미세패턴 형성기술은 사용하는 빛의 파장, 렌즈의 구경수 (numerical aperture), 빛의 회절 등으로 인하여 그 분해능은 $0.6\mu\text{m}$ 정도가 해상 한계로 알려져 있다.^[11] 따라서 $0.5\mu\text{m}$ 이하의 초극미세형상으로 구성되는 반도체 소자를 개발하기 위해서 이러한 미세형상을 실현시킬 수 있는 새로운 미세패턴형성 방법이 무엇보다 중요하다고 판단, 이에 합당한 방법으로 X선 및 엑시머 레이저 (excimer laser)를 이용한 미세패턴형성 기술을 1980년 초반부터 미국, 일본, 서독 등에서 적극적으로 연구 개발해 오고 있는 실정이다.

○ 엑시머 레이저 미세패턴형성기술

'86년 일본에서는 도시바와 마쓰시타 전기산업 등이 파장 248nm 의 엑시머 레이저를 사용한 스테퍼로 선폭 $0.5\mu\text{m}$ 이하의 패턴 노광을 실현하였다. 마쓰시타의 스

테퍼는 해상력이 $0.4\mu\text{m}$, NA 0.35, 노광면적(field size) $10\text{mm} \times 10\text{mm}$ 이다. 4M DRAM의 칩 크기는 한번의 길이가 약 $15\mu\text{m}$, 16M, 64M DRAM의 경우 각각 17mm , 20mm 인 점을 감안하면 노광면적의 확대는 엑시머 레이저 노광기술의 실용화를 위해 시급한 과제를 알 수 있다. 또한 노출과정이 원자외선이므로 광학렌즈 제작이 어렵기는 하지만 기존의 스테퍼 시스템을 그대로 사용할 수 있는 큰 장점때문에 $0.5 \sim 0.6\mu\text{m}$ 설계규격의 16M DRAM 양산까지는 엑시머 레이저 미세패턴형성 기술이 적용되리라 예상된다.

○ X선 미세패턴형성기술(X-ray lithography)

광노광 기술 한계를 극복하기 위해 현재 개발중인 패턴형성 시스템으로는 전자선에 의한 직접묘사장치(direct write electron beam system), 이온선 형상기술(ion-beam mask projection lithography), 및 X선 미세패턴형성기술 등이 있다. 전자선에 의한 직접 묘사는 고가에 비해 처리능력이 높지 않은 단점이 있어 대량생산 장비로는 부적합하나 프로그래밍(programmability), 짧은 턴어라운드 시간(short turn around time) 등의 강점도 있다. IC 자체가 종래의 표준품, 대량생산에서 특수주문품, 다중소량 생산지향을 강화하는 점도 있어 전자선 직접 묘사장치도 주목을 받고 있다.

그러나 광노광 기술을 대체할 가장 유력시되는 시스템은 X선 미세패턴형성 기술이다. X선은 취급이 어려우나 파장이 $0.1 \sim 5\text{nm}$ 로 짧고 원리적으로 해상력이 뛰어나기 때문이다. X선 패턴기술의 주요 특징으로는

- 반사, 회절, 간섭 및 2차전자의 영향이 적고 $0.1 \sim 5\text{nm}$ 의 우수한 해상력을 가지고 있다.
- 집점심도가 커서 웨이퍼상의 형성된 굴곡현상에 대한 공정여유도가 크다.
- 다층 레지스터 구조를 사용하더라도 초극미세패턴형성이 가능하다.
- 노출시간은 레지스터의 감도나 X선 강도에 의해 결정되며
- 레지스터 두께나 선평의 변화에 대한 영향이 적다.

X선 패턴형성기술의 실용화를 위해서는 마스크, 감광제 등 주변기술을 포함하여 개선해야 할 점이 많다. 그 가운데서도 X선 원의 개발은 큰 과제이다. 기존의 전자선 여기 X선 원은 출력이 약하여 생산에 적용하기에는 노광시간이 너무 길다. 그래서 플라즈마 X선원이나 레이저를 이용한 X선원, SOR(synchrotron orbital radiation) 방식등 고출력 X선원이 연구되고 있

다. 이중에서도 SOR이 가장 강한 X선을 얻을 수 있으므로 유망하다.

각국의 X선 미세패턴형성 프로젝트의 현황을 살펴보면 미국에서는 X선 원 설계(sources design), 마스크 블랭크(maskblanks), X-ray 감광막(resists), 공정모델링(process modeling)과 진보된 소자개념 등 여러 중요 분야에서 기업들과 대학 및 국가 연구소들이 국가적인 차원에서 X선 미세패턴형성 컨소시움을 구성하고 있다.

독일의 X선 미세패턴형성기술 개발은 정부에서 지원하는 국가 프로젝트로서 Siemens, Telefunken, Eulrosil, Valvo 등 반도체 생산업체와 Fraunhofer 그룹이 1978년부터 참여하고 있다. 이들은 1990년 초반에 반도체 제조분야에서 선두주자의 위치를 확보하기 위하여 X선 미세패턴형성기술을 이용하여 1988년 이전까지는 $0.9\mu\text{m}$ 설계규격의 4M DRAM을 제조하고, 1990년 초반에는 $0.3\mu\text{m}$ 16M DRAM을 제조하는 것이 목표이다.

일본에서는 NTT 전기통신연구소, Electrotechnical Lab을 비롯하여 미쓰비시, Shimadzu, 스미토모 전자, 도시바가 공동으로 출자한 연구조합에서도 연구중이며, 또한 정부가 재정의 70% 부담하고 케논, 후지쓰, 히타치, 마쓰시타, NEC, Nikon, 오끼전기, 산요, 샤프, 소니, 스미토모, 도시바 등의 반도체 생산업체에서 30%를 부담하는 SORTEC이 쓰쿠바에 건립되어 연구중이다. 구체적인 계획은 발표되지 않았으나 통산성(MITI)이 93.6백만 달러의 연구비를 투입하여 1996년까지 X선 원인 SOR 개발을 계획하고 있다.

2. 건식식각 기술(dry etching process)

(1) 건식식각 기술동향

패턴 크기가 미세화되면서 이방성식각(anisotropic)의 필요성이 증가되고 있으며 식각 재료의 다양화에 대한 적응도 중요한 과제이다. 새로운 식각 대상으로는 고용점금속 및 그의 실리사이드, Al-Si-Cu 등의 Al 합금, 혹은 금속의 다층막, 그리고 다층 감광막 기술의 유기물 등이 거론되고 있다. 또한 다층 배선을 실현하기 위해서는 층간 절연막을 평탄화시킬 수 있고 via hole의 경사가공도 가능한 건식식각 기술을 개발하는 것도 중요한 과제다.

웨이퍼가 대구경화 되어가면서 건식식각 장비들은 식각율의 균일성 향상을 위해 단독 웨이퍼(single wafer) 시스템으로 전환되고 있다. 생산성이 batch 시스템보다 낮은 단점을 보완하기 위해 좁은 전극간격형,

3 전극형 및 플라즈마 밀도를 높게 한 마그네트론 방전형 등 여러가지 방식이 개발되어 이에 대처해 나가고 있다.

패턴의 미세화, 게이트 절연막의 박막화, 확산층의 얇아짐 때문에 소자가 이전보다 손상(damage)과 오염에 대해 크게 민감해 졌으므로, 이의 대응책은 소자의 고집적화에 맞춰 진행될 필요가 있다.

하전입자를 분리해서, 라디칼만 이용하는 CDE(chemical dry etching)에서는 항복전압 강하등의 손상이 발견되지 않아 최근에는 몇몇 메이커들에 의해 포토레지스트의 제거용으로 개발되어 현재 평가단계에 있다. 하전입자를 완전히 이용하지 않는 광여기 식각은 아직 실용기술이라고 언급할 수는 없지만, 손상이 전혀 없기 때문에 미래의 기술로써 개발될 것으로 기대된다.

(2) Trench 에칭기술

그림11은 실리콘 트랜치 에칭에서 종종 발생하는 문제점 6 가지를 나타내었다. Trench 커패시터 기술 보유를 좌우하는 큰 요인의 하나가 축적전하의 보전능력인데 위의 각종 문제점들은 전하가 수집되는 벽면 각 부위에 심한 손상을 초래하거나, 폴리실리콘 전극 형상을 불안하게 하여 커패시터의 신뢰도를 크게 저하시킨다. 이처럼 가지적인 변형이외에도 그림12처럼 식각과정에서 높은 운동에너지로 갖는 이온이 실리콘 기판에 충돌함으로써 표면에서부터 약 30Å 범위가 결정성질을 잃게되고 약 300Å 범위까지 수소원소 등이 침투되는 등 물리적 성질의 변형을 초래한다고 보고되고 있다.^[12] 개구폭이 1μm 이하이고 aspect ratio가 5 이상 증가할 앞으로의 트랜치 식각기술은 종래의 RIE

(reactive ion etching) 시스템으로는 공정압력이 높아 개선의 여지가 많다. 더구나 고식각율을 얻기 위해 높은 전압을 걸어주면 표면손상이 증가하고 이방성 향상을 위해 압력을 낮출경우 식각율이 감소하여 생산성이 저하된다.

기존 RIE 시스템의 위와 같은 단점을 보완하기 위해 자장을 self-bias 전장과 교차하게 하여 전자의 사이클로트론 운동을 발생시켜 가스의 이온화율을 향상시키는 마그네트론 방전형 장비가 활발히 개발되고 있다.^[13]

3. 초박막 절연체 성장기술

(1) 산화막 절연과피

산화막 절연과피 현상은 그림13에 나타난 바 처럼 A(tertiary), B(secondary), 및 C모드(primary)로 구분된다. 낮은 전계에서 발생하는 A모드 절연과피는 산화막 내의 핀홀 혹은 결함에 기인된 것으로 알려져 있다. 그림14에서 볼 수 있듯이 A모드는 작은입자 및 먼지 등 외부로부터 침투되는 오염의 의존성이 강하므로 산화막 성장전의 세척방법 및 산화막 성장 공정중의 청정도가 무엇보다 중요하다. B모드는 TDDB(time dependant dielectric breakdown)에 의해 나타나는 현상으로써 실리콘 웨이퍼 자체에 기인된 것으로 보고 있다. B모드 현상을 줄이기 위해서는 결정성장시 실리콘 내의 색출물 및 중금속 오염을 감소시키는 등 고질의 실리콘을 얻기 위한 연구가 중요하다.

(2) 비평면형 커패시터 구조

칩 밀도가 증가하면서 비평면형 구조(예: trench)가 공정기법에 적용되고 있다. 그림15에서 볼 수 있듯이

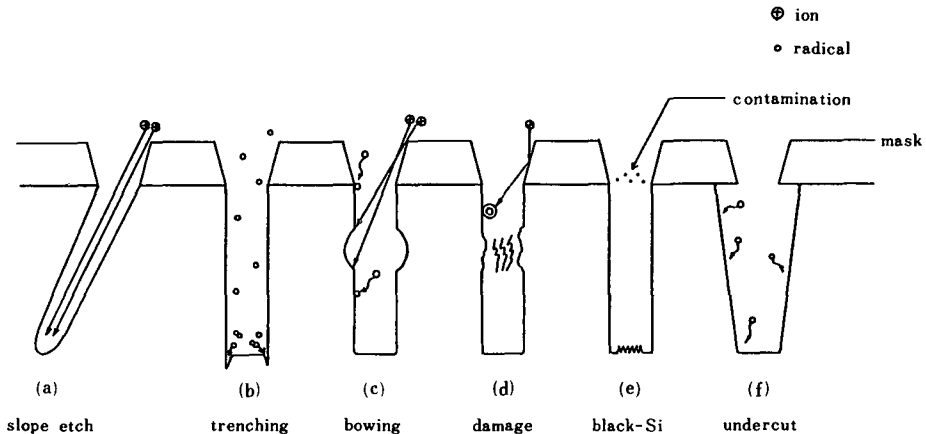


그림11. 트랜치 에칭에서 발생하는 각종 트랜치 형상

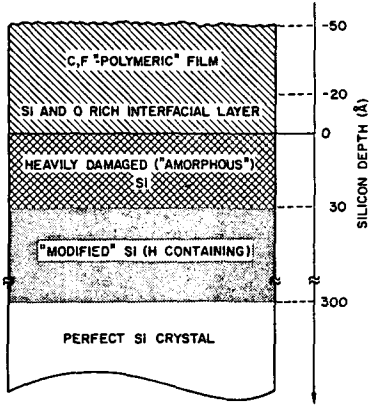


그림12. RIE(CF₄/H₂ 분위기) 공정후의 실리콘 표면손상 형태

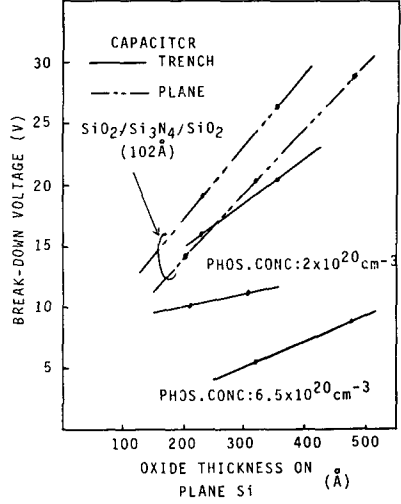


그림15. 산화막 성장조건에 대한 항복전압특성

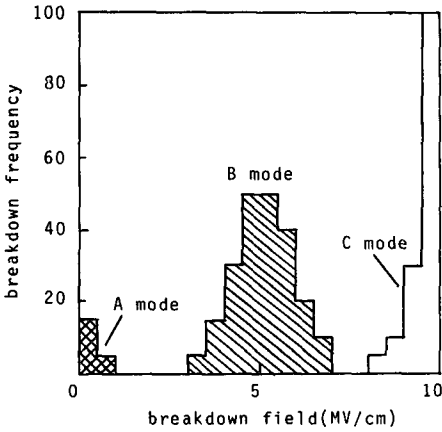
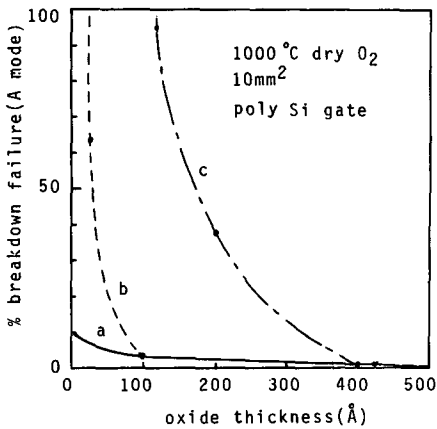


그림13. 산화막 절연파괴 특성

절연파괴 현상의 비평면 구조 효과 및 기판의 인(P) 농도 의존성 등은 앞으로 더욱 연구되어야 할 것이다.

그림16은 2차원 산화막 성장에 관한 시뮬레이션 결과를 나타낸 것이다.^[14] 절연체 두께가 얇아 지면서 convex, concave 부위의 박막화 현상은 소자 신뢰도에 결정적인 영향을 주게되므로 향후 2차원적인 산화막 공정기술 및 메카니즘에 관한 연구가 매우 중요한 테마로 대두되고 있다.



(a) 청정도10, (b) 청정도100 (c) 청정도10,000

그림14. 청정도에 대한 A모드 절연파괴 특성

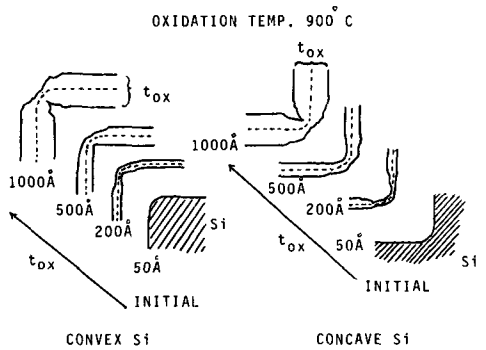


그림16. Convex 및 Concave 부분의 2차원 산화막 성장속도

(3) 고유전율을 갖는 소재개발

동작전압(V_{DD})에 의한 커패시터 절연체의 터널링 현상을 방지하기 위해 필요한 최소두께 ($=t_{mn}$)는

$$t_{mn} = 2V_{DD}/E_{ox}(\max), \quad E_{ox}(\max) = 6MV/cm$$

로써, 동작전압이 감소된 $V_{DD}=3V$ 경우 $t_{min}=100\text{A}$ 정도이다.^[16] 위와 같이 커패시터 절연막 두께의 scale down은 약 100A 정도의 한계를 가지게 되므로 16M, 64M DRAM으로 집적도가 증가될 경우 산화막 만으로써 커패시터의 신뢰도 향상 및 축적용량 증가하는 두 가지 상충점을 동시에 해결할 수는 없다. 고유전율을 갖는 박막의 경우, 인가전압에 충분한 신뢰도 및 burn-in margin을 갖는 두께로도 적정의 축적 용량을 얻을 수 있기 때문에 실리콘 질화막, Ta_2O_5 , Hafnium oxide, 및 epitaxial calcium fluoride 등과 같은 고유전체에 관한 연구가 진행되어야 할 것이다.

4. 소자격리기술

현재까지 개발된 소자격리기술은 구조적으로 buried oxide형, half buried형, 및 non buried oxide형 등으로 대별할 수 있다. Moat, SEPOX (selective polysilicon oxidation) 같은 nonburied oxide형은 격리구조 형성은 쉬운 반면 단층높이 증가를 초래하여 표면 평탄화 공정이 수반되어야 하는 단점이 있다. 반면 buried oxide형은 격리에 필요한 재료가 실리콘 내에 채워지기 때문에 평탄화 효과는 우수하나 스트레스, 벽면에 형성되는 기생채널에 의한 소자특성의 열화 등이 단점이 되고 있다. DRAM의 CMOS 화를 고려하면 향후 소자격리 역할은 active간의 누설전류 방지뿐 아니라 latch up 방지에 관한 요구가 더욱 증대되고 있는데 이를 위해서는 well 깊이 이상의 깊은 격리기술이 필요하게 된다. 1M DRAM에서는 종래의 LOCOS (local oxidation of silicon) 단점을 보완한 개량형 LOCOS가 주로 적용되어 왔으나 4M DRAM부터는 서서히 deep 트랜치에 의한 트랜치 격리기술 혹은 SEG (selective epitaxial growth)와 같은 새로운 방향의 격리 기법이 대두되고 있다.

그림17은 deep 트랜치 격리기법에 의해 제조된 CMOS 단면도를 나타내었다.^[16] 16M, 64M DRAM 같이 active 간의 거리축소 및 well 깊이 감소의 영향을 고려하면 트랜치 격리 및 SEG가 더욱 유망시되리라 기대된다. 단 SEG 경우 selective epitaxy 기술이 먼저 구축되어야 할 것이고 트랜치 격리는 결함 및 손상이 없는 건식식각기술, 측벽의 반전층 발생억제 문제 및 완벽한 트랜치 매립 공정에 관한 과제를 차후 연구해 나가야 할 것이다.

5. 확산공정

그림18은 각 설계규칙에 요구되는 접합깊이를 나타낸 것이다. 그림10에서 본 바와 같이 16M, 64M DRAM

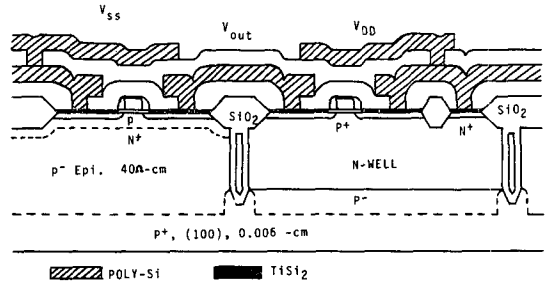


그림17. Deep-trench 소자격리에 의한 CMOS 소자 단면도

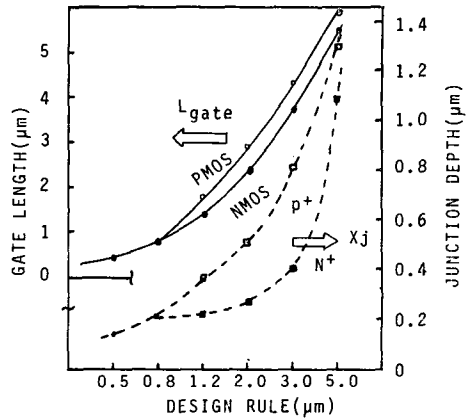


그림18. 설계규칙에 대한 접합깊이 및 게이트길이 변화

의 경우 $0.4\sim 0.5\mu\text{m}$ 설계규칙을 갖게 되는데 이 경우 필요한 접합 깊이는 약 $0.1\sim 0.2\mu\text{m}$ 이다. 이 같이 접합깊이가 얇아지면서 불순물의 분포 및 농도에 대한 보다 정확한 조절이 요구되고 있다. n+ 접합은 확산계수가 작은 비소(As)로 대체되었으나 p+ 접합은 확산계수가 큰 붕소(B)를 대체할 원소가 현재까지 없는 형편으로 접합깊이 조절의 어려움이 있다. p+ 접합의 이 같은 문제점을 해결하기 위한 방법으로 그림19에서 보여 준 것처럼 분자 반경이 큰 BF_3 의 implantation, 급속열처리 공정(rapid thermal annealing), 혹은 위의 두 공정을 복합적으로 적용하는 방법등이 시도되고 있으며, 미리 실리콘 표면을 비결정성으로 만들어 원소의 채널링을 억제하면서 불순물이 쉽게 활성화 되도록 하는 실험도 진행되고 있다.

6. 금속배선 공정

그림20은 금속배선 공정에서 발생하는 주요 문제점을 보여주고 있다. 지금까지 알루미늄 spike를 억제하기

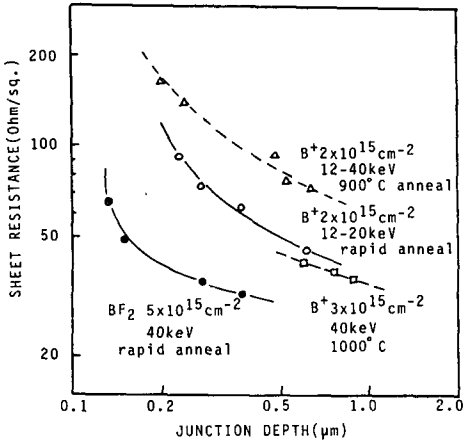


그림19. P⁺ 형성방법에 대한 면저항 변화

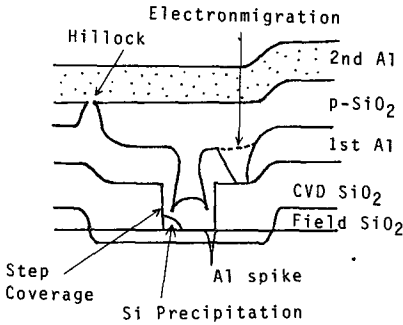


그림20. 금속배선 공정에서의 주요 문제점

위해 실리콘 합금을 이용해왔는데 접합이 얇아지면 다시 spike 현상이 나타나기 시작한다. 또한 컨택개구부 크기가 급격히 작아지면서 컨택 부분에 생성된 실리콘 석출물은 컨택저항을 증가시키는 문제점을 내포하고 있다. 이 같은 문제점을 해결하기 위해 Ti, W, TiN과 같은 장벽금속(barrier metal)에 관한 다양한 연구가 진행되고 있다.

다중금속 배선에서 가장 문제가 되는 것은 메탈의 힐록과 메탈간의 평탄화 공정이다. 평탄화 개선을 위해 etch back 공정을 이용한 PECVD막, bias sputtering막, SOG(spinn on glass) 및 Photoneece와 같은 유기물 등이 절연막(interdielectric material)으로 사용되어 왔는데 공정의 재현성, via hole 크기 감소로 인한 via 경사 개선등 아직도 개선되어야 할 여지가 많은 분야이다. 힐록 억제를 위해서는 Al/Ti와 같은 적층구조, Al-Ti-Si, Al-Cu-Si 등 Al합금 및 Al 위

에 MoSi, TiSi₂를 증착시키는 기법이 연구중에 있다.

비트선 및 워드선의 시간지연은 이에 사용되는 배선(interconnection line) 재질과 관련이 있는데 폴리 실리콘에 비해 비저항이 낮고 고온 특성이 우수한 Ta, Ti, Mo, W 등의 refractory metal 및 refractory metal silicide에 관한 연구도 활발하다.

V. 차세대 기억소자의 연구 필요성

오늘날 IC 메모리는 산업의 모든 분야에 그 응용이 다양하게 요구되고 있다. 특히 DRAM의 경우 기억용량은 매 3년동안 약 4배의 신장률을 보이고 있으며, 급속한 반도체 기술개발의 성장으로 세계 반도체 시장 동향이 본격적인 메가비트 시대로 전개됨에 따라 초고집적 공정에 관한 치열한 기술경쟁이 예측되고 있다. 더구나 초고집적 기억소자에 관한 기술 확보는 반도체 전반의 기술혁신의 추진 핵심체로 작용하기 때문에 자국의 국력확보라는 차원에서 세계의 주요 선진국들이 국력을 집중하여 기술개발에 전력하고 있다.

그러나 초고집적 반도체 기술개발 사업은 막대한 설비투자를 필요로 하는만큼 정부의 적극적인 재정지원 및 민간업체간의 공동연구조합 결성등의 방향으로 사업을 추진해 나가고 있다. 미국의 VHSIC 계획, SEMATECH, 일본의 VLSI 개발계획 및 EC 10개국이 공동출자한 ESPRIT 계획 등이 그 좋은 예이다.

국내 반도체업체의 조립 및 웨이퍼 가공기술은 최근 5년간 집중적인 기술도입 등으로 인하여 안정된 기반을 갖추었으나, 소자설계와 공정의 자체개발 및 응용 기술은 아직도 미약한 상태이다. 이는 국내 반도체업체가 도입된 기술을 주로 제품 생산에만 비중을 두어 적용했기 때문으로 생각되며 이와 같은 원천기술의 취약성은 급변하는 세계 반도체 시장추세에 능동적인 방향설정을 어렵게 하고 있다. 특히, 초고집적 메모리소자의 주요 요소기술들은 선진각국에서도 개발중이거나 기술이전을 극히 규제하고 있는 형편이므로 자체 기술의 기반확보가 시급히 요구된다.

반도체 분야의 이같은 급변한 환경변화에 대처하기 위해 우리나라에서는 지난해 대형 국책사업의 일환으로 초고집적 반도체 기술 공동 개발을 추진해오고 있으며, 그 결과 '89년 상반기쯤 4M DRAM의 양산기술을 확보할 수 있을 것으로 예상되는데 이는 시기적으로 미국, 일본 반도체 선진국들의 양산시기와 거의 동일하다. 4M DRAM 개발시기가 선진국에 비해 2년정도 늦음에도 불구하고 같은 시기에 제품을 출하할 수 있는 것은 국내 반도체 업계의 우수한 양산 기술 때문이

다. 이와 같은 상황을 고려할 때, 16M, 64M DRAM의 개발착수 시기를 선진국과 같은 시기로 조정 추진해나갈 수 있다면 차세대 기억소자 시장에서는 유리한 고지를 점령할 수 있을 것으로 판단된다.

이와 같이 선진국과 같은 시기에 차세대 기억소자를 개발하기 위해서는 아직까지 기반이 약한 원천기술의 우선적인 확보와 아울러 독자적인 개발능력을 갖추지 않으면 불가능하다. 미국, 일본, 유럽에서는 차세대 기억소자 개발에 필수적인 초미세패턴 형성기구 및 고정도의 프라즈마 에칭 장비들을 개발, 벌써부터 그 기반을 구축해 나가고 있음을 감안할 때 향후 차세대 기억소자의 선두자리를 점유하기 위하여 국내 원천기술의 확보는 물론 관련 반도체 장비의 개발은 그 어느때보다 절실한 시점이라 하겠다.

VI. 기술개발 전략

기억소자의 집적도를 증대시키기 위해서는 앞에서 언급한 바와 같이 셀 구조에 대한 연구와 병행하여 요소공정기술의 지속적인 연구개발이 요구되는데, 특히 트랜치를 이용한 셀 입체화 구조기술과 SOI기법을 이용한 소자의 다층구조화 기술은 차세대 기억소자 개발의 관건이 되고 있다. 소자 다층구조화 기술은 차세대 기억소자 개발에 매우 매력적이지만 SOI 기술이 성패의 요체가 되는만큼 SOI 기술에 관한 충분한 검토와 기초 기술 축적이 이루어져야 한다. 축소되는 소자 면적을 최대한 이용할 수 있는 트랜치 기술은 차세대 기억소자 개발에 지속적으로 적용될 것으로 예상되므로 이에 따른 기억소자의 신뢰도 및 수율향상을 위한 고정밀도의 트랜치 커패시터 형성 및 저손상 건식식각 기술이 더욱 중요해지고 있는 실정이다. 현재까지 트랜치 커패시터를 이용한 십여개의 셀 형태가 제시되고 있는데 이들 셀 구조는 공정 혹은 소자 특성상 고유의 취약점을 지니고 있어 제작 회사별로 수정보완 과정을 병행하고 있으며, 반도체 후발국에 대해서는 각종 까다로운 특허 범위를 설정하여 이들 기술의 적용에 상당한 제한을 두고 있다.

이와 같은 현황을 고려하여, 차세대 기억소자 개발은 미세패턴형성기술, 고정도의 트랜치 에칭기술 및 기존 셀 구조에 대한 철저한 분석 등 핵심되는 기술은 우선적으로 확보하고 이를 기반으로 16M, 64M DRAM을 위한 독자적인 셀 구조를 개발, 구현해 나가는 방향이 바람직할 것으로 생각된다.

이와 함께 갈수록 첨예화되는 차세대 기억소자의 요소기술들은 반도체 제조장비에 대해 매우 정밀하고 다

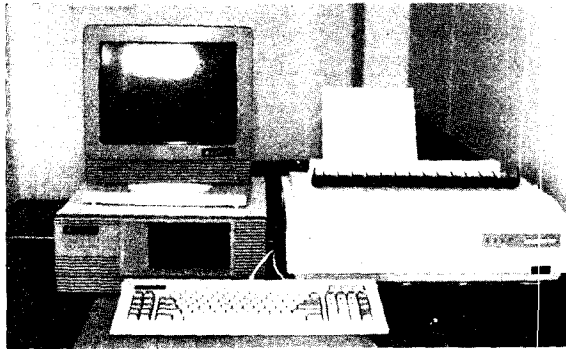
양한 공정사양을 요구하고 있는데, 이러한 이유로 외 국장비의 도입에만 의존하고 있는 현 실정은 독자적인 요소기술 확보를 어렵게 하고 있으므로 차세대 기억소자에 필요한 저손상 건식식각 및 저온화 공정장치 등과 같은 중요 장비의 개발은 요소기술 개발과 함께 필수적으로 병행하여 추진되어야 할 것이며, 또한 반도체 관련 재료분야 및 정밀분석기술 등의 주변기술 확보는 반도체 산업의 자립기반을 공고히 해주기 때문에 기술개발 전략상 핵심 주요기술 개발과 함께 이루어져야 할 것이다.

참 고 문 헌

- [1] H. Sunami, et al., "A corrugated capacitor cell (CCC) for megabit dynamic MOS memories", *IEEE IEDM Tech. Digest*, pp. 806-808, Dec. 1982.
- [2] P.K. Chatterjee, et al., "A 4-Mbit DRAM with trench-transistor cell", *IEEE Solid-State circuits*, vol. SC-21, no. 5, pp. 618-625, 1986.
- [3] "TI's trench technology moves into the factory", *Electronics*, pp. 75-77, July 1987.
- [4] T. Mano., et al., "Circuit technologies for 16Mb DRAMs", *ISSCC*, pp. 22-23, 1987.
- [5] Nikkei Microdevices, "實用化に向けて始動する 4M DRAM의 全貌", 別冊 No. 1, Mar. 1987.
- [6] S. Nakajima, et al., "An isolation-merged vertical capacitor cell for large capacity DRAM" *IEDM*, pp. 240-243, 1984.
- [7] H. Sunami, "Cell structures for future DRAM's", *IEDM*, pp. 694-697, 1985.
- [8] S. Asai, "Trench in megabit DRAMs", *IEDM*, pp. 6-12, 1984.
- [9] S.D.S. Malhi, et al., "Characteristics and three-dimensional integration of MOSFET's in small-grain LPCVD polycrystalline silicon", *IEEE Solid-State Circuits*, vol. SC-20, no. 1, pp. 178-201, 1985.
- [10] K. Ohtake, et al., "Triple layered SOI dynamic memory", *IEDM*, pp. 148-151, 1987.
- [11] A.J. Stecki, "Particle-beam fabrication and in situ processing of integrated circuits", *Proceeding of IEEE*, vol. 74, no. 12, pp. 1753-1774, 1986.
- [12] Y.H. Lee, et al., "Near-surface damage and

- contamination after CF_4/H_2 reactive ion etching of Si”, *J. Electrochem. Soc.*, vol. 132, no. 6, pp. 1441-1447, 1985.
- [13] Y. Horiike, et al., “Silicon trench etching using 10^{-3} Torr magnetron discharge reactive ion etching”, 1986. Dry etching symposium
- [14] K. Hashimoto and T. Iizuka, “Advances in processing”, pp. 249-254, 1986.
- [15] J.D. Meindl, et al., “Performance limits of CMOS VLSI”, *IEEE Trans. Electron Devices*, vol. ED-32, pp. 333-343, 1985.
- [16] T. Yamaguchi, et al., “Process and device performance of submicrometer-channel CMOS devices using deep trench isolation and self aligned $TiSi_2$ technologies”, *IEEE Trans Electron Devices*, vol. ED-32, pp. 184-193, 1985.*

學會事務局 컴퓨터(TeleVideo-286) 설치



本學會는 그동안 學會誌의 發送, 기술세미나 및 短期講座, 學術發表會 등 各種 안내장의 發送 業務를 手作業에 의존하던 것을 앞으로는 導入 컴퓨터를 利用, 業務의 능률화를 꾀할 수 있게 되었다.

또한 會員 管理面에서도 加入 會員別로 各 個人別 카드를 作成, 관리하던 것을 컴퓨터에 입력, 各種 입력 데이터를 이용하여 회비의 미납여부, 학위소지여부, 전공별 분류 등 신속 정확하게 통계를 내고 處理할 수 있어 회원 관리면에서 業務의 효율성이 향상되어, 회원들에게 보다 나은 서비스를 제공할 수 있게 되었다.