

## 주문형 IC의 자동설계기술 동향

柳 瑛 昱

(正 會 員)

韓國電子通信研究所 自動設計技術開發部

### I. 서 론

전자회로 설계에 컴퓨터를 이용하는 방법은 바이폴라 및 MOS 트랜지스터가 발명된 후 그 모델의 해석을 필요로 하던 1950년대부터 시작되었다.<sup>[1]</sup> 초기에는 바이폴라 소자의 공정 최적화 및 모델을 개선하는 데 집중되었고, 60년대 이후 MOS 기술의 발전 및 집적회로의 발명과 함께 더욱 컴퓨터를 이용하는 해석 및 설계방법의 발전을 가져왔다. 특히 집적회로 설계물 위한 공정모델 및 시뮬레이션 분야에서는 미국의 Stanford 대학에서 SUPREM 프로그램 개발을 가져왔다.<sup>[2]</sup>

한편 집적회로 공정기술의 발전은 칩에서의 집적도의 향상을 가져왔는데, 기억소자에서는 1970년의 1K DRAM을 기점으로 매년 1.5배의 증가를 보였고, 마이크로 프로세서의 집적도는 Intel이 1970년에 4-bit 마이크로프로세서인 4004를 선보인 이래에 1.35배씩 매년 집적도 증가비율을 보였다. Intel 회사의 32-bit 마이크로 프로세서인 80386은 약 28만개 트랜지스터를 집적하고 있다.<sup>[3]</sup> 1987년 ISSCC 회의에서는 수종의 4M DRAM이 발표되었고, 일본 NTT 연구소에서 유일하게 16M DRAM을 선보였다.

이러한 VLSI 칩의 집적도 향상은 컴퓨터 기술의 향상 및 이용도를 증가시키고, 결과적으로 더욱 다양한 집적회로의 개발을 촉진하게 되었다. 1970년대초에 집적회로 기술과 컴퓨터 기술의 결합으로 VLSI 설계기술이 미국의 대학 및 산업계로 급격히 보급되기 시작했다.<sup>[4]</sup> 1980년 이후 16-bit 마이크로 프로세서의 개발과 이를 이용한 워크스테이션의 보급으로 집적회로의 자동설계기술은 개화기를 맞았고, 사용자가 필요한 IC 설계를 직접할 수 있는 계기가 되었다. 반도체 회사들이 설계를 하던 주문형 IC는 점점 사용자가 설계를 하는 시대로 되면서, 특정용도 IC(ASIC)는 90년대에 가장 성장하는 반도체 분야로 지목되고 있다.

이러한 주문형 IC 또는 특정용도 IC를 뒷받침하는 컴퓨터를 이용하는 자동설계 기술은, 제품의 유일한 특징설계, 짧은 개발시간 및 소량 다품종을 뒷받침할 수 있어야 한다. 본고에서는 이에 필요한 각종 소프트웨어의 기술 현황, 주문형 IC 설계방법 고찰, CAD 데이터 베이스, 하드웨어 성능등에 검토해 본다.

### II. 자동설계 기술환경(하드웨어)

VLSI processor의 발전으로 자동설계 하드웨어의 구성은 80년대 이후에 워크스테이션 중심으로 되는 경향이다. 1981년에 Apollo Computer에서 ND100을 제공한 후로 Megabyte 기억용량, Megapixel 디스플레이, MIPS 프로세서, 10 megabyte 디스크, 10 megabit/sec 네트워킹으로 요약되는 5M 워크스테이션의 급격한 발전을 보고 있다.<sup>[5]</sup> 표 1에 현재의 워크스테이션 성능을 보여주고 있는데, CPU 속도, 기억용량, 디스크용량에서 초기의 5M 기계를 훨씬 초과하고 있다.<sup>[6]</sup>

대체로 현재 CPU 속도는 2MIPS인데, 4MIPS 기계가 출현했고, SUN Microsystem에서는 곧 10MIPS 워크스테이션을 선보일 것이다.

초기의 자동설계 시스템은, 1981년 Daisy Systems Corp.에서 하드웨어와 소프트웨어를 묶어서 하나의 완전한 CAE 시스템으로 개발해낸 것이 시초이다. Valid Logic도 같은 방법을 채택했는데, 그 당시 신뢰성 있는 적절한 워크스테이션이 존재하지 않았기 때문이다. Mentor Graphics와 VLSI Technology는 초기의 Apollo DN 계열 워크스테이션을 하드웨어 발판으로 삼았다.

최근의 워크스테이션 개발 경향은 더욱 개방된 구조로 옮겨가는 경향인데, OS와 네트워크의 표준화가 그것이다. IBM PC 급을 중심으로 한 16-bit PC 워크스테이션도 본격적인 32-bit화 하고, UNIX OS 및 Ethernet LAN이 표준화의 주물결이다.<sup>[6]</sup> OS는 DEC의

표 1. 대표적인 공학용 워크스테이션

Popular engineering workstations

Workstation	Micro-processor	Operating system	Local-area network	Speed, MIPS	Main memory, megabytes	Hard disk, megabytes	Display size, inches, diag.; resolution, lines, H×V	Vendors of compatible representative electronic CAE software
Apollo DN3000	68020/68881	Aegis, Unix	Apollo Domain, Ethernet	2	2 - 8	72-348	19;1024×800	Mentor, Tektronix CAE, Caeco, Silicon Design Labs
Daisy composite IC workstation	80286/80287	DNIX	Daisy LAN, Ethernet	Not available	4 - 16	140-615	19;1024×832	Daisy, ECAD
DEC Vaxstation II	Microvax II	Micro VMS, Ultrix	DECnet, Ethernet	1	3 - 16	71-477	19;1024×864	Daisy, Valid, Tektronix CAE, Caeco
IBM PC AT (and compatibles)	80286/80287	PC/MS-DOS 3.2	PC-Net, IBM token ring	Less than 1	0.640	20-140	12; 720×350	Valid, Daisy, Viewlogic
Sun 3/200 color	68020/68881	Unix	Ethernet, NFS	4	8 - 32	280-1100	19;1152×900	Caeco, Silicon Design Labs, LSI Logic, Silvar-Lisco
Valid Scaldsystem	68020/68881	Unix	Ethernet, TCP/IP	2	4 - 12	140	19;1C24×800	Valid

VMS와 여타 회사들의 UNIX 두가지로 나누어지는데, Apollo도 UNIX를 지원하기 시작했다.

용도에 따른 자료의 호환성을 위해서 여러 회사들이 Electronic Data Interchange Format(EDIF)을 지원하고 있고, SUN Micro Systems에서는 워크스테이션 네트워킹을 위해서 Network File Standard(NFS)의 사양을 100여개 회사에 제공하여 표준화를 꾀하고 있다. 이러한 표준화는 사용자가 원하는 시스템을 더욱 쉽게 꾸밀 수 있게 한다.

IBM PC AT급의 Workstation은 낮은 수준의 용도인 회로입력, 회로도 추출등에 주로 쓰이는데, 소규모 시뮬레이션을 수행하거나, 32-bit 보드를 추가하여 표준형 셀, 게이트 어레이등의 설계 및 소형 실리콘 칩 파일러에도 이용된다.

III. 자동설계용 소프트웨어(틀)

집적회로의 설계는 그림 1에 보인 것과 같이 여러 단계의 설계를 거쳐야 한다. 주로 반주문형 설계(표준셀과 게이트어레이)에서는 엄격한 회로 설계는 하지 않고, 셀 블록의 시간에 관한 특성을 이용하기 때문에 그림 1에서 이에 관한 과정을 생략했다.

사양 정의후에 설계자는 자신의 고안을 컴퓨터에 입력하기 위해, 전자회로 입력틀을 이용한다. 종전에는 대부분 텍스트 형태로 입력했으나, 현재는 거의 셀 블록에 정의된 회로 형식을 이용하거나 사용자가 심블을 정의해 넣기도 한다.

집적회로 칩의 집적도가 높아짐에 따라, 하나의 시스템이 한 칩에 실현되기 때문에 기능수준에서 시스템

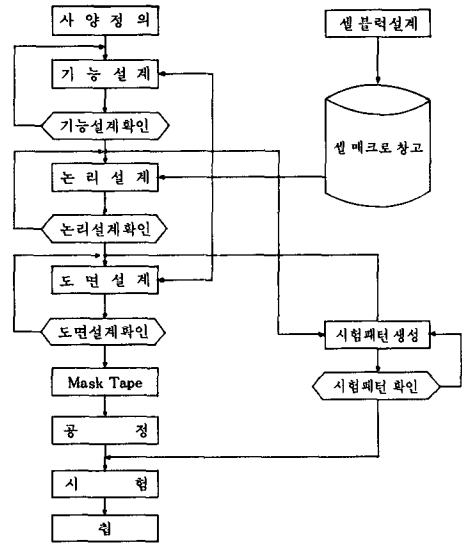


그림 1. 집적회로의 설계 흐름도

구조를 시뮬레이션 할 수 있는 틀이 필요하게 되었다. 셀 블록에서 기능수준 모델을 제공하여, 이를 기초로 시스템 기능을 알고리즘 수준이나 레지스터 이전 (transfer) 수준에서 시뮬레이션을 하여 그 기능을 확인하게 된다. 논리회로 시뮬레이션은 주로 selective-trace event-driven 기법을 쓰고 있는데, 최근에 시뮬레이션 속도를 높이기 위해 새로운 알고리즘이 개발되고 있는데, 한 예로 leveled compiledcode(LCC) 시뮬레이션에서는 한 단계이상의 속도를 높이고 있다.<sup>14)</sup> 또한 기능 수준 및 논리수준의 시뮬레이션을 동시에 수

행할 수 있는 혼합형 시뮬레이션 기술도 개발되고 있다.<sup>[15]</sup>

시험패턴 생성을 자동화하는 것은 조합 논리회로에서는 종전부터 D-알고리즘을 이용하고 있으나, 순차회로에서는 마땅한 방안이 없다. 따라서 고장(fault) 시뮬레이션과 관련하여 heuristic 방법을 쓰기도 한다. 또한 scan path 방법이나 LSSD와 같은 특별한 시험 방법으로 이 문제를 해결하기도 한다.<sup>[16]</sup>

다음에 필요한 툴로서 도면설계 및 확인용이다. 도면 편집기(layout editor)는 U. C. Berkeley에서 Caesar, KIC, Magic 등을 개발하였고, 많은 CAE 회사들이 회로 layout을 할 수 있는 툴들을 상품화했다. 표준셀이나 게이트 어레이 설계방식에서는 이미 셀 블록들의 크기와 연결위치가 정해져 있기 때문에, 전체 칩에서의 각 블록들의 배치 및 배선이 문제이다. 표준형 셀 설계방식에서는 메가셀 형태의 크기가 다른 블록과의 자동배치 및 배선이 가능해야 하고, 게이트 어레이에서는 100% 연결도가 보장되어야 한다. 먼저 층배선길이의 최소화하는 개략 배선을 한 후, 상세배선을 하는데, 금속선의 층이 많아짐에 따라 이에 대응하는 다층 배선틀도 연구 개발되고 있다. 도면검증은 VLSI의 데이터 증가에 따른 대책으로 계층구조를 이용한 검증등으로 검증속도를 빠르게 하고 있다.

또 개별적 CAE 워크스테이션 보급으로 대화형 검증 방식도 개발되었고, 정확한 시뮬레이션의 모델값을 제공하기 위하여 저항이나 용량체의 기생성분값을 정확히 추출하는 것도 중요한 과제이다.

IV. 주문형 IC 설계 기술

집적회로 기술의 발전은 많은 종류의 전자제품 및 산업의 발전을 일으켰는데, 이는 다시 반도체 기술 발전에 기여를 하고 있다. 반도체 제품은 크게 나누어 기억소자나 마이크로 프로세서와 같은 표준형 제품과 사용자의 주문에 따라 만드는 주문형 제품으로 나누어진다. 주문형 IC는 전자제품에 유일한 특징을 만들어 주고, 개발시간을 단축 시켜주는 역할을 한다. 주문형 IC는 크게 field programmable logic devices (FPLD), 게이트어레이(GA), 표준셀 IC, 완전주문형 IC 등의 네가지로 나누어진다.

FPLD는 전자제품 제조자가 상품으로 구입해서 각자의 용도에 맞게 주문형용으로 프로그램할 수 있다. 이 소자는 두 종류의 게이트 매트릭스를 가지고 있는데, AND 배열과 OR 배열의 결합으로 원하는 기능을 만든다. 프로그램은 소자내의 퓨즈나 diode를 태워버리

로써 가능하다. 또 저소비전력을 위해 CMOS 기술을 이용하는 방법도 연구되었는데, 전기적으로 프로그램을 재구성하는 기술도 도입되었다.<sup>[17]</sup> FPLD는 주문형 IC 설계 방법중 가장 개발시간이 적게 들고, 또 소량의 시스템 개발에 유용하다. 또 진리치표나 Bool 표시 이외에 높은 수준 언어로 설계가 가능한 방법도 개발되고 있다. 게이트 어레이 방식은 그 특징으로 ① 웨이퍼 가공상 마지막 공정인 contact 및 금속선 모양에 대한 2~4 장의 마스크가 필요하고, ② 따라서 2~4 공정만 거치므로 표준셀 방식보다 wafer 가공시간이 짧다. ③ 공정기술 변화에 따른 매크로 셀의 개발이 용이하다. ④ 한편 다른 주문형 IC설계 방법에 비해서 chip 크기가 가장 크다.

표 2. 설계기술 방식에 따른 chip 크기와 개발기간의 비교(CMOS 2 μm)

설 계 방 식		GA	SC	완전 주문
칩 크 기		100%	75%	40%
개 발 기 간	2200 게이트	2, 5월	4 월	13월
	6000 게이트	3 월	4, 5월	17.5월

표 2에서 보는 바와 같이 게이트 어레이 방식은 표준 셀 및 완전주문형 방식에 비하여 칩 크기는 각각 1.25배, 2.5배 정도로 커지는데 반해서, 개발기간은 각각 60%, 20% 정도로 단축된다.<sup>[17]</sup> 또 집적도를 높이기 위해서 채울이 없는 CMOS 게이트 어레이(sea of gate)도 발표되었는데, 1.5 μm 공정기술과 이층배선 구조를 써서 129K 게이트와 0.7nsec 지연시간을 실현시켰다.<sup>[18]</sup> 또 기억소자 및 CPU 기능을 포함시키는 복합 어레이도 시도되고,<sup>[19]</sup> 바이폴라의 속도 및 구동능력과 CMOS의 저소비 전력 및 고밀도 성능을 이용하는 Bi CMOS 게이트 어레이도 선보이고 있다.<sup>[10]</sup> 이는 9100 게이트로 집적도가 높고 0.7nsec 지연시간을 가지는데 1.5 μm CMOS 및 산화막 격리 바이폴라 기술을 이용했다. 또 100MHz 이상에서는 ECL 기술의 게이트 어레이,<sup>[11]</sup> 또는 GaAs 어레이들이 이용되고 있다.

표준 셀 방식은 소·중 규모 IC를 PCB에 배치 배선하여 시스템 개발을 하는 것과 유사하다. 대개 TTL 논리 게이트와 유사한 최적화한 회로 블록인 표준 셀을 결합하고 연결하여 설계하게 된다. 게이트 어레이와는 달리 웨이퍼 가공 전체를 거쳐서 칩을 만든다. 좀더 복잡한 LSI급의 마이크로 프로세서 제열이나 RAM, ROM, ALU 등도 셀로 준비되어 시스템의 집적도를

높이는데, 이러한 셀들을 메가셀이라고 부르기도 한다.<sup>[12,13]</sup> 표준 셀들은 또한 공정기술에 무관하게 만들어지는 경향이 있는데, 소프트웨어로 기술되어 공정기술이나 설계방법(표준셀, 게이트 어레이)에 따라 필요한 기능을 넣어서 편집되어 진다.<sup>[13]</sup>

완전주문형 IC는 미리 준비된 셀이나 기능 블록을 이용하지 않고 사람의 경험에 의해서 전체 칩을 구획 짓고, 각 기능들을 도면설계 전문가들에 의해서 완성해 가는 것이다. 결과적으로 개발시간은 가장 오래 걸리지만, 칩 면적의 이용도는 제일 좋다.

즉, 이러한 설계방법은 대량 수요가 있는 IC 개발에 쓰이게 된다. 1987년 ISSCC에 발표된 32-bit 마이크로 프로세서 톨의 집적도는 100,000~400,000개 트랜지스터를 집적시켰는데, 대표적인 완전주문형 IC 들이다.

### V. 자동설계 기술의 전망

하드웨어 기술언어(HDL)은 컴퓨터 개발 역사와 함께 상당히 오래되었는데, 초기에는 주로 사양 정의, 문서 작성, 자동설계시스템의 입력자료로 활용되었다. 컴퓨터의 발전과 함께 HDL은 설계자들 사이에서와 설계자와 컴퓨터 사이의 의사전달 기구로 쓰여졌다. 따라서 HDL의 표준화하려는 경향을 보이고 있다.<sup>[17,18]</sup> 이와 유사하게 집적회로의 도면설계를 주로 나타내던 electronic data interchange format(EDIF)도 표준화 대상으로 자리 잡아가고 있다. VHDL이 operational semantics에 강하고, EDIF는 declarative semantics에 좋으므로, 설계과정의 서로 다른 면을 돕고 있는 현상이다. VHDL이 EDIF의 semantics를 흡수하면서, 전체 설계 단계에서 쓰여질 것으로 보여진다.<sup>[19]</sup>

Silicon compiler는 아직도 초보적인 구조적(structural) 컴파일러가 실용적으로 쓰이고, 고급언어로 쓰여지는 기능적(functional, behavioral) 컴파일러는 아직 많은 연구, 개발단계에 있다. 구조적 실리콘 컴파일러는 사용자가 원하는 기능을 다 제공할 수 없으므로, 그 내부 기능인 셀 또는 모듈 컴파일러를 제공하고 있다. 이 모듈 컴파일러를 이용하여 사용자의 용도에 맞는 기능적 모듈을 실리콘 컴파일러의 구성요소로 만들어 갈 수 있다. 또한 AI 기술을 실리콘 컴파일러에 도입하는 것도 활발한 연구의 대상이 되고 있다.<sup>[20,21]</sup> 또한 바이폴라, 애널로그 CMOS, GaAs 기술에 컴파일러를 이용하는 것도 시도되고 있다.

특수한 컴퓨터를 이용한 하드웨어 가속기도 여러 분야에서 연구대상이 되고 있는데, 계산시간이 많이 드

는 분야인 회로 시뮬레이션, 논리회로 시뮬레이션, 고장 시뮬레이션, 또 배선문제를 해결하려 하고 있다. 보통 성능은 1초당 1백만 event를 처리하는데, pipeline, parallel processing 및 cluster 수를 늘여서 초당 2억5천 events를 처리하기도 한다. 또한 가속기를 어느 특정 용도에 한정하기 보다는 시뮬레이션 floor planning, DRC 등 여러 분야에 활용하는 연구도 하고 있다.<sup>[22]</sup> 또한 소프트웨어 및 하드웨어 가속기능을 겸비하고, switch에서 게이트, 기능 및 형태적(behavioral) 수준까지 전체를 시뮬레이션 할 수 있는 기능의 가속기도 선보인다.<sup>[23]</sup> 컴퓨터 기술 및 기능의 발전으로 일반화된 기능은 기본 시스템에 포함될 것이나, 특수용도의 엔진(가속기)은 그 영역이나 성능면에서 더욱 개척되어 질 것으로 보인다.

IC 설계에서 회로의 복잡도가 증가함에 따라 자동설계 톨에 의존하는 데이터 형식들이 생겨나고, 또 각 데이터 형식간의 번역기도 필요하게 된다. 이에 따라 공통 데이터 형식의 필요성이 대두되고, 설계 데이터를 일관성있게 저장할 수 있었다. 한편 데이터 관리 측면에서 보면 어느 버전이 최근 설계인지, 회로도의 수정후 도면도 변경되었는지, 어느 셀의 변경에 따른 상위 블록은 변경되었는지 등등에 관한 사항을 알 수 있어야 한다. 종래의 관계형, 네트워크형, 계층형 데이터 관리 기법은 사무용이나, 게이트 어레이와 표준셀과 같은 구조적인 주문형 설계방식에는 유효하나, 주문형 설계방식에는 적합치 못하다. VLSI 설계의 전 과정은 하나의 적은 그룹으로 되지 않고, 시스템 설계, 논리설계, 회로설계, 도면설계 등 여러 그룹이 방대한 설계 데이터를 공유하며 설계를 한다. 현재 약 30만개의 트랜지스터를 가지는 IC의 설계 데이터는 5 gigabyte가 넘는데, 향후 5년 내에 데이터 양은 한 차수(order)가 증가할 것으로 예상된다.

또 IC 설계 데이터 표현방식은 매우 다양하고 변천 진화하는 데에 따라 유연한 설계 데이터 관리 시스템의 요구가 있게 된다. 즉, 주문형 IC설계를 위해서 도형 데이터의 저장 및 검색을 위한 접근방식(access method), 여러 버전과 설계대안(alternative), 트랜잭션 지원 등에 대한 관리요구가 있게 된다. 이에 대한 연구 동향은 범용 DBMS의 확장방법과 CAD 모델링을 통한 자동설계 전용 시스템 개발 방식으로 나누어 진다.

후자의 방안으로 컴플렉스 오브젝트 중심 시스템에 대한 연구가 활발히 진행될 것이나, 표준화된 오브젝트 중심 데이터 관리의 인터페이스는 당분간 개발되기 어려워 보인다.<sup>[24]</sup>

## 参 考 文 献

- [1] R.W. Dutton, M.R. Pinto, "The Use of Computer Aids in IC Technology Evolution", *Proc. IEEE*, vol. 74, no. 12, pp. 1730, 1986.
- [2] C.P. Ho, J.D. Plummer, S.E. Hansen, R.W. Dutton, "VLSI process modeling-SUPREM III", *IEEE Trans. Electron Devices*, vol. ED-30, no. 11, 1983.
- [3] G.J. Myers, A.Y.C. Yu, D.L. House, "Microprocessor Technology Trends", *Proc. IEEE*, vol. 74, no. 12, pp. 1605, 1986.
- [4] Carver Mead, Lynn Conway, *Introduction to VLSI Systems*, Addison-Wesley Pub. Co., 1980.
- [5] D.L. Nelson, C.G. Bell, "The Evolution of Workstations", *IEEE Circuits and Devices Magazine*, vol. 2, no. 4, pp. 12, July 1986.
- [6] K.I. Werner, "Design Automation" Technology '87, *IEEE Spectrum*, vol. 24, no. 1, pp. 39, Jan. 1987.
- [7] N. Okuda, M. Sugai, N. Goto, "Semicustom and Custom LSI Technology", *Proc. IEEE*, vol. 74, no. 12, pp. 1636, Dec. 1986.
- [8] T. Wong, A. Hui, D. Wong, T. Kobayashi, H. Suzuki, K. Yamasaki, "A High performance 129K gate CMOS Array", *Proc. CICC 86*, pp. 568, May 1986.
- [9] T. Chan, A. Yuen, K. Knorp, et. al, "Advanced Structured Arrays Combine High Density Memories with Channel-Free Logic Array", *Proc. CICC 87*, pp. 39, May 1987.
- [10] L.T. Lin, D.S. Rosky, H.D. Truong, "A 9100 Gate ECL/TTL Compatible BiCMOS Gate Array", *Proc. CICC 87*, pp. 190, May 1987.
- [11] R.S. Tepper, K. Nootbaar, M.P. Huang, R. Yuen, "A 600 MHZ 5000 gate ECL/TTL Gate Array", *Proc. CICC 87*, pp. 177, May 1987.
- [12] L.F. Parisae and G.W. Knapp, "2901/2910 core microprocessor cells brings 'system-on-a-chip' to semicustom standard cells", *Proc. CICC 85*, pp. 264, May 1985.
- [13] D. Watkins, R. Rasmussen, Y. Chang, "Megafunctions and Megacells for ASIC Designs: A Comparison", *Proc. CICC 87*, pp. 375, May 1987.
- [14] L.T. Wang, N.E. Hoover, E.H. Porter, J. Zasio, "SSIM: A Software Levelized Compiled-Code Simulator", *Proc. 24th ACM/IEEE DAC*, pp. 2, 1987.
- [15] S. Devadas, H.K.T. Ma, A.R. Newton, "On the Verification of Sequential Machines at Differing Levels of Abstraction", *Proc. 24th ACM/IEEE DAC*, pp. 271, 1987.
- [16] Hideo Fujiwara, *Logic Testing and Design for Testability*, The MIT Press, pp. 213, 1985.
- [17] M. Shahdad, R. Lipsett, E. Marshner, K. Sheehan, et al, "VHSIC hardware description language", *Computer*, vol. 18, no. 2, pp. 94, Feb. 1985.
- [18] R. Waxman, "The Design Automation Standards Environment", *Proc. 24th ACM/IEEE DAC*, pp. 559, 1987.
- [19] M. Shahdad "An Interface between VHDL and EDIF", *Proc. 24th ACM/IEEE DAC*, pp. 472, 1987.
- [20] Y.L.S. Lin, D.D. Gajski, "A Flexible-Cell Approach for Module Generation" *Proc. CICC 87*, pp. 9, May 1987.
- [21] D.L. Johannsen, S.K. Tsubota, K. McElvain, "An Intelligent Compiler Subsystem for a Silicon Compiler", *Proc. 24th ACM/IEEE DAC*, pp. 443, 1987.
- [22] P. Agrawal, W.J. Dally, A.K. Ezzat, W.C. Fischer, et al, "Architecture and Design of the MARS Hardware Accelerator", *Proc. 24th ACM/IEEE DAC*, pp. 101, 1987.
- [23] S.R. Hansen, "Integration of a Simulation Accelerator for Design and Test", *Proc. VLSI and Computer, CompEuro 87*.
- [24] A.R. Newton, A.L. Sangiovanni-Vincentelli, "Computer-Aided Design for VLSI", *IEEE Computer*, vol. 19, no. 4, pp. 38, 1986. \*

## ♣ 用 語 解 說 ♣

## 핀접합 (Pin Junction)

p형 반도체와 n형 반도체 사이에 진성적(眞性的) 성질을 나타내는 영역을 갖는 접합(接合)