

SOI 技術의 研究動向

李 鍾 玄
(正 會 員)

慶北大學校 電子工學科

I. 序 論

지난 半世期 동안 급속도로 발전해 온 전자공학 기술은 人類史에 있어 하나의 혁명이었다. 빠르고, 정확하고, 강력한 利器의 출현은 새로운 慾求와 막대한 정보를 創出하고 2000年代의 情報化시대를 맞게 한다. 이제는 人間喪失없이 기계와 인간의 效能整合을 이루는 문제가 미래사회의 기술수용 한계가 될 것으로 보이며, 따라서 사람에 유사한 一體의 시스템, 즉 인조인간의 실현도 기대된다. 이러한 次世代 기술의 관점에서 회로의 高性能, 大容量, 極小化 추세는 필연적 노력이며 이미 반도체 공정기술에 있어서는 half-micron 線幅의 超 高集積回路(ULSI)의 실현단계에 이르고 있다.

現時点에서 집적회로 기술발전에 대한 장기적 전망은 투명하지 못하다. 공정기술 분야에 있어서는 X-ray lithography 등 새로운 장비개발로 2000년에는 0.2 μm 이하의 미세공정이 가능하며 1Gbit DRAM이 제품화 될 것으로 예견하고 있다.^[1] 그러나 기능면에서 단위 소자의 축소한계가 어디까지나? 하는 문제는 뚜렷한 대답을 얻기가 어렵다. 소자의 크기가 極小化됨에 따라 高電場에 의한 이동도 감퇴, 열전자, 절연파괴 및 soft error, 기생소자 등의 문제점,^[2] 또한 small number fluctuation,^[3] quantum transport effect^[4] 등 素子物理의 새로운 개념도 요구된다. 그의 재료, 설계기술, 실용측면에서도 해결되어야 할 많은 난제를 안고 있으며 현재의 전망으로는 0.3 μm 정도의 64M~265M DRAM이 실리콘 집적회로의 한계로 보는 견해도 있다. 이에 따라 새로운 재료와 소자를 개발하기 위한 장기적 노력으로 복합반도체, 광집적회로, 초전도 소자 등이 다각도로 연구되고 있으며, 단기적으로는 실리콘 기술을 그대로 이용하여 집적도 한계를 해결할 수 있는 3차원 집적회로 기술 개발에 큰 관심이 모이고 있다.

3 차원 집적회로(3D-IC_s)의 실현은 궁극적으로 공

정의 3 차원적 제어를 의미하며 선택적, 국소적 hetero epitaxy, 에칭, 단열 열처리 및 저온공정기술이 그 관건이 될 것이다. 이 3D 공정기술은 기업 경쟁적으로 연구가 진행되고 있으므로 자료입수가 어려우나 일본 등 선진 연구기관에서는 Mbit 기억소자의 성공단계에 도달한 것으로 추측된다.

本 論稿에서는 3D-IC_s의 기본기술인 silicon-on-insulator (SOI)의 기술소개와 연구동향을 다루고자 한다. 向後 높은 부가가치를 가지는 주문형 VLSI의 수요 확대를 예측할 때 기존의 실리콘 기판에 비해 많은 강점을 가지는 SOI 기술의 중요성은 크게 증대될 것이며, 이를 semiconductor-on-insulator의 개념으로 받아 들일 때 SOI는 2000년대 반도체 재료의 중요 기술이 될 것이다.

II. SOI란?

1. 구조

Bulk 실리콘 基板 위에 제조된 MOS 素子를 보면 실제로 트랜지스터의 동작에 소요되는 실리콘층의 두께는 100nm 이하에 불과하다. 그림 1 (a)와 같이 나머지 600 μm 정도의 잉여실리콘은 기계적 기판 역할을 할 뿐이며 오히려 소자의 전기적 특성에는 여러가지 寄生效果를 일으키는 장애요인이 된다. 즉 기판을 통한 latch-up, α 粒子 등에 의한 soft error, 접합 깊이에 따른 short channel 효과 및 bulk punchthrough, subthreshold 특성 저하 등은 소자의 크기가 축소되고 集積度가 높아짐에 따라 더욱 심각한 문제로 대두된다.

SOI(silicon-on-insulator)란 구조적으로 볼 때 MOS 소자의 동작에 필요한 최소 실리콘 박막층만 남겨 두고 이러한 역기능을 주는 잉여 실리콘 부분을 절연막으로 격리시킨 형태라 할 수 있다. 절연막의 구조에 따라 그림 1 (b)와 같이 박막 절연체形, 후막 절연체形 및 부

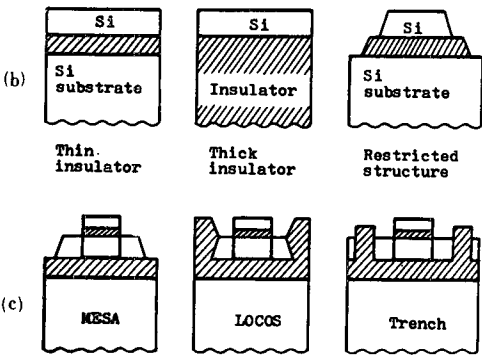
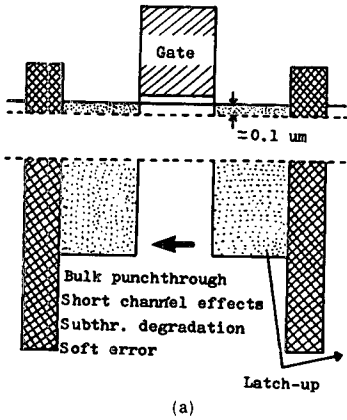


그림 1. SOI의 구조

분 형성된 SOI가 가능하다. 또한 소자간 절연방법으로는 그림 1 (c)와 같이 메사에칭, LOCOS, trench 기법에 의해 완벽한 소자절연을 얻을 수 있다. 이 SOI 기관구조와 소자절연 방법은 각각 장단점이 있다. 박막 절연체형 SOI 기관은 대체로 1 μ m 미만의 두께내에 박막 실리콘층과 매물절연층이 모두 형성되므로 소자간에 기관을 통한 容積의 내부연결이 무시될 수 없어 완전한 절연이 어렵다.⁽⁵⁾ 그러나 얇은 절연층을 이용하여 dual-gate MOSFET等 3차원 구조의 새로운 소자 개발이 가능하다는 장점이 있다.⁽⁶⁾ 후막 절연체형 SOI는 대체로 1 μ m 이상의 두꺼운 절연층이나 전체기관을 sapphire, zirconia 등 良質의 절연물을 이용하므로 원리적으로 완벽한 절연을 기대할 수 있다. 그러나 hetero epitaxy 기술상의 실질적 문제가 남아 있으며 다음에 논의된다. 그림 1 (c)의 소자절연 방법에 있어서도 박막 절연체형 SOI의 경우 연결선 용량을 최소화 하기 위해서는 LOCOS 방법이 바람직하나 α 粒子 등의 放射効果에 의해 산화층내에서 발생하는 유동전하가 게이트에 미치는 영향이 커질 우려가 있다.

이상과 같이 SOI 기관의 구조 및 소자 절연방법은 목적에 따라 복합적으로 고려되어야 할 문제이다.⁽⁶⁾

2. 장점

그림 2는 bulk-CMOS와 SOI-CMOS를 대비한 단면도이다. SOI 소자는 구조적으로 완전한 절연, 최소 접합 면적으로 제조되며 또 공정한 설계의 단순성, 유연성이 그 대표적 장점이라 할 수 있다. SOI의 장점과 기술적 문제점은 제조방법에 따라 크게 의존하며 다음에 비교될 것이나 현 기술수준에서 기대되는 일반적인 장점들을 CMOS 소자에 중점을 두고 논의해 본다.

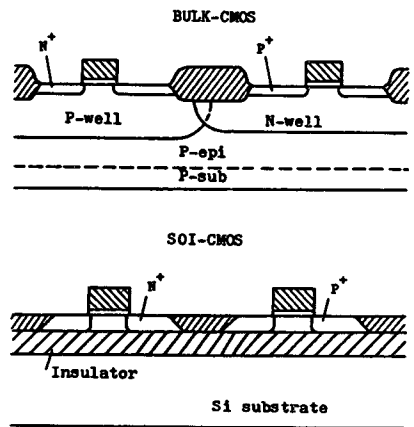


그림 2. Bulk-CMOS와 SOI-CMOS의 비교

(1) 동작속도

SOI의 경우는 연결선과 pad가 절연체 위에 형성되며 그림 2에서 비교된 바와 같이 bulk-CMOS에 비해 접합면적이 극소화 될 수 있으므로 부하용량이 감소하고 빠른 동작속도를 얻을 수 있다. 또 SOI에서는 집적도를 높일 수 있으며 이에 따라 연결선 용량 및 소자 지연 시간도 더욱 감소된다. 表 1은 MOS 소자의 축소에 따른 원칙적인 규격특성을 scaling factor⁽⁷⁾ K로 나타내고 bulk 소자와 SOI 소자를 대비해 본 것이다.

MOS 内에 等電場을 가정할 때 예를 들어 k=2 이면 소자의 규격은 1/2, 불순물농도는 2 배, 전류전압도 1/2 이 된다. 접합면적은 bulk의 경우 1/k²로 축소되는데 반해 SOI는 대체로 0.1~0.2 μ m 정도의 실리콘 두께 t_{si}에 대한 수직접합면 밖에 없으며 접합용량은 t_{si}에 의존하고 최소화 된다. 연결선 용량도 bulk의 경우 1/k에 비해 SOI의 경우는 절연체 두께 t_{in}에 의존한다. 즉 t_{in}과 연결선 간격이 충분히 크다면 이는 무시될 수

있는 크기이다. 동작속도는 또한 이동도에 관계하고 이는 소자의 크기, SOI의 제조방법과 기술에 따라 다르지만 대체로 bulk에 대등한 이동도를 얻고 있다. 따라서 SOI 소자의 동작속도는 t_{so} , t_{in} 및 이동도에 의존하며 현 기술수준에서도 같은 구조의 소자에서 bulk에 비해 2배 정도로 달성되고 있다.

표 1. Scaling Properties

	Bulk	SOI
Device dimension length (L), width (W) field oxide thickness junction depth	1/K 1/K 1/K	1/K $\sim (t_{in} + t_{ox})$ $\sim t_{si}$
Doping concentration, jn. capacitance	K increase	K minimized (vertical jn.)
Threshold voltage $V_{th}(Q_D)$	$V_{th}(W, L)$	$V_{th}(t_{si})$
Subthreshold slope S^*	decrease	maximized ($C_D=0$)
Packing density	$1/K^2$ (latch-up)	$1/K^2$ (no latch-up)
Junction area	$1/K^2$	$\sim t_{si}$
Interconnection cap.	1/K	$\sim t_{in}$
Delay	1/K	$\sim t_{in}, t_{si}$
Power	$1/K^2$	minimized ($\sim S^*$)

(2) 전력소모

CMOS의 전력소모는 CV^2f 에 관계하므로 SOI에서 부하용량의 최소화는 곧 소모전력을 감소시킨다. 또 완전한 소자절연은 동작전압을 높일 수 있다. SOI-CMOS가 동작상태에서 실리콘 박막층이 모두 공핍층으로 바뀌면 공핍층 용량 $C_D = \partial Q_D / \partial V_G = 0$ 가 되고 subthreshold current slope⁽⁸⁾ S^* 가 커지며 게이트 swing의 전력소모도 감소한다. OFF 상태에서 SOI 소자의 누설전류는 주로 실리콘과 절연체계면, 메시에칭된 소자의 모서리를 통하여 발생하며 역시 SOI 제조방법에 따라 큰 차이가 있으나 대체로 bulk에 대등한 정도이다.

(3) Latch-up과 Soft error

소자사이의 완벽한 절연이 가능한 SOI는 trench 형성 등 복잡한 공정없이 latch-up 문제가 근본적으로 해결된다. 또한 α 粒子 等에 의한 放射効果의 영향도 최소화된다. 주로 포장물질에서 발생하는 α 粒子는 0~9 MeV 정도의 에너지로서 수십 μm 실리콘 깊이까지 투과해 들어가며 10^8 개 이상의 전자-정공쌍을 발생시킨다.⁽⁹⁾ 이전하는 소자내의 전장분포에 따라 접촉단자와

접합부근에 축적되어 접합반전을 일으키거나 기억된 정보를 교란시켜서 soft error를 일으킨다. 또한 게이트 부근의 산화막 내에서 생성된 전하는 게이트에 영향을 미치고 문턱전압을 변화시킨다. α 粒子의 발생을 줄이기 위해 안정된 polyimide를 이용하는 방법을 쓰고 있으나 완전한 방지책은 없다. SOI의 경우는 실리콘박막의 두께가 0.1~0.2 μm 정도 밖에 되지 않으므로 α 粒子에 의한 영향을 최소로 줄일 수 있는 장점이 있다.

(4) 集積度

SOI 구조가 가지는 가장 큰 장점이 곧 소자의 집적 밀도를 쉽게 높일 수 있는 점이다. 그림 2의 SOI-CMOS에서 bulk형에서 필요한 두꺼운 field 산화막, 채널 stop, well 확산, 기판 contact 등이 필요없으며 latch-up의 우려가 없으므로 lithography에서 허용되는 최소규격으로 소자간격을 둘 수 있다. 또한 soft error 감소에 따라 그 방지를 위한 부가적 공정이나 설계가 필요치 않다. 더욱이 N채널과 P채널 MOS를 임의로 배치할 수 있으므로 연결선에 의한 칩 소요면적도 줄일 수 있으며 이러한 설계의 유연성은 집적도를 높이는 데 큰 장점이 된다.

(5) 공정의 단순성

그림 2의 대비에서와 같이 SOI-CMOS는 채널 stop, well 확산 등의 공정이 필요치 않으므로 bulk의 경우 16단계 공정에 비해 10단계 공정으로, 마이크 수도 9개에서 7개로 축소된다.⁽⁶⁾ 또한 수백 nm가 되는 얇은 접합깊이에서 일어날 수 있는 metal spike에 의한 접합단락 문제도 근원적으로 해결된다. 다만 SOI 기판재료 공정이 고려되어야 하나 부가가치가 높은 VLSI 단계에서는 기판재료가 차지하는 비중은 점차 약화되며 SOI의 많은 장점으로 충분히 보상된다. 그러나 3차원 집적회로를 위한 공정은 SOI와는 다른 관점에서 다루어져야 할 것이다.

(6) 설계의 유연성과 CAD 적합성

SOI-CMOS에서는 well의 형성이 필요없으므로 요구되는 임의의 위치에 n, p채널 MOS를 각각 혹은 결합된 형태로 배치시킬 수 있다. 즉 칩면적의 활용도를 최대한으로 하며 설계된 회로배치도를 그대로 칩 위에 실현시킬 수 있다. 또한 전적으로 λ -rule에 의한 설계자동화가 가능하며 이는 향후 수요가 확대될 주문형 혹은 반주문형 VLSI를 감안할 때 SOI가 가지는 막대한 강점이 될 것으로 예측된다.

(7) 高電壓소자 응용

EPROM 혹은 EEPROM에서 프로그래밍하거나 지

을 때 25~30V의 고전압이 필요하다. Bulk 실리콘 소자에서는 field 소자 방지를 위해 field 도우핑 농도를 높이거나 두꺼운 산화막을 사용하여야 한다. 이는 다른 소자동작에 영향을 주며 공정에도 제약이 따른다. 그러나 SOI의 경우는 절연기판 위에 직접 고전압 연결선을 설계할 수 있으므로 문제가 해결된다. 또 공정이 끝난 칩 위에 소자결함이 발견되면 고전압을 이용하여 결함부위를 파괴시키고 여분으로 설계된 소자와 연결하여 동작시킬 수 있다. 이 방법은 집적회로가 대용량화되고 부가가치가 커질수록 SOI에서는 흥미로운 것이다.

(8) Short Channel 효과

MOS 소자의 채널 길이가 1 μ m 정도로 축소되면 수평, 수직 방향의 電場증가에 의한 이동도 감퇴, impact ionization에 의한 熱전자 영향 및 접합반전 현상, 유효채널 길이와 문턱전압의 전압의존, 표면전류 등 여러가지 심각한 短채널 효과가 나타난다. 이러한 현상은 소자의 구조와 공정조건에 긴밀히 관계하며 SOI의 경우 극히 얇은 실리콘 층을 이용할 때 구조적으로 短채널 효과를 최소화 할 수 있을 것으로 기대된다. 그러나 現수준에서는 SOI의 결정 및 계면결합, 누설전류 등의 문제점으로 bulk 소자와 비슷한 특성의 실험결과가 보고되고 있다.¹¹⁰⁾

(9) 3 차원 집적회로

SOI 기술을 이용하여 얇은 실리콘과 절연물질을 多層 구조로 형성되면 그림 3 과 같은 積層形의 3 차원 회로를 제조할 수 있으며 이미 실험실 단위에서는 3 층 구조의 MOS 소자를 성공적으로 실현시킨 보고¹¹¹⁾도 있다. 3D-ICs는 3 차원으로 정밀제어되는 새로운 공정기술의 개발이 요구되며 실용측면에서도 공정의 복잡성에 따른 신뢰도, 수율, 가격 등이 고려되어야 하므로 단기적 성과의 기대가 어렵다. 그러나 장기적으로 회로의 집적도 한계를 예견할 때 집적회로의 3차원화는 반드시 성취되어야 할 과제이며 SOI 공정기술의 발전이 그 바탕이 될 것이다.

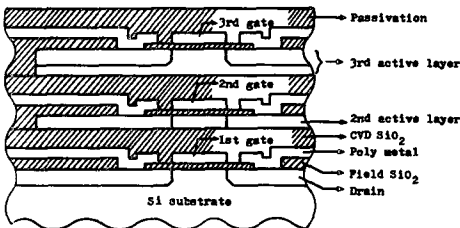
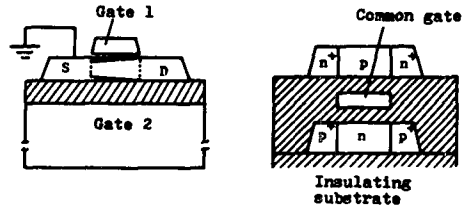


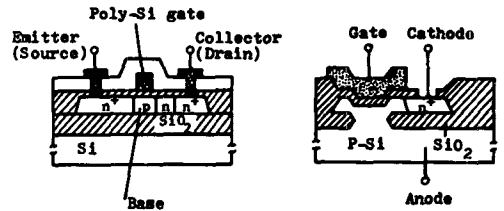
그림 3. 3D-ICs : 3 층 MOS 트랜지스터의 구조

(10) 새로운 소자구조

그림 4 는 SOI를 이용하여 제조가능한 새로운 소자 형태를 몇가지 예시한 것이다. 그림 4 (a)는 박막절연체형 SOI에서 매몰절연층을 게이트로 이용한 dual-gate MOS¹¹²⁾이며 또한 그림 4 (b)와 같이 한개의 게이트로 P-와 N- 채널을 제어하는 common-gate MOS 구조도 가능하다. Bulk 실리콘 기판위에 필요에 따라 局所的으로 SOI를 형성할 수 있으므로 한개의 칩 위에 고속바이폴라 소자와 CMOS를 동시에 제조하는 BIC-MOS 회로가 쉽게 실현될 수 있다. 또한 그림 4 (c)와 같이 하나의 소자를 MOS로 혹은 측방향 바이폴라 소자로 사용할 수도 있다.¹¹³⁾ 그림 4 (d)는 게이트에 의해 제어되는 접합다이오드이며 훌륭한 특성을 얻고 있다.¹¹²⁾ 이외에도 SOI의 구조적 장점을 이용하여 광소자, 각종 센서, microwave 소자, SAW 소자 등 그 응용형태는 다양할 것이다.



(a) Dual-gate MOS (b) Common-gate MOS



(c) BIMOS (d) Gate-controlled Diode

그림 4. SOI를 이용한 새로운 소자구조

III. SOI 제조기술

집적회로 응용을 위한 SOI 재료에 관한 초기단계의 연구는 1964년 Manasevit와 Simpson¹¹⁴⁾에 의해 발표된 silicon-on-sapphire (SOS)가 그 시초라 할 수 있다. 그후 1970년대 말까지는 우주항공, 군사용 등 특수목적을 위한 SOS 소자 개발이 계속되어 왔다. 1980년대에 들어서 VLSI시대가 열리고 bulk실리콘 기판을

이용한 집적기술의 한계가 논의되기 시작하면서 부터 제 2 단계의 SOI 연구가 본격적으로 시작되었고 이미 수십가지에 달하는 SOI 기판제조 방법이 연구 발표되고 있다.^{16,18} 독립된 한가지 공정만으로 우수한 결정질의 SOI를 얻기가 어렵고 공정자체의 정확한 구분도 복잡하므로 SOI 기술을 제조방법에 따라 명확히 분류하기는 곤란하다. 그러나 기본공정 기술을 중심으로 아래와 같이 분류하고 원리적인 측면에서 소개한다.

1. Epitaxy 방법

(1) SOS (silicon-on-sapphire)

1960~70년대의 SOS는 그림 5 와 같이 sapphire (Al_2O_3)를 기판으로 하고 그 위에 heteroepitaxy 방법으로 단결정실리콘 층을 성장시킨 것이며, 70년대末에 재료 및 소자응용에 관한 많은 종합기술 review^{16,17}가 발표되어 있다. 이 방법의 근본적인 문제는 Al_2O_3 (rhombohedral)기판위에 실리콘(face-centered cubic)에피층을 성장시킬 때 나타나는 결정의 不整合, 알루미늄의 autodoping, 열팽창 차이에 의한 stress等이다. 그림 5 의 약 80nm 정도인 초기성장층에서는 micro twin등 많은 결정결함과 autodoping된 불순물을 포함하는 多晶質에 가까운 결정층이 형성된다. 그 후 점차 단결정 실리콘층이 성장되나 성장방향으로의 비균질성과 내부 stress의 영향이 실리콘층의 전기적 특성을 크게 퇴화시킨다.¹⁸ '80년대에 들어서 고체상태의 에피성장 방법을 이용하는 복합 SOS 기술로서 SPEAR(solid phase epitaxy and regrowth)¹⁹가 개발되어 거의 bulk에 가까운 특성을 가지는 SOS 기판을 얻을 수 있다. 그림 6 은 SPEAR에 의해 SOS가 만들어지는 과정을 도시한 것이다. SPEAR-SOS가 그림 5 의 heteroepi 보다 대체로 30% 정도²⁰의 이동도 증가를 보였으며, (001)실리콘과 (IT02)sapphire界面에서 완벽한 결정을 보여 주는 multibeam lattice image²¹도 보고되고 있다. 그러나 계면결정상태와 이동도가 개선됨에 따라 오히려 계면을 통한 누설전류가 증가되는 문제도 나타난다. 최근 SPEAR의 개량된 기술은 참고문헌 [22]에 상세히 기술되어 있으며, 0.3 μ m 두께의 SOS로 제조된 채널길이 0.5 μ m의 CMOS/SOS 인버터, 동작전압 5V에서 52psec의 빠른 동작속도를 얻고 있다.²³

(2) SOZ (silicon-on-yttria stabilized zirconia)

SOZ는 원리적으로 그림 5 와 같은 heteroepi에서 나타나는 결정결함층을 산화시켜 SiO_2 로 만들어 계면특성을 개선시키는 방법이다. 기판물질인 cubic YSZ (yttria-stabilized-zirconia)는 Y_2O_3 와 ZrO_2 의 결합

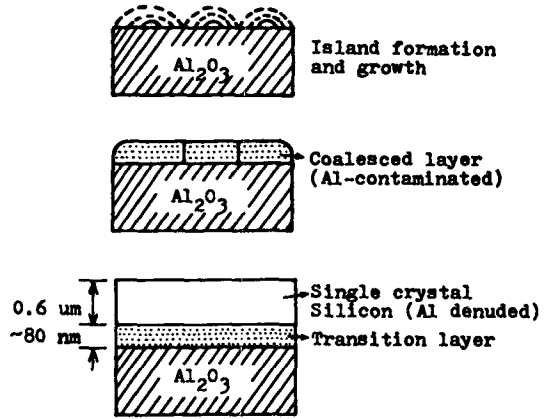


그림 5. Heteroepitaxy에 의한 SOS의 형성과정

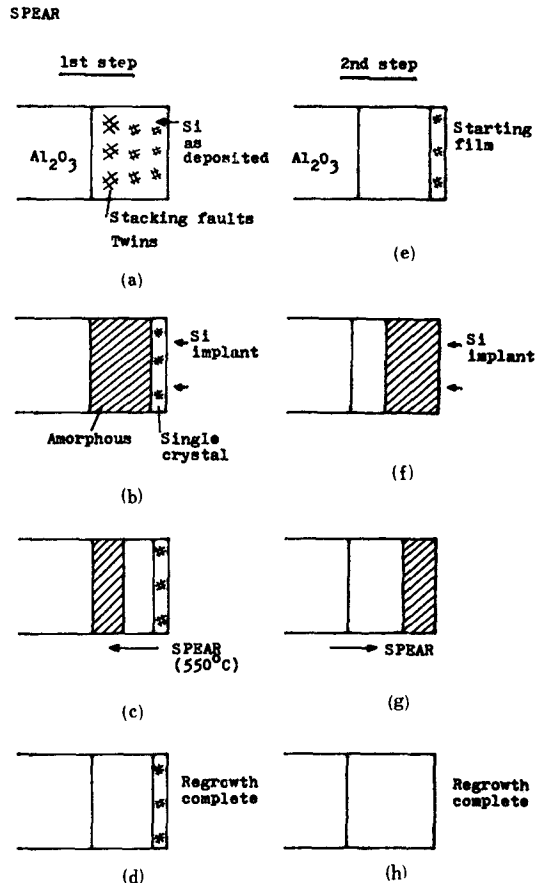


그림 6. SPEAR 방법에 의한 SOS 제조과정

형성 과정에서 산소 vacancy를 다량 포함하고 있으므로 고온에서는 산소이온에 대해 좋은 이온 전도체이며

산소가스센서로도 응용되는 물질이다. 따라서 YSZ 위에 실리콘층을 형성한 후 1,200℃ 정도, 산소분위기에 열처리하여 결정결합이 많은 계면을 SiO₂로 만들 수 있다.^[24,25] 그러나 아직 소자응용단계에는 이르지 못하고 있다.

(3) ELD(epitaxial lateral overgrowth)

그림 7은 ELO공정을 설명한 것이다. 실리콘 기판에서 성장된 에피층의 측면방향으로 성장되기 시작할 때 SiO₂ 위에서 자라는 다晶質 실리콘을 HCl가스를 흘려서 제거하고 2 단계 에피를 측면방향으로 성장시키면 SOI 구조를 얻게 된다. 이 방법은 SiO₂ 층의 두께와 길이, 온도분포 및 2 단계 성장시에 SiO₂ 위에 poly실리콘 형성을 막기 위해 흘려주는 HCl량에 따른 성장과 에칭의 비율 등이 중요하며, 최적조건에서 성장된 ELO의 경우 결정결합 밀도가 10³/cm⁻² 정도^[26]로 보고되고 있다. ELO는 RCA연구소에서 연구되고 있으며 측방향 바이폴라 소자^[27] 등이 발표되었으나, 실용 기술의 판단에는 제반자료가 미흡하다.

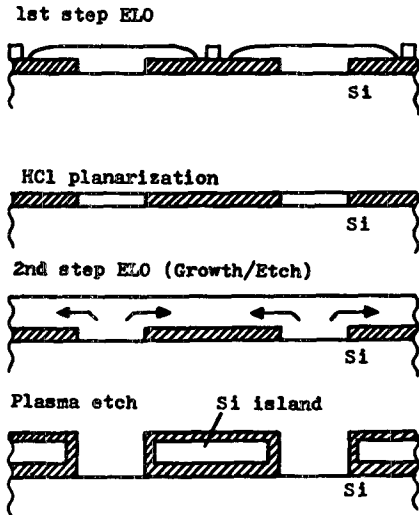


그림 7. ELO-SOI의 제조과정

(4) Epitaxial Insulator

절연층과 반도체층을 번갈아 epitaxy로 성장시켜 SOI 구조를 얻는 방법으로서 절연층 물질로는 주로 CaF₂, SrF₂, BaF₂ 등 alkaline earth flouride계 화합물이 연구되고 있다. 이들은 Si, Ge, InP, GaAs 등 반도체 물질과 結晶不整合이 1% 미만이며,^[28] Ca_xSr_{1-x}F₂, Ba_xSr_{1-x}F₂ 화합물은 각각 GaAs와 InP에 완벽한 結

晶整合을 이룰 수 있는 것으로 알려져 있다. 또한 500~800℃ 정도의 성장온도에서 CaF₂/Si界面의 좋은 결합상태를 얻을 수 있으며 autodoping 문제도 무시할 정도로 나타난다.^[29] 이 방법은 3D-IC_s에의 응용 뿐만 아니라 실리콘 기판 위에 Ge나 다른 화합물 반도체의 SOI를 局所的으로 형성할 수 있어서 복합반도체로 된 집적회로 응용에 기대되는 바 크다.^[28,30] 소자응용에 있어서는 Si(500nm)/CaF₂(200nm)/Si 구조의 100-stage CMOS 인버터 제조에서 80%의 수율을, V_{DD} = 5V, L=2.0μm에서 360psec의 propagation delay를 얻은 것으로 보고되어 있다.^[31] 그러나 구체적 기술자료가 역시 충분치 못하다.

(5) 기타 결과

그외 여러가지 절연물을 기판으로 하여 SOI 구조를 형성시킨 연구결과들이 있지만 소자응용단계에 도달하지는 못하였다. 그중 대표적인 것이 spinel(MgO-Al₂O₃)이며 이미 1960년대에 연구되었으나^[32] Al₂O₃에 비해 結晶整合 등에 장점이 있음에도 불구하고 당시에 spinel 결정성장의 어려움 때문에 계속 연구가 이루어지지 않는다. 또 quartz, BeO, AlN, ZnO 등에 관한 기초연구 자료도 보고된 바 있다.^[16]

2. Implantation 방법

(1) SOI by Oxygen Implantation

실리콘 기판 위에 산소이온을 대체로 10¹⁸/cm², 150~200KeV 정도로 주입한 후 900~1,400℃에서 열처리하면 100~300nm 두께의 그림 8과 같은 SOI 구조를 얻을 수 있다.^[33-37] 이 방법은 1978년 K. Izumi등^[37]에 의해 발표되었으며 SIMOX(separation by implanted oxygen)로 알려졌다. SOI의 결정질, 두께와 매물산화층의 두께, 化學量論 등은 산소이온의 주입량, 에너지, 이온주입시의 기판온도, 열처리온도 및 방법에 의해 민감하게 결정된다. SIMOX 소자로는 64K-SRAM, 수율 65%의 1.2K-gate array, 5V에서 52psec/stage로 동작하는 59 stage submicron CMOS 등이 보고되어 있다.^[36] SIMOX 기판제조를 위해서는 다량의 산소이온을 주입할 수 있는 특수한 implanter가 필요하므로 1980년대 초반까지는 NTT(日), HP, TI, Motorola(美), Univ. of Surrey(英), LETI-CENG(佛), Philips(和)에서만 연구결과가 발표되었다. 근래에는 Eaton NV-200, VG Semiconductors OXIS-100 등의 high current implanter가 상품화되었고 SIMOX 웨이퍼도 주문판매되고 있으나 무척 高價이다. 그러나 SIMOX는 기존의 bulk 실리콘 기술을 그대로 이용하므로 공정이 간단하다는 큰 장점을 지니고 있다.

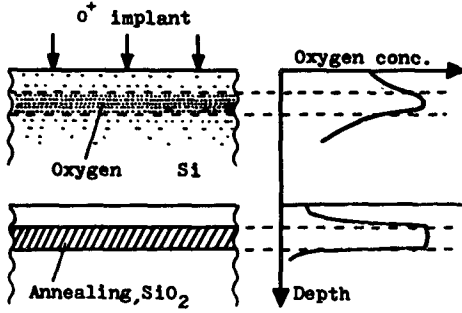


그림 8. SIMOX-SOI의 제조방법

(2) SOI by Nitrogen Implantation

원리적으로 SIMOX와 동일하며 산소 대신 질소이온을 주입하여 Si₃N₄를 매물결연층으로 하는 SOI 구조를 만드는 방법이다. 질소이온의 주입량, 에너지 및 기타 공정조건도 SIMOX와 유사하다.^[38, 39] 그러나 미세한 실리콘 덩어리가 질화된 매물결연층 내에 남게 되며 완벽한 Si₃N₄를 얻기가 어렵고 stress, 누설전류 등도 SIMOX에 비해 크게 나타난다. 재료공정 단계의 연구가 진행되고 있는 정도이다.

3. Recrystallization 방법

실리콘 기판의 산화막 위에 CVD, sputtering 등으로 실리콘을 올리고 단결정으로 再成長시키는 방법으로 여러가지 기술이 보고되어 있다. 再成長되는 機構에 따라 세가지 정도로 분류가 가능하며 주로 poly실리콘막을 이용하는 ZMR(zone melting recrystallization)과 amorphous 실리콘막을 이용하는 SPE(solid phase epitaxy) 또 incoherent 光源을 사용한 RIP(rapid isothermal process) 방법이 있다. 관점에 따라서는 再成長시 seed의 이용여부에 따라 seeded 혹은 unseed 방법으로, 또는 사용된 熱源의 종류에 따라 분류될 수도 있다.

(1) ZMR(zone melting recrystallization)

그림 9는 대표적인 ZMR 방법을 설명한 것이다. Seed 창문이 열려있는 산화막 위에 CVD로 poly-Si를 올리고 측면방향으로 走査加熱하여 poly 층을 녹이면 poly 층은 기판실리콘을 seed로 하여 단결정으로 재성장되고 SOI 구조가 얻어진다. 이때 용융된 실리콘층의 변형을 막기 위해 Si₃N₄와 SiO₂ 보호막을 cap으로 이용하며 최적온도 분포를 얻기 위해서 기판후면을 일정온도 T_H로 가열하여 유지시킨다. 走査熱源으로는 주로 W-wire,^[40] graphite strip heater,^[41] 線形 arc lamp,^[42]

laser,^[43] E-beam^[44] 등과 RF source^[45]를 사용할 수도 있다. 이 방법은 熱源의 종류, 형태와 기관과 cap의 구조, 加熱 및 走査조건 등에 따라 다양한 결과로 나타나며 참고문헌 [46]에서 종합적인 자료를 얻을 수 있다.

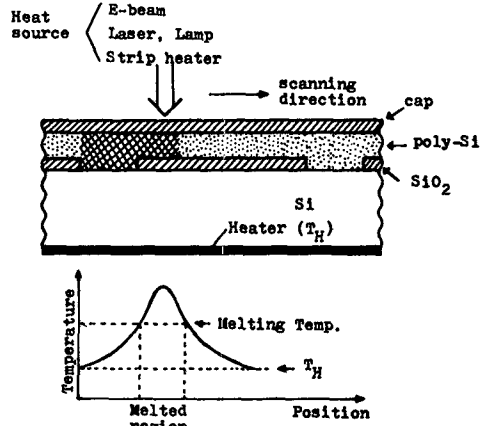


그림 9. 대표적인 ZMR 공정

(2) SPE(solid phase epitaxy)

SOI를 얻기 위한 SPE 방법은 熱源이나 공정면에서 ZMR과 유사하다. 그러나 재성장되는 실리콘층은 CVD, UHV증착, Si⁺이온주입 등의 방법^[47]으로 올려진 amorphous 실리콘이며 이 a-Si 제조방법은 SPE-SOI의 결정상태에 큰 영향을 준다. 또 seed와 SOI의 구조, spot 혹은 line-beam의 형태와 균질성, 성장후 열처리 온도 등이 측면 성장에미층의 결정질을 좌우하며 dislocation과 twin 등이 주된 결정결함이다.

(3) RIP(rapid isothermal process)

절연체 위에 형성된 poly-Si island를 변형 및 반사장치를 위해 SiO₂, Si, Si₃N₄ 등으로 encapsulation 하고 tungsten-halogen lamp 등으로 수 sec 정도에 급속용융시켜 재결정화 하는 방법이다. 구조에 따라 seed를 이용할 수도 있으며 ZMR 방법과의 복합공정도 가능하고 100 μm 정도의 큰 grain을 얻을 수 있다.^[48] 이 방법은 lamp의 간격, 전력, 기판의 온도분포, 가열, 냉각조건, 熱的 over shoot의 제어 등이 중요한 기술이며 단결정 SOI를 얻기는 어렵다.

再結晶 成長기술을 이용한 SOI는 bulk 실리콘과 동일한 결정질을 얻을 수 있는 기술수준에 도달하여 있으며, NMOS 소자의 이동도는 동일구조의 bulk 소자

에 비해 1.4배로 나타나는 실험결과도 보고되어 있다.⁽⁴⁹⁾ 이 방법은 고성능 SOI 회로 보다는 3D-ICs의 바탕기술로서 집중 연구되고 있으며 이미 2층 구조의 CMOS SRAM,⁽⁵⁰⁾ 3층 구조의 stacked MOS소자⁽¹¹⁾를 성공적으로 보고하고 M-bit급 기억소자의 실현단계에도 곧 도달할 것으로 보인다.

4. Porous Silicon 방법

선택적으로 도우핑되어 있는 실리콘 기판을 고농도 HF (20%~50%) 속에서 양극반응시키면 P형 실리콘은 그림10(a)와 같은 과정을 통해 수 10~100 Å 크기의 micropore를 가지는 porous 실리콘으로 바뀌게 된다. 이것을 열산화하면 SOI 구조를 얻을 수 있으며 이 방법은 FIPOS (full isolation by prous oxidized silicon)로 알려져 있다. 고농도 HF에서 실리콘이多空質化되는 현상과 그機構는 이미 1950년대⁽⁵¹⁾에 보고된 바 있으며, 그 후 바이폴라 회로의 소자절연을 위한 저온 공정기술로 이용되며 IPOS (isolation by porous oxidized silicon)라 알려져 왔었다. 그러나 실리콘 island를 만들어 SOI 구조를 얻는 방법은 1981년 K. IMAI⁽⁵²⁾에 의해 처음 발표되었다.多空質실리콘은 bulk의 결정구조를 그대로 유지하며 또한 micropore 현상으로 산화속도가 bulk에 비해 100배 가량 빠르므로 SOI 구조가 형성된다. 산화후 stress가 없는 良質의 SOI를 얻기 위한 최적의 porosity (~56%)와 pore 크기는 HF 농도, 기판불순물 농도, 전류, 시간 등 전기화학적 반응조건⁽⁵³⁾과 산화방법⁽⁵⁴⁾에 의존한다. 얇고 균일한 SOI를 얻기 위해서는 반응공정의 이방성이 요구되며 그림 10(a)의 원리적 방법에서 여러가지 개선된 기술이 보고되고 있다. 대표적으로 Si-MBE,⁽⁵⁵⁾ H⁺-implantation⁽⁵⁶⁾을 사용하는 방법과 또 그림10(b)와 같이 다공질화 되는 전류통로를 만들어 주는 방법이 있으며 이 방법으로 200nm 두께, 100 μm 幅의 SOI strip을 800nm 두께의 절연층 위에 만들 수 있다.⁽⁵⁷⁾ 이 FIPOS 기술은 1980년대 초반에 주로 일본에서 연구되었으며 최대 1GHz에서 동작하는 2K gate 1 μm-CMOS,⁽⁵⁸⁾ pA 이하의 누설전류⁽⁵⁹⁾ 등이 발표되어 있다.

5. 기타 SOI

그림11(a)는 전통적인 바이폴라 절연방법이며, 그대로 SOI 기판으로 이용할 수 있다. 그림11(b)는 두개의 실리콘 기판을 고전장, 열, 압력을 가하여 접합시켜 p⁺실리콘 기판을 제거한 모양이다. 그 외에도 grapho-epitaxy, channeled Si⁺ implantation and regrowth 등의 방법⁽¹⁵⁾도 원리적으로 소개되어 있으나 연구

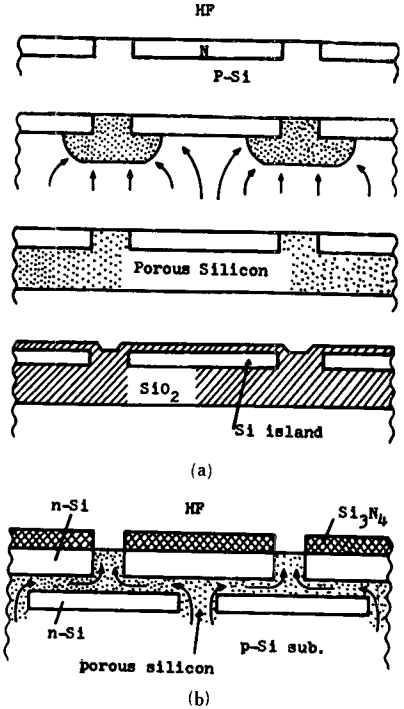
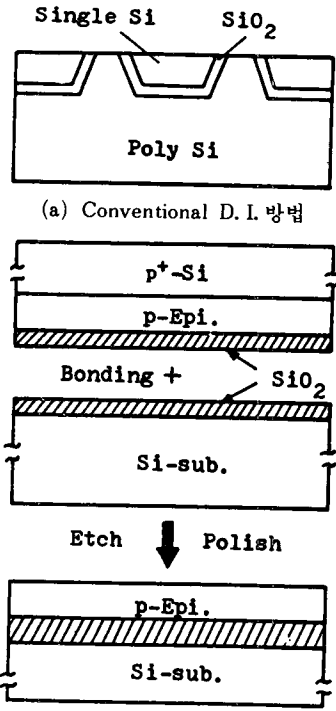


그림10. FIPOS-SOI의 제조방법



(b) 기판 Bonding 방법

그림11.

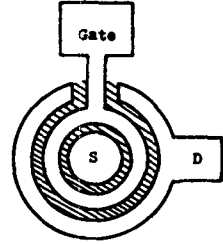
결과의 발표가 없다. 근래 독립적으로 공정이 완료된 웨이퍼를 서로 접합시켜 3D-ICs를 만들고자 하는 노력도 있으며, 이때 Van der Waals 힘을 이용한 강력한 접합이 가능하다는 연구결과⁽⁶⁾가 발표되었으나 구체적인 내용은 공개되어 있지 않다.

6. 문제점

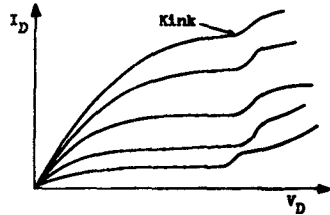
집적회로의 집적도를 높이고 고성능을 얻기 위하여 SOI 구조가 가지는 원리적인 장점은 앞에서 논의된 바와 같이 아주 크다. 그러나 현재의 기술수준에서 볼 때 몇가지 해결되어야 할 문제점이 있으며 대체로 bulk 실리콘과 동일한 특성의 SOI를 얻기 위한 기술상의 어려움, SOI 기판의 가격, 실용을 위한 광범위한 실험 데이터의 부족 등을 들 수 있으며 또한 더 중요한 기술外的인 문제도 있을 수 있다. SOI의 결정질은 이미 bulk 실리콘에 대등한 수준에 도달한 것으로 보이며 ZMR/SPE, SIMOX, FIPOS는 bulk와 동일한 이동도를 얻고 있다. 실리콘과 절연기판계면에서 나타나는 누설전류는 SOS 外에는 문제되지 않으며 오히려 SOI 소자의 구조상에 발생하는 모서리를 통한 누설전류가 문제이다. 그림12(a)와 같은 edgeless 트랜지스터를 이용하면 모서리를 통한 누설전류를 비교 측정할 수 있으며, 이것은 소자의 공정기술에 의해 좌우된다. 또 MOS-SOI 소자는 기판연결이 없이 "floating"된 상태에서 동작되므로 그림12(b)와 같은 "Kink 효과"⁽⁷⁾가 나타난다. 이 현상은 드레인 전압이 증가되면 고전장이 걸리는 드레인 부근의 공핍영역에서 impact ionization에 의해 전자-정공쌍이 생성되고, NMOS-SOI의 경우 전자는 드레인으로 흘러가나 출구가 없는 정공전하는 축적되어 문턱전압을 낮추고 전류를 증대시켜 kink를 나타내게 한다. 그림12(b)의 특성은 전자의 충격 이온화율이 높기 때문에 n-채널 MOS에서 크게 나타난다. 이 무늬는 아직 정확한 정량적 분석이 없으며 아날로그 소자의 응용에는 큰 장애가 된다. 그림12(c)와 같은 deep depletion MOSFET(혹은 buried channel MOSFET)에서는 kink 효과가 제거되나 공핍형의 제약이 있다. SOI 기판가격은 현재 판매되고 있는 SOS와 SIMOX의 경우 대체로 bulk 웨이퍼에 비해 수십배에 달하고 있다. 그러나 칩의 부가가치가 높아져 가고, SOI 기판의 장점인 공정과 설계의 단순함, on-chip fault tolerance 등을 고려하면 오히려 bulk에 비해 칩 단가가 낮아 질 수도 있을 것이다.

IV. 연구동향

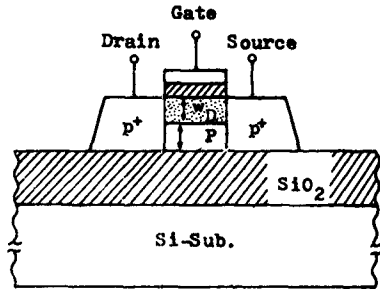
SOI 특성은 공정기술에 따라 크게 의존하므로 논문



(a) Edgeless 트랜지스터



(b) Kink 효과



(c) Deep-depletion MOS의 구조

그림12.

표 2. Features of SOI Substrate

	SOS	ZMR/SPE	SIMOX
Defect type	μ -twin	Grain bound.	Disloc.
Surf. defect density (cm^{-2})	10^7	Very low	$10^7 \sim 10^8$
Lateral uniformity	yes	optional	yes
Depth uniformity	no	yes	depend on preparation
Front film μ (% bulk)	(n) 50~70 (p) ~100	100 100	100 100
Rear film μ (% bulk)	(n) <10 (p) <10	>50 >50	depend on preparation
J _n leakage current	$10 \sim 100 \times$ bulk	~bulk	~bulk
Minority carrier life time	ns	us	us(?)
Anormalous diffusion (lateral depth)	? yes	yes no	no ?
SiO ₂ quality (% of bulk)	80~90	?	?
Unintentional doping type	p (Al)	n (Ox)	n (Ox)

으로 발표된 학술적 내용을 통하여 제조방법에 따른 특성비교를 하기에는 어려운 점이 있다. 그러나 S. L. Partridge⁽⁶²⁾에 의해 발표된 내용을 표 2에 나타내었다. 1986년 현재 LSI 수준의 기술에 달하고 있는 SOS, ZMR/SPE, SIMOX 기판에 대한 특성비교로서 대체로 bulk 실리콘에 대등한 전기적 특성을 얻고 있다. SIMOX의 경우 의문부호로 나타낸 게이트 절연막의 특성도 bulk와 유사한 것으로 측정되었다.⁽⁶¹⁾ FIPOS도 이 세가지 SOI에 비해 뛰어난 특성을 가지며 소자 및 회로응용 단계에 있으나 발표된 자료가 부족하여 대비가 어렵다.

회 등에 발표된 문헌자료를 바탕으로 여러가지 방법의 SOI 기술수준과 각국의 주연구기관을 도표화한 것이다. 그러나 대학자료실과 필자의 한정된 자료수집 능력으로 전 세계의 최신 연구결과를 포괄적으로 나타내는 것이 될 수 없음을 밝혀 둔다. SOS 기술은 1970년대 말까지는 미국의 RCA 연구소와 일본의 Toshiba에서 많은 연구결과가 나왔으며 1980년대에 들어서는 각국의 연구소에서 실용기술 연구가 진행되고 있다. SIMOX의 경우는 미국, 일본에서 주로 연구되었고, 3D-IC, 응용에 가장 큰 기대를 모으고 있는 ZMR/SPE와 또한 FIPOS 기술까지도 일본의 기업연구소들에 의한 연구진전이 괄목할 만하다. SOI/3D-IC, 기술 전반에

표 3은 1980~1986년까지 전문학술지, 기술자료, 학

표 3. SOI Technologies : 1980~1986

Method		Acronym	Tech. level	Ref. sources (1980~1986)
(Hetero-) Epitaxy	Si on Al ₂ O ₃	SOS	LSI	(USA) RCA, Hughes, TI, HP, Rockwell, (Jap) Toshiba, (UK) GEC, BTRL, (Fr) LETI.
	Si on YSZ	SOZ	sub.	(USA) Rockwell, (Fr) Thomson.
	Epi. Lateral Overgrowth	ELO (LESS)	device	(USA) RCA.
	Epi-insulator		device 3D-IC _s	(USA) AT & T, U. Oklahoma, (Jap) NEC, OKI, Tokyo I.T.,
Implantation	O ⁺ implant	SIMOX	LSI	(USA) TI, Motorola, GEC, Eaton, AT & T, (Jap) NTT, (UK) U. Surrey, BTRL, (Fr) LETI, CNET.
	N ⁺ implant	SIMON	sub.	(USA) IBM, (UK) U. Surrey, BTRL, (Ge) U. Dortmund.
Recrystallization	Zone Melting Recrystal	ZMR	LSI 3D-IC _s	(USA) MIT, TI, Cornell U, GEC, HP, AT & T, Stanford U, (Jap) Mitsubishi, Fujitsu, Sony, Toshiba, Hitachi, U. Tokyo, Tokyo I.T, OKI, (UK) BTRL, GEC, (Fr) CNET, LETI.
	Solid Phase Epitaxy	SPE		
	Rapid Isotherm. process	RIP	sub.	
Porous Silicon	Porous-Si Oxidation	FIPOS	LSI	(USA) Signetics, GTE, IBM, (Jap) NTT, OKI, (UK) Royal, SRE, (Fr) CNET.
Others	Sub. bonding		3D-IC _s	(Jap) NEC, (Neth) Philips
	Conventional D. I.		Device	
	Channeled implant			

있어서 일본이 선두에 있으며 미국, 유럽도 특수 SOI 소자개발의 상당한 수준에 도달한 것으로 추측된다. 그러나 1980년대 초반에 비해 SOI의 관심도는 복합반도체기술, 초전도 소자 등에 의해 조금 약화된 감은 있으나 향후 집적회로의 집적한계, 고성능 주문형칩의 수요확대를 예측한다면 국내에서도 개발노력이 시작되어야 할 시점이라 할 수 있겠다.

V. 結 論

기존의 실리콘 집적회로 기술은 현재의 추세로 보면 2000년에는 집적도 한계의 벽에 다다를 것으로 전망되며 또한 사회적 慾求와 정보의 급격한 팽창에 따라 주문형 ULSI 시대도 멀지 않을 것으로 보인다. 이 시점에서 SOI/3D-IC. 기술개발의 필요성은 점점 강조되고 있으나 국내 반도체 기술계에서는 아직도 큰 관심을 기울이지 않고 있다. 良質의 SOI 기판을 만들 수 있는 여러가지 재료공정 기술은 원리적 이해나 장비만으로 해결될 수 있는 문제가 아니며 고도의 기능과 경험의 축적을 요하므로 기초연구의 차원에서 장기적 노력이 필요하다. 또 다른 측면에서는, 수천 Å 정도의 박막에서 이루어지는 확산, 산화, 에칭 등의 공정파라미터, 소자와 회로모델, 설계를 위한 tool의 개발 등 응용차원의 연구도 병행되어야 하며, SOS나 SIMOX 기판의 구입으로 가능할 것이다. 이미 최첨단인 4Mbit급 기술을 갖추고 있는 국내 실정으로 비추어 볼 때 기존 장비와 시설로서 가능한 SOI 연구의 시작도 바람직한 시점으로 생각한다.

參 考 文 獻

- [1] A.D. Wilson, "X-ray Lithography: Can it be justified?," *Solid State Technology*, May, pp. 249-255, 1986.
- [2] H.E. Oldham, S.L. Partridge, "A comparison of MOS processes for VISI", *ibid*, Part I; pp. 177-183, June, 1984. Part II; pp. 249-256, Sept. 1984.
- [3] R.W. Keyes, "Limitations of small devices and large systems", *VISI Electronics*, vol.1, Academic Press Inc., pp.185-230, 1981.
- [4] J.R. Barker, "Fundamentals aspects of quantum transport", *Handbook on Semiconductors*, vol.1, North-Holland Pub. Co., pp.617-660, 1982.
- [5] 李鍾玄, "산소이온 注入으로 제조된 SOI 薄膜의 전기적 특성", 대한전자공학회 논문지, 제24권, 제2호, pp. 83-91, 1987.
- [6] S.L. Partridge, "Silicon-On-Insulator and device application", *Solid State Devices 1985*, Elsevier Science Publishers, pp. 115-132, 1986.
- [7] H.W. Lam, A.F. Tasch, Jr., R.F. Pinizzotto, "Silicon-On-Insulator for VLSI and VHSIC", *VISI Electronics*, vol.4, Academic Press Inc., pp.1-54, 1982.
- [8] J.R. Brews, *Physics of the MOS transistor*, Applied Solid State Science Supplement 2A, Academic Press Inc., 1981, pp.30-34.
- [9] P.M. Carter, B.R. Wilkins, "Alpha particle induced soft errors in NMOS RAMs: A review", *IEEE Proceedings*, vol.134, no.1, pp.32-44, 1987.
- [10] M.P. Brassington, A.G. Lewis, S.L. Partridge, "A comparison of fine-dimension Silicon-On Sapphire and bulk-silicon complementary MOS devices and circuits", *IEEE Electron Device*, vol. ED-32, no. 9, pp. 1858-1867, 1985.
- [11] K. Sugahara, T. Nishimura, S. Kusunoki, Y. Akasaka, H. Nakata, "SOI/SOI/Bulk-Si triple-level structure for three-dimensional devices" *IEEE Electron Device Lett.*, vol. EDL-7, no. 3, pp.193-195, 1986.
- [12] M. Miyao, M. Ohkura, T. Tokuyama, "Characterization of SOI double Si active layers through fabrication of elementary devices", *Silicon-On-Insulator (Ed. S. Furukawa)*, KTK Scientific Publishers, pp.269-281, 1985.
- [13] B.Y. Tsaur, "Zone-melting recrystallization of Si films on SiO₂", *ibid*, pp.101-128.
- [14] H.M. Manasevit, W.I. Simpson, "Single crystal Silicon on a Sapphire substrate", *J. Appl. Phys.*, vol.35, pp.1349-1351, 1964.
- [15] L. Jastrezebski, "Comparison of different SOI technologies: Assets and liabilities", *RCA Review*, vol.44, pp.250-269, 1983.
- [16] G.W. Cullen, C.C. Wang(Ed.), *Heteroepitaxial Semiconductors for Electronic Devices*, Springer-Verlag, 1978.
- [17] *SOS Special Issue, IEEE Electron Device*, vol. ED-25, no. 8, 1978.
- [18] 李鍾玄, 辛長奎, "비균질, 이방성 반도체의 자전효과 해석", 경북대 공대 전자기술연구지, 제5권, pp. 1~11, 1984.

- [19] J. Amono, K. Carey, "A novel three-step process for low-defect-density Silicon on Sapphire", *Appl. Phys. Lett.*, vol.39, no.2, pp.163-165, 1981.
- [20] D.C. Mayer, P.K. Vasudev, J.Y. Lee, Y.K. Allen, R.C. Henderson, "A short channel CMOS/SOS technology in recrystallized 0.3-um-thick Silicon-On-Sapphire films", *IEEE Electron Device Lett.*, vol. EDL-5, no. 5, pp. 156-158, 1984.
- [21] F.A. Ponce, "Fault-free Silicon at Silicon/Sapphire interface", *Appl. Phys. Lett.*, vol.41, no.4, pp.371-373, 1982.
- [22] S. Furukawa (Ed.), *Layered Structures and Interface Kinetics: Their Technology and Applications* KTK Scientific Publishers, pp. 73-135. 1985.
- [23] D.C. Mayer, P.K. Vasudev, A.E. Schmitz, R.H. Kastiris, "A high-speed submicrometer CMOS/SOS process in SPEAR material" *IEEE IEDM 85*, pp.676-679, 1985.
- [24] I. Golecki, H.M. Manasevit, L.A. Moudy, J. J. Yang, J.E. Mee, "Heteroepitaxial Si films on Yttria-stabilized, cubic zirconia substrates" *Appl. Phys. Lett.*, vol.42, no.6, pp.501-503, 1983.
- [25] D. Pribat, L.M. Mercandalli, M. Croset, D. Dieumegard, "Heteroepitaxial growth of Silicon on (100) YSZ and thermal oxidation of the Si-YSZ interface" *Materials Lett.*, vol.2, no.6A & B, pp.524-528, 1984.
- [26] L. Jastrzebski, "Silicon CVD for SOI: Principle and possible application" *Solid State Technology*, pp.239-243, Sept. 1984.
- [27] A.C. Ipri, L. Jastrzebski, J.F. Corboy, "Device characterization on monocrystalline silicon grown over SiO₂ by the ELO process", *IEEE IEDM 82*, pp.437-440, 1982.
- [28] J.M. Poate, R.T. Tung, J.M. Gibson, D.C. Jacobson, J.M. Phillips, "Formation of epitaxial silicides and insulators on Si and other semiconductors", *Layered Structures and Interface Kinetics (Ed. S. Furukawa)*, KTK Scientific Publishers, 1985.
- [29] T. Asano, H. Ishiwara, "Epitaxial growth of group-IIa-fluorides/silicon heterostructures", *ibid* pp.199-219.
- [30] S. Kanemaru H. Ishiwara, S. Furukawa, "Planarized growth of Ge overlayers on CaF₂/Si structures by electron beam exposure to predeposited layers", *18th (1986. Int.) Conference on Solid State Devices and Materials, Proceedings*, pp.581-184, 1986.
- [31] H. Onoda, T. Katoh, N. Firashita, "Si-gate CMOS devices on a Si/CaF₂/Si structure" *IEEE IEDM 85*, pp.680-683, 1985.
- [32] H. Schlötterer, "Mechanical and electrical properties of epitaxial silicon films on spinel", *Solid State Electronics*, vol. 11, pp.947-956, 1968.
- [33] P.L.F. Hemment, E. Maydell-Ondrusz, K.G. Stevens, J.A. Kilner, J. Butcher, "Oxygen distributions in synthesized SiO₂ layers formed by high dose O⁺ implantation into silicon" *Vacuum*, vol.34, no.1-2, pp.203-208, 1984.
- [34] J. Stoemenos, C. Jaussand, M. Bruel, J. Margail, "New conditions for synthesized SOI structures by high dose oxygen implantation" *J. Crystal Growth*, vol. 73, pp.546-550, 1985.
- [35] S. Nakashima, Y. Maeda, M. Akiya, "High-voltage CMOS SIMOX technology and its application to a BSH-LSI", *IEEE Electron Device*, vol. ED-33, no.1, pp.126-132, 1986.
- [36] G.K. Celler, "Silicon-On-Insulator films by oxygen implantation and lamp annealing" *Solid State Technology*, pp.93-98, March 1987.
- [37] K. Izumi, M. Doken, H. Ariyoshi, "CMOS devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon" *Electronics Letts.*, vol.14, no.18, pp.593-594, 1978.
- [38] G. Zimmer, H. Vogt, "CMOS on buried Nitride-A VLSI SOI technology" *IEEE Electron Device*, vol. ED-30, no. 11, pp. 1515-1520, 1983.
- [39] L. Nesbit, S. Stiffler, G. Slusser, H. Vinton, "Formation of Silicon-On-Insulator structures by implanted nitrogen" *J. Electrochem. Soc.*, vol.132, no.11, pp.2713-2721, 1985.
- [40] S. Furukawa (Ed.), *Silicon-On-Insulator: Its Technology and Application*, KTK Scientific Publishers, Tokyo, 1985, pp. 151-157.

- [41] H. Tomita, S. Usui, "Slant-scanning and interstice-bridging methods used to produce highly uniform ZMR Si films on quartz wafers", *IEEE Electron Device*, vol. ED-7, no. 6, pp.356-358, 1986.
- [42] C.E. Hunt, J. Frey, "Electrical and Physical properties of rapid-zone-recrystallized SOI made using a pulsed arc lamp", *18th (1986 Int.) Conf. on Solid State Devices and Materials, Tokyo, Proceedings*, pp.561-564, 1986.
- [43] K. Sugahara, S. Kusunoki, Y. Inoue, T. Nishimura, Y. Akasaka, "Orientation control of SOI film by laser recrystallization", *ibid*, pp.565-568, 1986.
- [44] *Ref. (40)*, pp.29-40, 1985.
- [45] Y. Kobayashi, A. Fukami, T. Nagano, "Characteristics of a 1.2- μ m CMOS technology fabricated on an RF-heated ZMR SOI", *IEEE Electron Device Letts.*, vol. EDL-7, no. 6, pp.350-352, 1986.
- [46] *Ref (40)*, pp.1-167, 1985.
- [47] *ibid*. pp.171-248, 1985.
- [48] H.E. Cline, "Silicon thin films formed on an insulator by recrystallization", *J. Appl. Phys.* vol.55, no.8, pp.2910-2915, 1984.
- [49] *Ref (40)*, pp.137-150, 1985.
- [50] K. Yamasaki, M. Yomeda, S. Ogawa, M. Ueda, S. Akiyama, Y. Terui, "Fabrication technologies for dual 4-Kbit stacked SRAM", *IEEE IEDM 86*, pp.435-438, 1986.
- [51] Y. Watanabe, Y. Arita, T. Yokoyama, Y. Igarashi, "Formation and properties of porous silicon and its application", *J. Electrochem. Soc.*, vol.122, no.10, pp.1351-1355, 1975.
- [52] K. Imai, "A new dielectric isolation method using porous silicon", *Solid State Electronics*, vol.24, pp.159-164, 1981.
- [53] T. Unagami, "Formation mechanism of porous silicon layer by anodization in HF solution", *J. Electrochem. Soc.*, vol.127, no.2, pp.476-483, 1980.
- [54] T.L. Lin, K.L. Wang, "New silicon-on-insulator technology using a two-step oxidation technique," *Appl. Phys. Lett.*, vol.49, no.17, pp.1104-1106, 1986.
- [55] S. Konaka, M. Tabe, T. Sakai, "A new silicon-on-insulator structure using a silicon molecular beam epitaxial growth on porous silicon", *ibid*, vol.41, no.1, pp.86-88, 1982.
- [56] K. Imai, H. Unno, H. Takaoka, "Crystalline quality of silicon layer formed by FIPOS technology", *J. Crystal Growth*, vol.63, pp.547-553, 1983.
- [57] J.D. Benjamin, J.M. Keen, A.G. Cullis, B. Innes, N.G. Chew, "Large area, uniform silicon-on-insulator using a buried layer of oxidized porous silicon", *Appl. Phys. Lett.*, vol.49, no.12, pp.716-718, 1986.
- [58] K. Anzai, F. Otoi, M. Ohnishi, H. Kitabayashi, "Fabrication of high speed 1 micron FIPOS/CMOS", *IEEE IEDM 84*, pp.796-799, 1984.
- [59] E.J. Zorinsky, D.B. Spratt, R.L. Virkus, "The island method-a manufacturable porous silicon SOI technology", *IEEE IEDM 86*, pp.431-434, 1986.
- [60] J. Haisma, J.A. Pals, Th. M. Michielsen, "A novel technology for silicon on insulator and 3-D stacked IC's, presented in E-MRS conference, Strasbourg, 1986.
- [61] L.A. Nesbit, "Advances in oxidized porous silicon for SOI", *IEEE IEDM 84*, pp.800-803, 1984.
- [62] S.L. Partridge, "The current status of Silicon-on-insulator technology-A comparison", *IEEE IEDM 86*, pp.428-430, 1986.*

♣ 用語解説 ♣

초전도 (Superconductivity)

어느 종류의 금속 또는 합금을 매우 낮은 온도까지 냉각시킬 경우, 특정한 온도 이하에서 전기 저항이 소실되는 현상