

電力用 半導體 素子の Drive 技術

裴晉鎬*, 金東熙**

(正 會 員)

嶺南大學校 工科學 電氣工學科*

韓國電氣研究所 電力電子研究部**

I. 서 론

電力用 半導體 switching 素子(semiconductor switching devices, 이하 SSD로 약칭)의 응용인 電力電子(power electronics) 기술은 기간산업 분야에서 가전분야에 이르기까지의 電氣(신개발 energy도 포함) energy를 자유자재로 制御·調整하는 수단으로서 눈부신 활약을 하고 있다. 電力變換·調整裝置의 주체인 電力用 SSD의 발전은 1970년 후반부터 micro-electronics의 미세가 공기술을 電力用 SSD제조에 도입함에 의해 power transistor family SSD의 대용량화가 진전되어 왔으며, 한편으로는 고속형 thyristor family SSD가 실용화 되어왔다.^[1,2] 상기의 개발·실용화된 고속 SSD는 制御端子(gate 또는 base)에 小信號를 인가하여 고속 turn-on/off가 가능한 自己消弧形 SSD이다. 이들 SSD와 종래 thyristor를 비교하여 보면 drive 周波數의 高周波化는 물론 回路動作상태에 따른 逆bias 時間의 확립이 불필요 하므로 主變換回路 構成이 극히 간단화 되고, 고속 switching 동작이 가능해 自動變換이 용이하며 高周波 inverter 또는 inverter 制御 DC/DC共振形 converter등 적용영역을 착실히 확대해 가고 있다.^[4] 또 電力用SSD의 진보는 그 응용 분야에 큰 영향을 주었고, 出力周波數의 高周波化에도 박차를 가해 장치의 소형·경량화에 많은 공헌을 하였으며 制御性도 효과적으로 향상 시키고 있다. 電力變換·調整裝置에 사용되는 自己消弧形 電力用SSD의 消弧동작은 SSD 내부현상으로 볼 때 制御端子에 電壓 또는 電流를 인가하여 主電流를 흘리고 있던 carrier 혹은 channel을 消滅시켜 turn-off상태로 회복시키고 있다. 따라서 制御端子에 인가하는 信號電壓·電流波形을 발생시키는 drive 回路는 SSD의 switching 特性에 큰 영향을 부여한다는 점을 주목하지 않으면 안 될 것이다. 그러므로 우수한 switching 특성을 가진 電力

用SSD를 變換裝置에 도입하여 高効率로 고속 switching 制御동작을 실현시키기 위해서는 主變換回路에 사용하는 SSD에 적합한 drive 회로기술이 수반되지 않으면 안된다. 本稿는 이러한 관점에서 현재 개발·실용화된 電力用 SSD,^[5,6] 즉

① Thyristor family : thyristor, GATT, GTO, SITHY

② Transistor family : bipolar transistor, MOSFET, IGBT, SIT

를 중심으로 SSD 본래의 특징을 고려한 drive 回路技術의 기본적 사항에 대하여 기술하고자 한다.

II. 고속 Drive를 위한 기초기술

1. 고속화의 이점

電力用 SSD를 고속으로 drive 한다는 것은 표 1에서 보여주는 바와같이 電力變換·調整裝置가 소형·경량화 됨은 물론 効率과 制御性能向上에 기여하는 主因子임을 알 수 있다. 그외에도 強力超音波應用, 局部加熱등 요구되는 drive周波數가 일정한 응용부하를

표 1. SSD의 고속화에 따른 이점

고속화의 이점	내 용
소형, 경량화	Transformer, Reactor, Condenser 가열 Coil, 방전기기등의 고전력 밀도화가 가능
고효율화	Transformer, Reactor의 자속변화량의 저하에 의한 철손감소 및 Coil 권수 저하에 의한 동손감소
저잡음화	20KHz 이상의 출력주파수 고주파화 (초음파대)
고속화	제어응답이 출력주파수에 비례하여 고속으로 가능

포함해 고속화기술의 진보에 따라 금후 확실히 高周波化가 추진되어 질 것으로 예상된다.

2. 電力用 SSD의 動作 mechanism

電力用 SSD의 고속drive를 위해 SSD의 turn-on/off 동작mechanism을 명확히 이해할 필요가 있다. 표 2와 표3은 이미 실용화된 SSD 또는 시작·개발 단계를 끝내, 금후 실용화가 예상되는 電力用 SSD를 thyristor family SSD, transistor family SSD로 분류하여 turn-on/off 동작 mechanism의 기초사항을 나타내고 있다. SSD의 고속 drive를 실현하기 위해서는 電力變換·調整裝置의 사용대상이 되는 SSD의 특성을 잘 파악하여야 한다. 또한 drive 회로방식 및 snubber 회로방식등의 SSD 주변회로 기술에도 풍부한 研究·開發이 수행되어야 하며, 관련기술을 포함한 고도의 기술개발과 축적이 필요 불가결하다.

Ⅲ. Drive측면에서 본 電力用 SSD

1. Thyristor family SSD^{8,9,10)}

電力用 SSD로서 종래부터 사용되어 온 thyristor는 구조상 turn-off 시간의 단축은 on 電壓을 상승 시키고

표 2. Transistor family SSD의 동작 mechanism

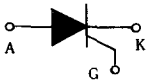
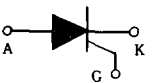
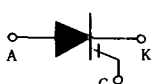
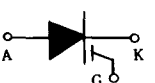
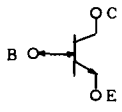
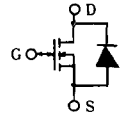
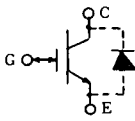
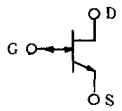
SSD	동작 Mechanism	
	Turn-on	Turn-off
Thyristor 	Gate에 정의 전압 Pulse를 인가	주전류 Zero-Cross 자연 소호
GATT, A+S CR 	Gate에 정의 전압 Pulse를 인가	소호는 Thyristor와 하나, 동일 Turn-off 시 Gate에 부의 전압 Pulse를 인가하여 고속화함
GTO 	Gate에 정의 전류 Pulse를 도통시간 만큼인가	Gate에 di/dt가 큰 부의 전류 Pulse를 인가
SIThy 	Gate Pulse Free 에서 도통상태	Gate에 부의 전압 Pulse를 차단시간 만큼 Gate에 인가

표 3. Transistor family SSD의 동작 mechanism

SSD	동작 mechanism	
	Turn-on	Turn-off
Transistor 	Base에 도통시간 만큼의 정의 전류 Pulse를 인가	차단시간 만큼 Base에 부의 전류 Pulse를 인가
MOSFET 	도통시간 만큼 정의 전압 Pulse를 Gate에 인가	Gate의 전압 Pulse를 제거하여 소호
IGBT 	도통시간 만큼 정의 전압 Pulse를 Gate에 인가	Gate의 전압 Pulse를 제거하여 소호
SIT 	Gate Pulse Free에서 도통상태	주전압에 비례하는 부의 전압 Pulse를 차단시간 만큼 Gate에 인가

leakage 電流를 증대시킨다. 그러나 thyristor의 고속화 방안으로 turn-off 기간중 主電流의 zero cross점에서부터 逆 bias 電壓을 적당히 인가해 turn-off 시간을 단축시킬 수 있는 내부구조로 제작하여 고속화를 실현하고 있다. 이러한 원리로 개발된 고속 thyristor SSD로는 GATT(gate assisted turn-off thyristor), A-SCR(asymmetrical thyristor)가 있으며, drive 周波數는 10(KHz)~40(KHz)까지 가능하다. Drive 회로에서 인가되는 on/off 制御信號에 의해 自己導通機能과 自己遮斷機能을 가지고 있는 GTO(gate turn-off thyristor)는 대형 誘導電動機 구동용 可變速 制御裝置, 電鐵구동용 電源裝置등에 사용되어 현재 drive 周波數 5(KHz)~20(KHz)帶의 SSD로 활약을 하고 있다. 한편, SIThy(static induction thyristor)는 GTO와 같은 自己消弧形이며, 현재 GTO와 동일한 電壓·電流定格으로 試作·開發이 진행되고 있다. 이 SSD는 GTO에 비해 turn-on/off switching 시간이 짧으며, di/dt와 dv/dt 耐量이 크고 順電壓降下가 작고 동작온도가 상승하여도 내파괴성이 크다는 점에서 대용량 SSD

로서 각광을 받고 있다. 최근 SiThy를 사용한 100 [KW] 高周波 inverter, 25[KW] 高周波 chopper 등이 개발되어 drive周波數가 20[KHz]~100[KHz] 帶까지 안정된 운전을 실증하고 있다.

2. Transistor family SSD⁽¹¹⁾⁽¹²⁾⁽¹³⁾⁽¹⁴⁾

Transistor family SSD의 대표라 할 수 있는 bipolar transistor(이하 BPT로 약칭)는 少數 carrier 동작으로 2次降伏현상이 발생되기 때문에 동작시 電壓·電流가 安全動作영역에 들어가도록 충분한 주의가 필요하다. 특히 고속 drive를 위해 turn-off 시간(그중 storage time의 단축)을 단축시킬 수 있는 고속 drive 회로가 요구되며, 현재도 다양한 drive 回路方式이 연구·발표되고 있다. BPT는 단위면적당 電流密度가 크므로 低電壓·大電流用으로 적합하며, drive周波數는 5[KHz]~30[KHz] 정도이나, 가격이 저렴하여 소·중용량의 각종 電力變換應用에 널리 사용되어지고 있다. 고속 switching 특성을 가진 MOSFET(matal oxide semiconductor effect transistor)는 入力容量(gate용량)을 充放電 시킬 수 있는 적은 drive 電力으로 數 100[KHz] 帶에서 數 [MHz] 帶까지 switching 동작을 실현시키고 있다. 또 2次降伏현상이 없기 때문에 安全動作 영역이 넓어서 電動機 구동용 inverter, switching regulator 등의 고속 SSD로서 그 응용범위를 넓히고 있다. 최근, bipolar形 MOSFET라고 불리는 새로운 구조의 SSD가 실용화 되고 있다. 이 SSD는 동작 원리와 구조에 의해 IGBT(insulated gate bipolar transistor), COMFET(conductivity modulated field effect transistor), 또는 IGT(insulated gate transistor)라고도 불리워진다. IGBT는 MOSFET보다 on 低抗이 적고, GTO나 BPT와는 달리 gate turn-off 電流를 거의 필요로 하지 않는 장점을 가지고는 있으나, 主電流가 bipolar 동작에 의해 형성되기 때문에 switching 속도는 떨어진다. 그러나 원리상 MOSFET와 drive 방법이 거의 동일하므로 drive가 간단하고 더우기 電流密度가 크고, drive周波數도 約50[KHz]~80 [KHz] 정도로 운전가능하므로 현재, 각종 電力變換 회로에 SSD로서의 실용화 연구가 활발히 진행되고 있다. 한편 SIT(static induction transistor)는 高出力性, 高速性이면서 drive 電壓制御形 SSD로서 主電流의 온도특성이 낮고 不飽和 특성을 가지고 있다. SIT를 사용하여 실용화된 응용장치로는 40[KW], 350 [KHz] 高周波 inverter가 있으며, 지금은 1[MHz] 帶에서도 drive가 가능한 SIT의 실용화 연구가 진행되고

있다. 그러나 이 SSD는 normally-on특성(off 특성도 있음)을 갖고 있으므로 실제응용을 할 경우; drive 回路와 주변보호회로에 상당한 검토를 하지 않으면 안 된다.

IV. Drive 回路기술

1. Drive 回路기술의 일반

Drive 回路구성은 기능적으로 보아서 信號 interface 부와 gate(또는 base) 회로부로 나누어 진다. 信號 interface부는 信號制御 회로에서 발생한 SSD의 on/off 制御信號와 主回路를 절연 시키면서 制御信號를 고속으로 전달하는 부분이다. 또 gate 회로부는 drive 하고자 하는 SSD에 적합한 drive 電壓·電流波형을 制御端子에 인가하는 增幅部이다. 그림 1은 信號制御 회로와 主回路와의 절연을 실현시키는 대표적인 방법을 나타내고 있다. 그림 1(a)는 信號 제어회로와 주회로와의 接地電位가 동일할 때 널리 사용되는 방법으로 1 石形 inverter/converter 또는 center-tap형식에서 유효하게 응용된다. 여기서 低速 switching을 행하는 경우, IC 등에 의해 direct drive가 가능하나 高速 switching을 행할 때는 buffer 단을 부가하여 사용하는 것

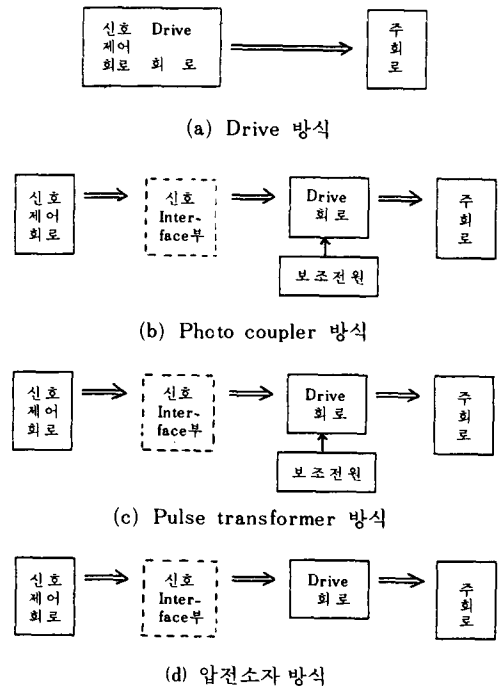


그림 1. Drive 회로의 interface부

이 효과적이다. 그림 1의 (b), (c) 및 (d)는 photo coupler (P. C), pulse transformer (P. T) 그리고 壓電素子에 의해 신호제어회로와 주회로를 절연시키고 있는 信號 interface부를 나타내며, 이들은 각각 장단점을 갖고 있다. 우선 (b)의 방법은 IC 회로와의 matching性과 制御信號의 on/off時 比率性은 좋으나, 高電壓 noise에 약하고 P. C를 동작시키기 위한 보조전원이 필요하다는 것이 단점이다. (c)의 방법은 비교적 가격이 저렴하나 高速形 P. C에 비해 信號傳達速度가 낮고, 특히 高速 drive時 1, 2次 간에 존재하는 표유정전용량을 무시할 수 없어 설계시 주의를 필요로 한다. 그러나 磁路가 飽和되지 않는 범위에서 설계하여 사용목적에 따라 직접 제작이 가능하며, 耐noise性과 절연성이 우수하여 大電力用에 가장 널리 사용되고 있다. (d)의 壓電素子에 의한 방법은 低周波用에 한하여 使用하고 있다. 최근에는 制御信號의 on/off時 比率에 제약을 받지 않고 noise에도 문제가 없는 光을 이용한 信號 interface부도 실용화 되고 있다. 절연과 信號傳達를 목적으로한 信號 interface회로 구성은 제어방식과 주회로 구성형식 및 단가, 칩수등을 고려하여 본래의 기능을 최대로 발휘할 수 있도록 적절히 선택하여야 하겠다.

2. Thyristor family SSD의 drive 기술

(1) Thyristor^[15,16]

그림 2 (a)는 thyristor의 기본적인 구조를, (b)는 thyristor를 2개의 transistor에 의한 등가회로로서 동작 원리를 나타내고 있다.

그림에서 알 수 있듯이 主電流 I_A 는 $(\alpha_1 I_c)/(1 - (\alpha_1 + \alpha_2))$ 로 표현된다. 이때 $(\alpha_1 + \alpha_2) = 1$ 이 된다면 I_A 는 무한대로 되어 thyristor가 turn-on 상태로 되어지고,

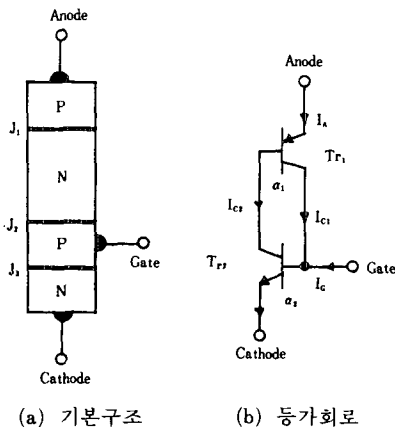


그림 2. Thyristor의 기본구조와 등가회로

主電流는 負荷에 따라 결정됨을 알 수 있다.

電力變換·調整裝置에 thyristor를 SSD로 사용할 경우 종종 오동작이 발생하는데 그 원인으로는

- ① 電壓上昇率(dv/dt)이 크고, breakover 電壓(V_{BO})이 印加電壓보다 낮을 때
- ② Gate 회로에 noise가 혼입 되었을 때

대부분 오동작이 일어난다. 오동작에 의한 thyristor의 導通狀態는 主變換回路 또는 電源回路가 단락되는 결과를 초래하므로 drive시 이에 대한 대책이 필요하다. 지금 thyristor에 順方向으로 급준한 電壓이 印加되던 그림 2 (a)에서 接合 J_2 에 變位電流 $i_c(C, (dy/dt))$ 가 발생해 thyristor가 導通상태로 되어 오동작을 일으킨다.

이의 대책으로 A-K사이에 absorber를 접속하든지 또는 主電流가 흐르는 導線에 飽和 reactor를 설치하여 dv/dt를 감소시키고 있다. 그리고 V_{BO} 의 저하는 G-K사이에 condenser(일반적으로 $0.001\mu F \sim 0.047\mu F$ 정도)를 접속하여 i_c 를 by-pass시켜 방지하며, 또 noise에 의한 오동작 대책으로도 유효하다. Thyristor의 drive 회로방식은 목적으로 하는 제어의 종류, 요구되는 제어의 정도등에 따라 표 4에서 보는 바와 같이 회로방식이 다양하다. 여기서 대표적인 회로예를 들어 간단히 소개한다.

표 4. 기본적인 제어방식과 drive 회로방식

제어 방식 Drive 방식	위상제어	On-Off 제어		
		임 의 의 위 상	Zero Switch	One Shot
Anode Trigger	○	○		○
移相 회로	Trigger	□	—	○
	Condenser	—	—	□
고주파 Pulse	—	○	—	○
I. C	○	□	□	○
Gate Amp.	□	○	○	○

그림 3은 PUT를 사용한 20[A]급의 thyristor 位相 制御用 drive 회로예를 보여주고 있다. 회로동작은 C_1 의 充電電壓이 PUT gate電位보다 높을 때 PUT가 導通하여 C_1 의 電荷가 P. T로 방전해 2 차측에 trigger pulse를 발생시키고 있다. 발생한 pulse 位相은 C_1 의 充電低抗(VR)에 의해 변화 시키고 있다. 이 회로방식은 PUT를 항상 發振시킬 필요가 없으므로 VR을

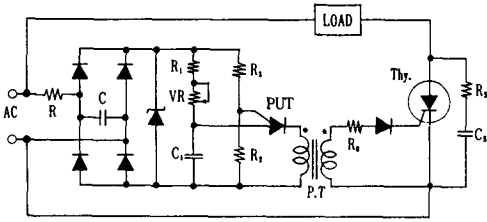


그림 3. P.U.T.를 이용한 thyristor drive 회로 예

PUT의 turn-on 동작한계의 1/2이하로 하여 확실히 turn-on 시키는 것이 회로설계의 중요한 점이다. Trigger 소자를 사용하여 direct drive 가능한 것은 소용량의 thyristor에 한하며, gate trigger 電流가 數100 [mA] 이상의 大電力用 thyristor에서는 信號制御 회로에서 발생된 pulse를 增幅할 필요가 있다. 이런 목적으로 구성되는 drive 회로방식은 응용분야에 따라 다양한 형식을 취하나, Trigger 電流의 크기, trigger pulse 幅등은 사용하는 thyristor에 따라 최적치를 databook에 의해 결정하여야 한다.

그림 4는 電源과 同期된 入力制御信號 pulse를 증폭하는 drive 회로예이다. 이 회로는 Thy가 turn-on하면 C₁의 電荷가 放電하여 高出力 trigger pulse를 발생해 電源의 正의 半 cycle이 끝날때까지 電源으로부터 trigger 信號가 공급되는 방식이다. 이 drive 회로는 入力信號 pulse를 증폭시킴과 동시에 pulse幅을 넓히는 기능을 갖고 있어 誘導負荷의 경우 문제가 되는 latch不能現象도 방지하는 장점을 가지고 있다. 그림 5는 大容量의 thyristor를 drive 시킬 수 있는 高出力 drive 회로의 한 예를 보여주고 있다. 이 회로에서는 R₁과 R₀에 의해 trigger 電流의 크기를 조정하고 있다.

(2) GATT^(16,17)

GATT는 轉流 turn-off thyristor와 GTO와의 중간 위치를 차지하는 逆阻止 3端子 高速SSD이다. Switching 동작은 종래의 thyristor와 같이 主電流를 電力

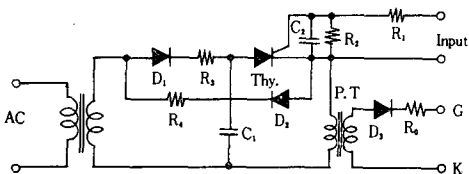


그림 4. 전원 동기형 thyristor drive 회로 예

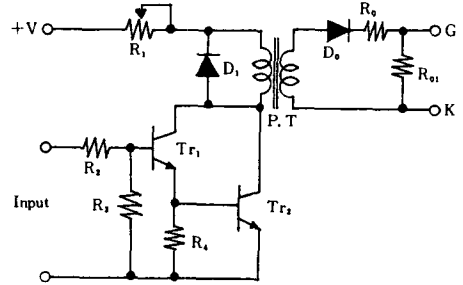


그림 5. 대용량 thyristor의 drive 회로 예

變換·調整 회로 내의 轉流回路(예로 直列 또는 直並列의 負荷共振回路)에 의해 遮斷하고 있으나, turn-off 기간중에 gate에 逆 bias를 인가해 turn-off시간을 대폭적으로 단축시키고 있다. 그림 6은 turn-off시간 (t_q)과 gate電壓 (V_{gk})과의 관계를 나타내고 있다. -V_{gk}를 인가하는 것이 逆 bias가 없는 경우에 비해 t_q를 1/3 ~ 1/4로 단축할 수 있으며, 충분한 -V_{gk}를 인가하면 t_q를 4[μs]이하로 할 수 있음을 알 수 있다. 한편 gate에 인가하는 逆 bias電壓 pulse의 인가 遲延시간과 pulse幅이 turn-off시간에 영향을 주기 때문에 최소 turn-off시간을 실현시키기 위해서는 인가 遲延시간(t_d)은 2[μs]이하, pulse幅은 적어도 anode 電壓이 최대치로 되는 시점까지가 필요하다. 그림 7에서 위의 관계를 나타낸 각부파형 예를 볼 수 있다. 상술한 바와 같이 GATT를 drive 할 경우 turn-on시는 종래의 thyristor와 같은 trigger pulse를 인가하나, turn-off시는 anode電流가 zero로 된 시점에서 부터 약 2[μs]내로 gate에 逆 bias 電壓 pulse가 인가되는 drive 회로가 요구된다. 그림 8은 기본적인 GATT의 drive 회로를 보여주고 있다. Turn-on과 逆 bias用的 電源 그리고 Tr₁, Tr₂의 信號制御用 transistor를 병렬로 접속하여 gate 制限抵抗을 연결하여 비교적 용이하게 drive를

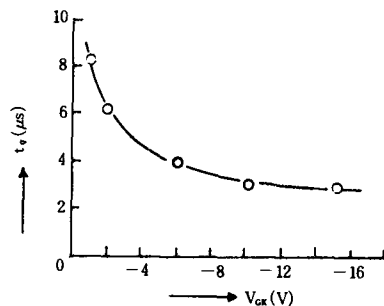


그림 6. V_{gk}-t_q 특성

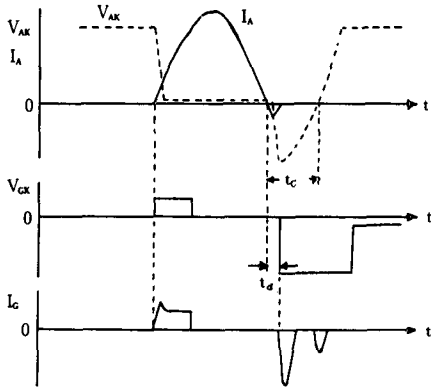


그림 7. 각부 파형 예

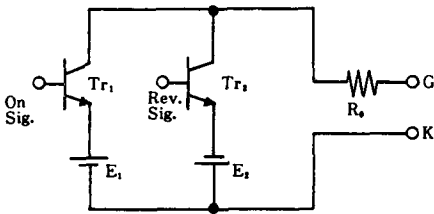


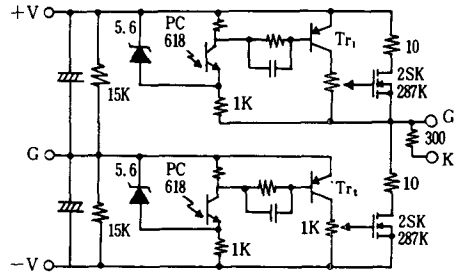
그림 8. GATT drive 회로의 원리도

실현할 수 있다. 그러나 大容量의 電力變換回路에서는 GATT를 복수개로 구성시킬뿐만 아니라, 절연이 요구되어지므로 그림 8의 drive 회로로는 실제응용이 불가능하다.

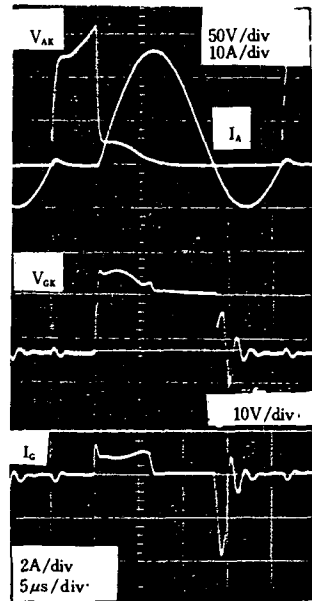
그림 9(a)는 1200[V], 400[A]급의 GATT drive 회로의 일례를 나타내며, (b)는 (a)의 회로를 사용하여 誘導加熱 高周波 inverter를 운전시켰을 때의 각부 실측 파형을 보여주고 있다. 이 信號增幅 drive 회로는 GATT를 drive하기에 충분한 크기의 pulse로 증폭됨을 알 수 있다. 또 制御回路와 主回路와를 P.C에 의해 절연하고 있으며, 2電源方式을 사용하여 상반부회로로 trigger pulse을 증폭시키며, 하반부회로에서는 逆bias pulse를 증폭시키고 있다. 그리고 drive回路 최종단에 MOSFET를 사용하여 應答특성을 향상시키고 있다.

(3) GTO^(14,15,20)

그림 10(a)는 GTO의 기본구조를, (b)는 등가적으로 2개의 transistor를 조합한 것으로 생각한 등가회로를 나타내고 있다. 그림에서 보는 바와 같이 기본구조는 逆阻止 3 단자 thyristor와 같으며, gate turn-off 특성 이외에 기본적인 특성은 thyristor와 거의 같다. 그림 10(b)에서 主電流(負荷電流, I_a)가 흐르고 있을 때,

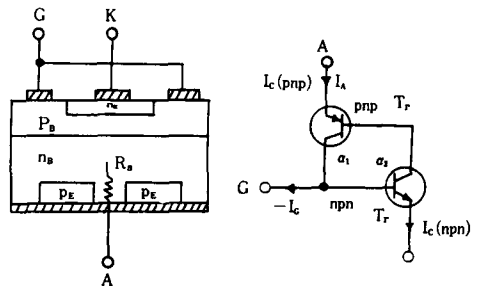


(a) GATT drive 회로 예



(b) 각부 실측파형

그림 9. GATT drive 회로 예와 각부 실측 파형



(a) 기본구조

(b) 등가회로

그림 10. GTO의 구조 및 등가회로

gate에 負의 電流(gate電流, I_c)를 흘려 遮斷상태로 만들기 위해서는 $I_c \geq (\alpha_1 + \alpha_2 - 1) / \alpha_2 \cdot I_a$ 라는 값이 필요

하다. GTO를 drive시키기 위한 일반적인 사항은 thyristor와 같으나, 특히 주의를 요하는 점에 대하여 살펴 보기로 하자. 우선 turn-on 특성은 기본적으로 thyristor와 거의 같으나, GTO에 있어서는 gain電流依存性을 가지고 있다는 점에 주의 하여야 한다. 다시 말하면, I_c 를 크게 취하여 turn-on시간, delay 시간을 단축시켜 주고 있는데 만약, I_c 가 적을 경우는 turn-on시간이 길어져서 극부적인 電流集中을 일으킬 위험이 있다. 또 turn-off 시킬 경우 $-I_c$ 값이 작거나 gate電流上昇이 늦을 때는 turn-off 시간이 길게 되어 tail current에 의해 損失이 증대된다. 이 손실은 GTO를 파괴시키는 원인이 되므로, drive할 경우 충분한 크기를 가지며 빠른 電流上昇을 가진 信號 pulse (電流上昇시간은 $1\mu s$ 이하가 바람직 하다)를 gate에 인가할 수 있는 drive회로가 요구된다.

GTO의 turn-off 특성은 turn-off후의 順電壓上昇率 (dv/dt)에도 크게 좌우되므로, 일반적으로 $100(V)$ 이상의 switching에서는 dv/dt를 $10V/\mu s$ 이하로 제한하는 dv/dt 抑制回路를 부가하여 turn-off가 용이하도록 하고 있다. 그림11은 GTO의 drive를 위한 기본적인 회로를 나타내고 있다. 이하 이들 회로의 동작원리와 특징에 대하여 기술한다. 먼저 2電源方式은 負荷力率과 GTO의 電流容量에 관계없이 사용 가능하나, 2電源이 필요하므로 회로가 대형화 되는 결점이 있다. 또 GTO를 inverter등에 응용하는 경우에 廣幅의 on gate pulse로 drive하게 되므로 gate손실 그리고 drive電力이 증대한다. 그림11의 2電源方式에서는 上記의 점을 고려하여 drive회로를 GTO의 anode에 clamp해 gate의 on 信號와 anode 電壓을 AND 論理를 이용하여 on 信號 pulse를 발생시키고 있다. 그러므로 GTO에 順電壓이 인가되지 않는 한은 gate 電流가 공급되지 않아 on drive電力을 대폭적으로 감소시켜 주고 있다. 1電源方式인 condenser形은 gate와 直列로 접속된 condenser의 充放電을 이용하여 GTO를 drive 시키고 있다. 이 방식은 C_1 을 再充電하는 時定數에 의해 動作周波數의 상한치가 결정된다. 이 회로에서 R_1 값을 적게 하면 C_1 의 充電時間을 단축시킬 수 있으나 손실이 증대하므로 大容量의 GTO를 drive할 경우 動作周波數의 선택에 주의를 요한다. 그림12는 상기의 원리를 기본으로 한 GTO drive 회로예를 보여주고 있다. 다음으로, 並列 reactor 形式은 S를 투입하면 투입직후, L의 impedance는 무한대로 되므로 R_1 을 통해 GTO가 turn-on 되며, S를 開放하면 L에 축적된 energy가 gate에 逆電流를 발생시켜 turn-off 시킨다. 이 방

회로 방식		회로 구성
2 전원 방식		
1 전 원 방 식	Condenser형	
	병렬 Reactor형	
	Cathod 부하형	

그림11. GTO drive 회로 예

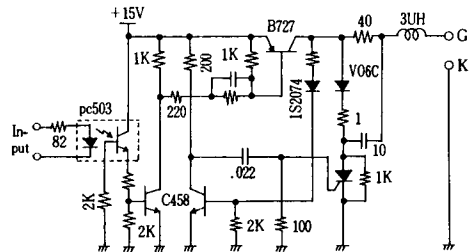


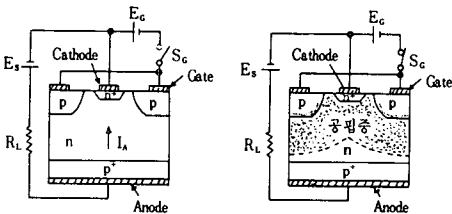
그림12. GTO drive 회로 예

식에서는 大容量의 GTO를 drive 시킬때 L의 값을 크게하고 R_1 의 값을 적게 선정하여야 하나, energy 축적에 요하는 시간이 動作周波數를 결정하므로 高周波用

으로는 한계가 있다. 끝으로, cathode 負荷法은 gate 가 S와 R₁을 통해 接地되어 있어, 負荷電壓을 turn-off gate電源으로써 이용하고 있다. 이 회로형식은 C 또는 L에 energy를 축적할 필요가 없으므로 高速動作이 가능하다.

(4) SITHy^[6,9,21]

그림13은 SITHy의 기본구조와 동작을 나타내고 있다. 지금, 順方向 bias(電源電壓, E_s)가 A-K간에 인가되고, gate bias가 없는 경우 p⁺nn⁺ diode 부분에 主電流 I_A가 흘러 導通상태로 된다. 이때 p⁺, n⁺層에서부터 n층에 正孔과 電子가 注入되어 n층은 導電率變調가 되므로 p⁺층이 없는 SIT에 비하여 電壓이 낮게 된다. 그림13(b)와 같이 電源 E_c로 gate-cathode간에 逆bias를 가하면 n층의 過剩 carrier가 gate로 放出되어서 두개의 gate p영역간의 n층부분(channel)에 空乏層이 형성되어 阻止상태로 이행한다.

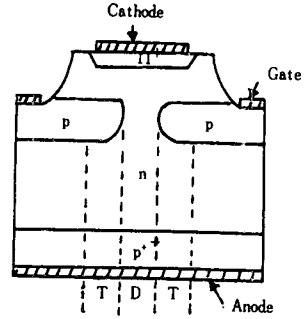


(a) Turn-on (b) Turn-off

그림13. SITHy의 기본구조와 동작상태도

이와같이 turn-off 과정에 있어서 drive회로에는 과도적인 큰 電流가 흐르기 때문에 고속으로 turn-off시키기 위해서는 gate 회로의 impedance를 되도록이면 적게 설계하여야 한다. 그림13의 구조에서는 主電流가 channel을 통하여 흐르고 있기 때문에 電流容量을 증가시키기 위해서는 넓은 channel幅으로 설계되어야 한다. 때문에 A-K간 電壓을 遮斷시키기 위해 필요한 G-K간의 逆 bias 電壓이 증대되므로 실제 사용이 불가능한 구조이다. 그림14는 電壓阻止 gain, μ(A-K 인가電壓/G-K 逆 bias電壓)를 低下시키지 않고 단위소자의 電流容量을 증대시킨 改良구조를 나타내고 있다.

개량구조로된 소자의 switching 동작은 다음과 같다. 우선 turn-on 동작은 gate bias가 인가되지 않으며 p⁺nn⁺ diode가 turn-on되어 diode의 n층에 注入되었던 carrier에 의해 thristor부분이 trigger되어 turn-on



T : Thyristor
D : Diode

그림14. SITHy의 개량구조

상태에 도달한다. 즉 channel부의 p⁺nn⁺ diode와 兩側의 p⁺npnn⁺ thyristor가 並列동작 하여 主電流를 흘리고 있다.

Turn-off 동작은 G-K간에 逆bias 電壓의 인가에 의해 thyristor 부분이 먼저 turn-off 되면서 cahnnel이 空乏層化되어 diode부분도 turn-off 상태로 이행하여 완전한 遮斷 상태가 된다. 상술한 바와 같이 SITHy는 normally-on 특성을 가진 SSD로, turn-on시는 diode 특성과 유사하며, gate에 負電壓을 인가하여 turn-off 동작을 실현시키고 있는 大容量소자이다. SITHy의 특징을 GTO와 비교하여 보면 다음과 같다.

- ① Gate회로에 요구되는 電力이 GTO에 비해 적으므로 自己消弧能力이 높다.
- ② di/dt, dv/dt 耐量이 GTO의 3~5배의 값을 가지며 大容量소자로 사용할 수 있다.
- ③ Turn-off 시간이 GTO의 약 1/10 정도로 switching 속도가 빠르다.

지금까지 설명한 SITHy의 switching 동작을 고려하여, SITHy를 drive시키기 위한 drive 회로구성을 그림 15에서 보여준다.

이 drive회로는 動作周波數 100[KHz]까지 drive 가능하다. 그림16(a), (b)는 그림15의 drive 회로를 사용하여 1200[V], 300[A] 급의 SITHy를 drive 시켰을 경우의 turn-on/off 특성을 나타내고 있다. 實測波形에서 SITHy는 大電力을 고속으로 制御하는 SSD로 적합하다는 것을 알 수 있다.

그러나 이 SITHy는 현재까지 SSD으로써 안정된 공급을 하지 못하는 실정이며, 또 turn-off시 GTO에서 볼 수 있는 tail current가 존재하므로 구조적으로 이의 개선이 시급하다. 그러나 금후 응용의 가능성으로

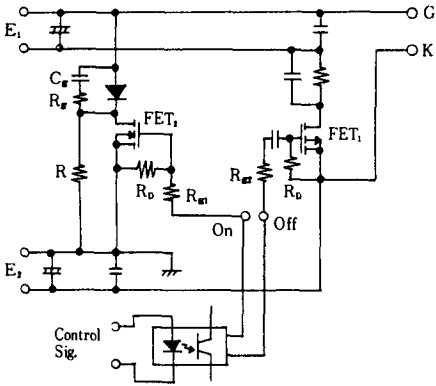
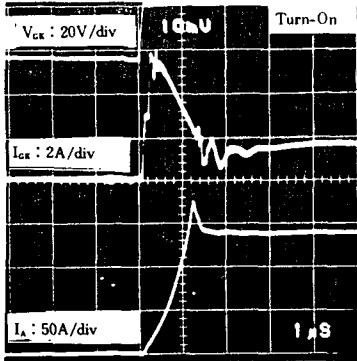
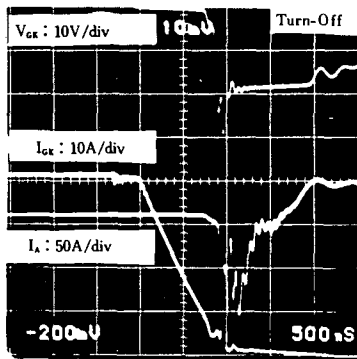


그림15. SITHy의 drive 회로 예



(a) Turn-on



(b) Turn-off

그림16. SITHy의 turn-on/off시의 각부 실측파형

는 低損失性을 활용한 大容量 電力變換裝置, 高速 switching性을 이용한 高周波 電力變換裝置등의 개발이 기대된다.

3. Transistor family SSD의 drive 기술

(1) Bipolar transistor^{11,22,23)}

高耐壓·大容量의 BPT를 switching 동작으로 사용하기 위해서는 기본적으로 collector 電流/電流增幅率 (α) 이상의 base 電流를 導通기간중에만 흘려주면 된다. 그러나 on/off 동작시의 switching 시간의 단축과 switching 損失을 저감시키는 것은 高周波動作을 행할 경우 불가결한 요인이 된다. BPT의 고속 drive를 위한 기본적인 사항으로는

- ① Turn-on한 후 포화상태를 유지시키기 위해 필요한 base 電流만 공급하여 과잉 carrier가 base 層에 축적되지 않도록 한다.
- ② Turn-off시 축적시간과 하강시간을 단축시킬 수 있도록 충분한 逆 bias를 인가해 base 層의 과잉 carrier를 고속으로 放出시킨다.

현재, 上記의 점들을 만족시키기 위한 drive 방식이 다양하게 고안되고 있다. 여기서는 대표적인 drive 회로예를 들어 살펴보기로 하자. 그림17(a), (b)는 일반적으로 널리 사용되고 있는 定電流 drive 회로예를 나타낸다. 이 회로는 collector 電流 I_c 에 비례하는 電流를 變成器를 통해 base에 饋환하여 base 電流 I_b 로 이용하고 있는 방식이다. 즉 $I_b = I_c / \alpha$ 로 되는 일정한 I_b 가 흐르므로, I_c 가 변화하여도 축적시간이 일정하게 되어 이상적인 축적시간을 확보할 수 있어 고속동작이 가능하다. 그러나 이 drive 방식은 실제응용에 있어 회로구성이 복잡하고, 사용부품도 많아 高價로 되며, 간소화가 어렵다는 단점이 있다. 그림18은 reactor를 이용하여 speed-up을 실현시키는 drive 방식의 일례를 보여준다. Reactor를 B-E사이에 설치하여 turn-off시에 逆 bias를 가해 turn-off 특성을 개선시키고 있다. 이 방식에서는 reactor 크기에 따라 BPT의 신뢰성에 큰 영향을 미치므로 reactor值의 적절한 선택이 drive 회로구성에서의 중요한 점이다. 그림19(a), (b) 및

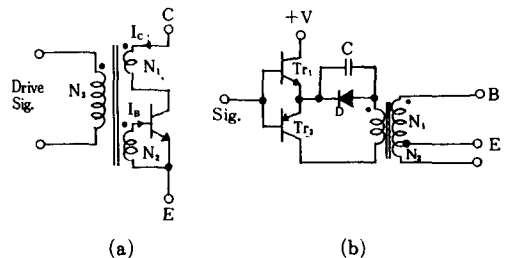


그림17. 정전류 drive 방식 예

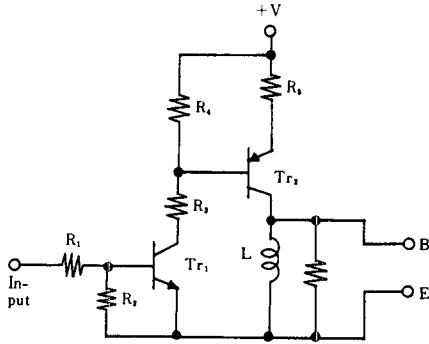


그림18. Reactor를 이용한 drive 방식 예

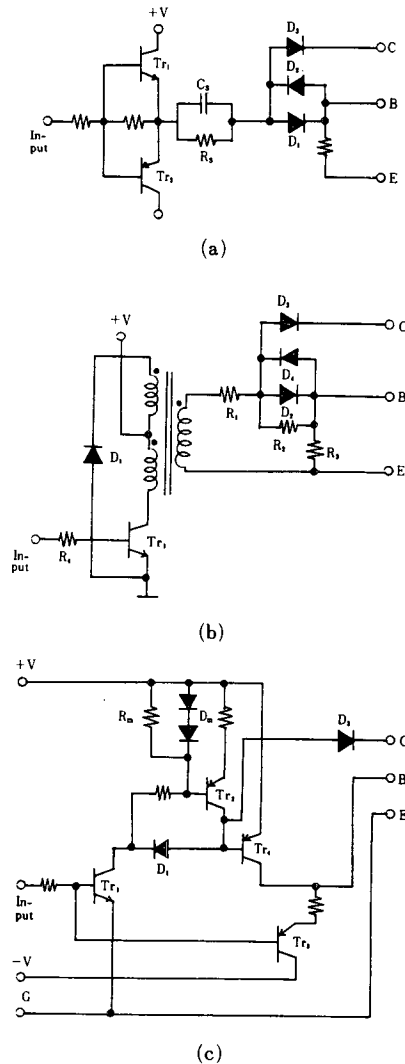


그림19. CCD를 이용한 drive 회로 예

(c)는 collector catcher diode(이하 CCD로 약칭)를 이용한 drive방식을 나타낸다. 이 회로에서 diode D_3 를 CCD라 부르며, collector 電壓이 저하하면 base 電流의 일부가 collector측으로 by-pass하여 collector 電壓이 포화치까지 저하하는 것을 억제하고 있다. 그림(b)는 P. T의 勵磁電流를 flyback시켜 base 층의 carrier를 放出시키고 있다.

또 R_2, R_3 는 BPT가 turn-off 되었을 때 耐壓을 향상시키고 동시에 P. T의 勵磁電流를 상쇄시키는 역할을 하고 있다.

그림(c)는 current mirror 회로에 의해 T_{r4} 의 最大出力電壓을 제한 해가면서 BPT의 順 bias電流를 공급하고 있다. CCD는 T_{r4} 의 base에 접속되어 BPT의 collector 電壓강하에 따른 여분의 電流를 by-pass시켜 BPT를 활성영역에서 turn-on 상태를 유지시키고 있다. 또 T_{r3} 에 逆 bias를 인가해 turn-off시 switching 속도를 향상시켜 주고 있다. 그림20은 그림19(c)의 drive 회로를 사용하여 BPT(SQD50A, 1000V/50A)를 drive 시켰을 때의 switching 시간의 변화를 실측한 값을 보여주고 있다. 그림에서 측정시간은 負荷電流가 증대하여도 거의 일정한 값으로 되어짐을 알 수 있다. 최근에는 BPT의 drive회로를 hybrid化한 base 구동용 HIC(예, 三莞製 M57215L)가 제품화 되어 시판되고 있다.

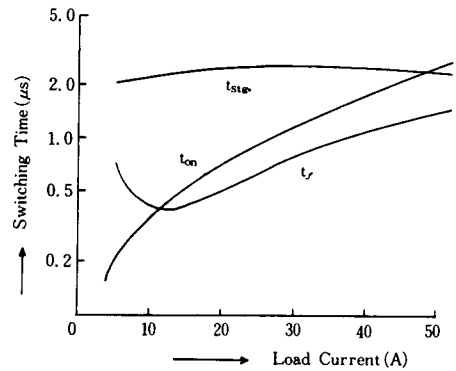
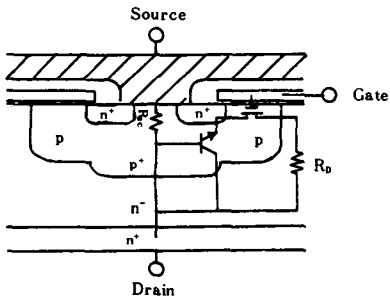


그림20. 부하전류에 따른 switching time 특성

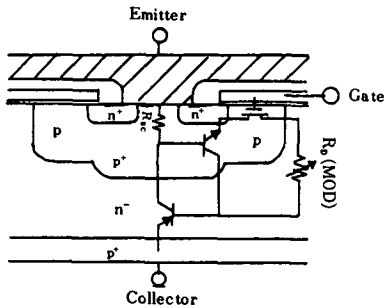
(2) Power MOSFET (IGBT) [14,24,25]

MOSFET는 BPT와는 달리 熱的 不定현상을 갖고 있지 않아 2次降伏이라는 安全動作영역상의 문제가 일어나지 않는 특징이 있다. 또 少數 carrier의 축적 효과가 없기 때문에 switching 특성이 본질적으로 우수하고, 허용접합온도가 높다. 더우기 入力 impedance

가 높아 電壓制御形 drive가 가능하므로 drive 회로는 간단화 되는 장점을 갖고 있다. 그림21(a), (b)는 MOSFET 및 IGBT의 기본구조를 보여준다. 그림에서 MOSFET나 IGBT는 구조상 거의 유사하나, MOSFET가 n⁺-n⁻기판을 사용한 것에 대해 IGBT는 p⁺-n⁻기판을 사용하고 있는 점이 다르다. IGBT는 pnpn으로 된 4층 구조이며, 등가적으로 pnp-npn transistor 결합에 의한 thyristor로 형성되어 있는 것으로 볼 수 있다. 또 gate가 절연되어 入力 impedance가 높으므로 MOSFET와 같이 電壓制御形 drive가 가능하다. IGBT의 turn-on은 gate에 正의 pulse 電壓을 부여하는 것에 의해 channel을 형성시켜 PNP transistor의 base에 電流가 공급되어 導通상태로 되고, turn-off는 gate에 信號電壓이 제거되면 channel이 소멸되어 차단상태로 이행한다. 이 IGBT는 高耐壓 MOSFET의 최대단점이었던 on 電壓의 증대를 개선하였으나, bipolar mode로 동작되기 때문에 switching 속도가 떨어지며, PNP thyristor接合으로 되어있어 latching에 의한 gate turn-off 不能現象이 일어날 수 있다. 현재 회로응용에 있어서 上記의 점들이 문제로 남아 있으나 이에 대한 특성개량이 활발히 진행중이다.



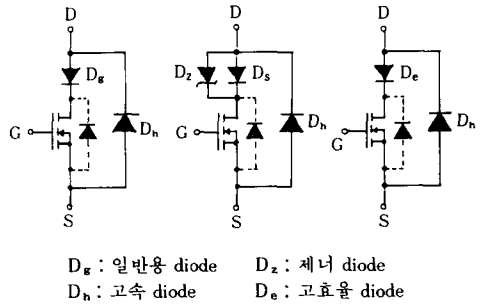
(a) MOSFET



(b) IGBT

그림21. 기본구조

上術한 바와 같이 MOSFET나 IGBT는 bias電壓이 0 [V]이면, 主電流가 0 [A]로 되는 normally-off 소자이며, drive 信號波형은 원리적으로 負의 pulse는 필요로 하지 않지만 switching 속도의 고속화를 위해 負의 pulse電壓을 인가하는 경우도 있다. 한편 내부구조상 내장 되어있는 逆方向 diode는 대부분이 고속형으로 설계되어 있지 않아(고속형도 있음, 예 BUZ 211) 이 逆方向 diode의 逆回復시간이 回路應用上 문제가 된다. 현재로는 약 200[V]이하의 경우는 逆회복시간이 200[ns]이하여서 anti-parallel diode로서 이용이 가능하다. 그러나 高耐壓화에 따라 逆회복시간이 길어지므로 실제 고주파 switching을 응용한 電力變換回路에서는 그림22와 같은 방법으로서 逆회복시간에 대한 문제를 해결하고 있다. 상기의 점들을 고려하여 이하 실제의 drive 회로에 대하여 기술한다.



D_g : 일반용 diode D_z : 제너 diode
D_n : 고속 diode D_e : 고효율 diode

그림22. 逆회복시간의 대책 예

그림23은 주회로와 절연을 필요로 하지 않는 경우에 적용되는 drive 回路를 보여준다. (a)는 출력단에 transistor를 complementary로 구성시켜 고속화를 행하고 있다. (b)에서는, 入力용량에 과도적인 peak 電流를 흘려주기 위해 출력단에 speed-up 회로를 부가하고 있다. 이들 회로에서는 사용하는 transistor의 fall time이 drive속도에 영향을 주므로 될 수 있는 한 fall time이 빠른 transistor를 선택하여야 한다. 그림24(a), (b)는 P.C를 이용한 drive 회로예를 보여준다. P.C 출력에서의 제어신호는 電壓증폭 transistor에 의해 level변환되어 최종 출력단에 入力되어지고 있다. (a)는 출력단을 MOSFET로 구성하여 고속화와 고효력화를 실현시킨 MOSFET용 drive 회로이며, (b)는 IGBT에 적합한 drive 회로이다.

그림25(a), (b)는 P.T를 이용한 drive 회로예를 보여준다. 이들 회로는 gate 단자에 負의 電壓 pulse를 인

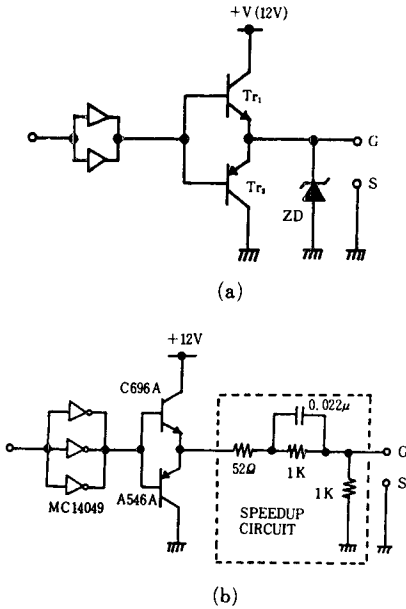


그림23. 비절연형 drive 회로 예

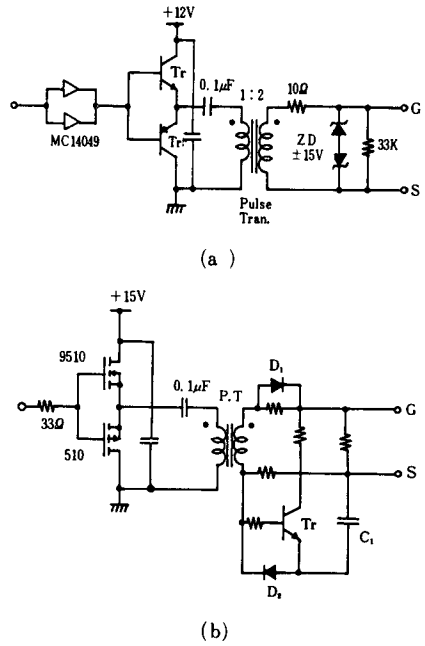


그림25. Pulse transformer를 이용한 drive 회로 예

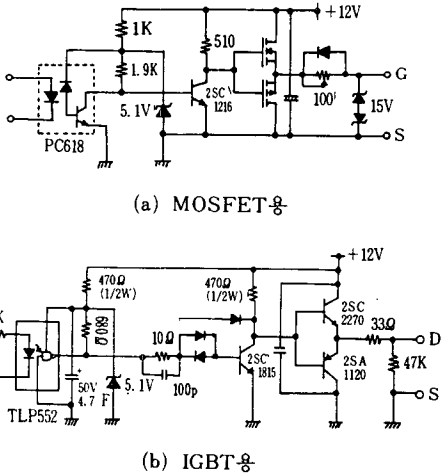


그림24. Photo coupler 방식의 drive 회로 예

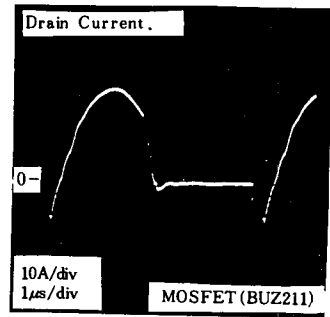


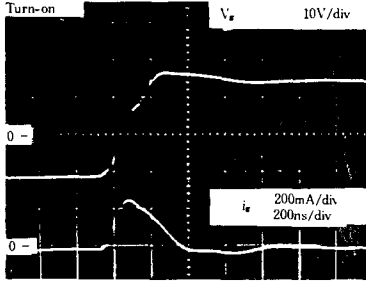
그림26. Drain 전류의 실측파형

가하여 高速化를 가능하게 하고 있다. 그림26은 그림25 (a)의 drive회로를 이용하여 MOSFET (BUZ 211×3, 450V/10A), drive시켰을 때의 實測波形을 나타낸다. MOSFET를 共振形 高周波 inverter의 SSD로 사용했을 때 drain 電流가 약 200[ns]이내에서 차단되고 있음을 보여준다. 그림27(a), (b)는 그림24(b)의 drive 회로로 IGBT (MG50H2YS1, 450 V/50A) drive시킬 경

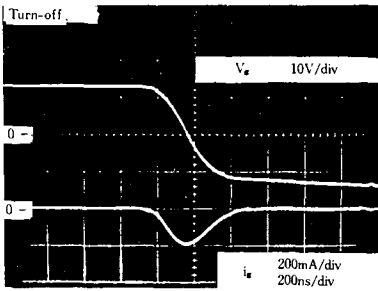
우 trun-on/off gate 電壓 및 電流의 實測波形을 보여준다. Turn-on/off가 약 400(ns)이내에서 이루어지고 있는 것을 확인 할 수 있다. 끝으로 MOSFET나 IGBT를 drive 시킬때는 gate-source (gate-emitter) 간에 존재하는 정전용량에 주의하여야 하며, drive 회로를 설계할 때 이 정전용량의 電荷를 빠른시간에 充放電이 가능한 閉回路를 어떻게 구성시킬 것인가를 검토하여야 한다.

(3) SIT^(11, 24, 27, 28, 29)

그림28은 SIT의 기본구조를 보여준다. 이 구조는 MOSFET의 gate를 PN接合 구조로 하였다고 볼 수 있

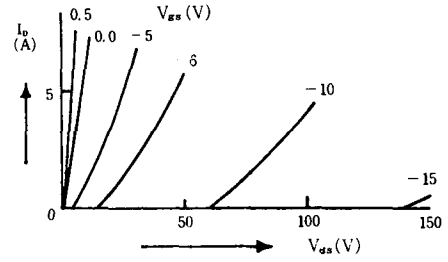


(a) turn-on

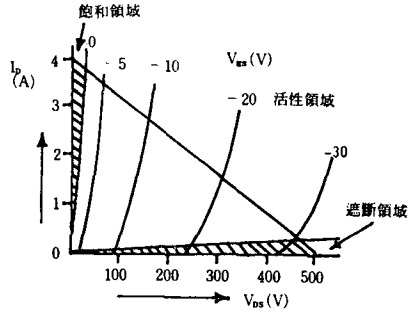


(b) turn-off

그림27. IGBT의 turn-on/off 특성



(a)



(b)

그림29. SIT의 정특성

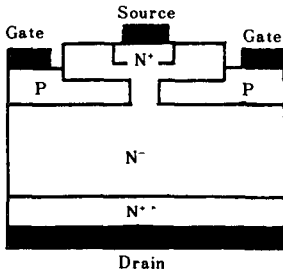


그림28. SIT의 기본구조

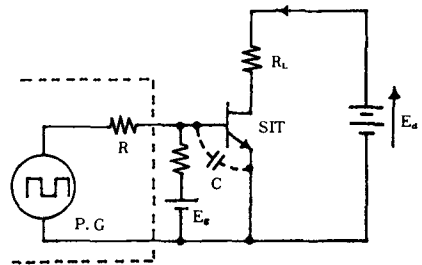


그림30. SIT의 switching 기본회로

으며, 이를 활용하여 on상태에서 順 bias를 인가해 on 電壓을 개선시키고 있다. 그림29는 SIT를 switching 동작에 사용할 경우의 靜特性을 나타낸다. 그림에서와 같이 SIT는 normally-on 특성을 갖고 있어 drain-source간은 단락상태로 된다. Switching 동작은 gate 電位가 正 또는 零電位로 되면 飽和영역(turn-on)으로 되고, gate에 충분한 負電位를 인가하면, 遮断영역(turn-off)으로 된다. 그림30은 SIT의 switching 기본 회로를 나타낸다. SIT의 switching 속도는 drive 회로에 따라 영향을 받고 있으며, gate-source간에 존재하는 입력용량의 영향도 크다.^[90] 그림에서 고속 switch-

ing 동작을 시키기 위해서는 drive회로의 出力抵抗 R을 적게 하여야 하나, 入力容量 C와의 관계를 고려하여 R의 값을 결정하여야 한다.

또 SIT는 normally-on 특성을 갖고 있으므로 drive 회로 자신이 SIT를 항상 차단시킬 수 있는 기능이 요구된다. 이하, SIT특성을 충분히 살릴 수 있고, on/off 상태를 부여하는 drive 회로에 관해 기술한다. 그림31은 單一電源을 사용한 drive 회로 예를 나타낸다. 이 회로는 P. T에 의해 절연을 행하고 있으며, turn-on시 drive용 transistor의 電壓降下分(負電壓)이 gate-source 사이에 남게 되므로 信號上昇時間이 길

어지는 단점을 갖는다. 그림32는 2電源을 사용한 drive 회로 예를 나타낸다. 2電源의 사용으로 gate-source간의 pn 接合部 順方向 電壓降下分 (약 0.7(V))을 분담시켜 source-drain간의 포화전압을 저감하는 효과를 얻고 있다.

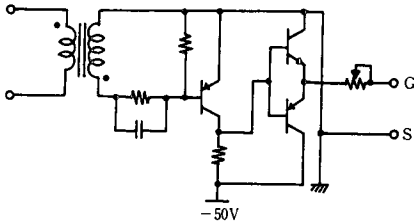


그림31. 단일전원방식의 drive 회로 예

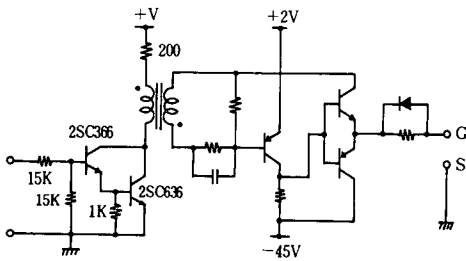


그림32. 2 전원방식의 drive 회로 예

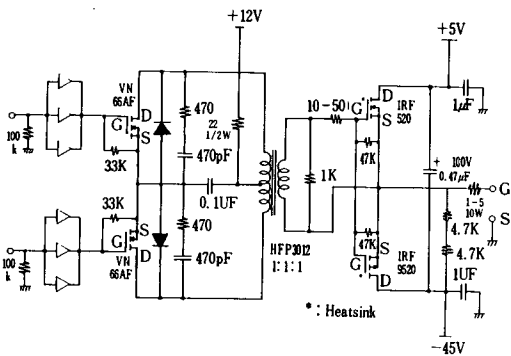


그림33. 고속 drive 회로 예

출력단은 complementary로 구성되어 gate電流를 增幅 注入시켜 switching 속도를 높이고 있다. SIT를 數 100(KHz) 이상의 주파수대에서 drive시킬 수 있는 drive 회로를 그림33에 나타낸다. 이 drive 회로는

switching시간의 고속화를 위해 출력단을 MOSFET로 구성하여 push-pull switching동작을 시키고 있으며, 信號발생부에 이상상태가 생겼을 때는 즉시 gate에 逆 bias가 인가되어 SIT의 파괴를 방지하고 있다. 그림 34는 그림33의 drive 회로를 사용하여 drive시퀀스때의 gate 信號實測波形을 보여준다. 그림에서 turn-on/off 가 약 200[ns]이내로 switching동작이 완료되어지는 것을 알 수 있다. 그림35는 入力制御信號가 차단되었을때, gate-source간 逆 bias電壓의 實測波形을 나타낸다. 信號가 차단되는 것과 동시에 逆 bias 電壓이 인가되어 SIT가 회로단락에서부터 보호받고 있다는 것이 실증된다. 그림33에 제시한 drive 회로는 實用上 유효한 것이나 보다 簡單화된 drive 회로개발이 요망된다.

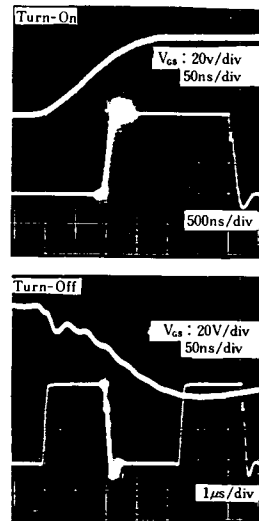


그림34. Gate 信號 실측파형

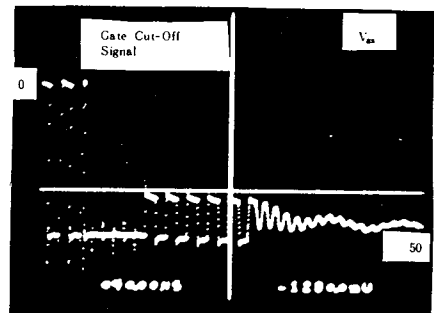


그림35. 逆 bias 실측파형

V. 결 론

電力用 半導體 switching素子の 꾸준한 性能向上과 개발은 電力電子技術 보급에 박차를 가해 산업전반으로 확산되어, 그 응용분야의 극대화를 위해 눈부신 활약을 하고 있다. 전력전자기술은 적용분야에 따라 다양한 電力變換장치들을 실용화 시켰으며,반도체 switching 소자의 on/off 동작에 의해 합리적인 電力으로 變換·調整하여 최종적으로는 목적하는 값으로 制御하고 있다. 최근 선진각국에서는 電力變換裝置의 高周波化를 실현시키기 위해 종래의 축적된 기술을 기초로 하여 高周波 switching에 적합한 主回路形式 및 制御方式 그리고 주변기술등의 연구개발을 추진하고 있다. 本稿는 이상에서 기술한 바와 같이 電力變換裝置技術 중에서 가장 근본이 되는 電力用 半導體 switching 소자의 drive 技術에 관해 필자들의 경험을 토대로 하여 기본적인 사항을 소개하였으며, 또 실제 응용이 가능한 drive 회로 예를 제시하였다. 금후,電力電子分野에 종사하는 학계 그리고 현장 기술인들이 電力變換·調整裝置의 실현을 위해 本稿에서 기술된 電力用 半導體 switching 素子の 주변기초기술인 drive 기술이 참고자료로 유효하게 이용되어지길 기대한다. 끝으로 지면관계상 drive 制御信號 발생을 위한 최근의 IC소자에 대해 기술하지 못함을 안타깝게 여기며, 本稿에서 부족한 사항은 참고문헌을 참조하여 주시기 바란다.

參 考 文 獻

- [1] 正田英介, “電力用半導體デバト스의 應用技術”, OHM, 11月號, pp. 17~20, 1985.
- [2] 吉田太郎, “パケエレクトロニクスの歩みと展望”, 三菱電機技報, vol. 58, no. 12, 1984.
- [3] 池田裕彦, “パケデバト스의最近の進歩”, 日立評論, vol. 68, no. 8, pp. 5~9, 1986.
- [4] 高野安人, “高周波電源의 應用”, 富士時報, vol. 60, no. 3, pp. 249~253, 1987.
- [5] Ralph E. Locher, “The Advent of high current ASCR's”, PCI'81 Proceedings, pp. 169-207, 1981.
- [6] B. Jayant Baliga, “Switching lots of watts at high speeds”, IEEE Spectrum, DEC. pp. 42-48, 1981.
- [7] Brian R. Pelly, “Power semiconductor devices”, IEEE CH 1682-4, pp. 1-19, 1982.
- [8] 村岡公裕, “SIサトリスタ의 特性改善”, EDD-86-55(SPC-86-87), pp. 87~96, 1986.
- [9] 寺澤義雄, “電力用靜電誘導形サトリスタ”, 電學誌, 100卷, 10號, pp. 10~14, 1980.
- [10] 多田昭晴, “GATT構造によるサトリスタ의 高周波化について”, Trans. IEE of Japan, vol. 102-c, no. 7, pp. 1~8, 1982.
- [11] Jan-Ichi. N, “High-frequency high-power static induction transistor”, IEEE, Trans. vol. ED-25 no. 3, 1978.
- [12] Richard Blanchard, “Staus and emerging directions of MOS power technology”, PCI Apr. Proceedings pp. 162-174, 1983.
- [13] 澤邦彦, “パケートランジスタ讀本, オーム社, 1978.
- [14] Marvin W. Smith, “Insulated-gate transistor” Cahners Publishing Company EDN, Feb. 1984.
- [15] サトリスタ·エレクトロニクス編集委員會編, “サイリスタ素子”, 丸善(株), 1973.
- [16] 在田保信, “電力制御回路設計ノウハウ”, CQ出版社, 1985.
- [17] 金東熙, “1石GATTを用いた電流形高周波インバータ의 特性評價と設計法について”, 電氣學會半導體研究會, SPC-84-22. pp. 29~38, 2月, 1984.
- [18] D.H. Kim, “SCR-GTO hybrid voltage-clamped high-frequency power inverters with quick-response, VVVF control function”, Kobe Univ. no. 30. pp. 175-188, 1983. 8.
- [19] 片岡康夫, “GTOサトリスタ의 基本回路”, 明電時報, 第183號, no. 4, 1985.
- [20] E. HO and P.C SEN, “Effect of gate drive circuits on GTO thyristor”, CH 2060-2 IEEE, pp. 706-714, 1984.
- [21] 金東熙, “SIサトリスタ의 스토ッチング特性と高周波インバータへの應用”, 東洋電機(株), 技術研究所技術報告, 8月, 1985.
- [22] Klaus Rischmuller: “A new base drive method for ultra fast high-voltage switching with darlington”, IEEE Proceedings of PCI, 1984.
- [23] Richard L. Bonkowski, “A technique for increasing power transistor switching frequency”, IEEE. Trans. vol. IA-22, no. 2 pp. 240-243, March/April, 1986.

- [24] Edwis S. Oxner, "Power FETs and their applications", Prentice-Hall, INC Englewood Clitts, N.J. D7632, 1982.
- [25] 村本顯一, "バイポーラ形MOSFET", 東芝レビュー, 40卷5號, pp. 427~432, 1985.
- [26] 森川幸俊, "SITを用いたノMHz高周波インバータのドライブ回路", 昭和60年, 電氣學會東京支部大會, pp. 111, 1985.
- [27] 金東熙, "PWM制御共振形SIT高周波トンバータと誘導加熱應用", 關西支部連合大會, G3-23, pp. G-110, 11月, 1986.
- [28] 金東熙, "靜電誘導トランジスタのストンチンダ特性について", 電氣學會全國大會, no. 469, pp. 543. 4月, 1986.
- [29] 金東熙, "電力用高周波SITインバータ", 電氣學會, no. SPC83-8, pp. 11~19, 1983.
- [30] Tokin, "SITバンド・ブック", 東北金屬(株), 1984. *

◆ 用語解説 ◆

Arrester

벼락, 송배전선의 지락(地絡), 전력선과 통신선의 접촉 또는 유도에 의한 충격전압, 그밖에 이상 고전압이 걸렸을 때 선로, 통신기기, 건물, 인명 등을 전기적 위해로부터 보호하기 위한 소자를 말하며 다음과 같이 여러 가지가 있다.

- (1) 탄소 피뢰기: 2장의 탄소판 사이에 얇은 운모 등의 절연물을 끼우고 그 사이에서 이상 전압이 방전 되도록 한 피뢰기로서 탄소판의 표면이 다수의 뾰족한 끝들로 이루어져 있으므로 쉽게 방전이 되며 또 잘 용해하지 않는 점을 이용한 것이다.
- (2) 진공 피뢰기: 2장의 전극 사이를 진공으로 한 유리관내에 수 mm Hg 정도의 비활성 가스(아르곤, 네온 등)와 함께 봉입하고 전극갭 사이에서 방전시키는 피뢰기를 말한다. 방전 전압이 균일하고, 방전 개시 전압도 용도에 따라 여러종류가 있다.
- (3) 피뢰관: 진공 피뢰기의 1종으로 특히 서지(surge) 전압에 약한 IC등을 사용한 기기의 보호에 쓰인다.
- (4) 자복(自復) 피뢰기: 2장의 극판(그중 1장은 바이메탈)이 있는 가스들이 방전관에서 방전할 때 바이메탈 기구로 전극이 보호되며, 수 10회의 반복 방전에 견딜 수 있도록 한 피뢰기를 말한다.

BCS theory

J. Bardeen, L. Cooper 및 J. R. Schrieffer에 의한 초전도(超傳導) 이론으로, 파수(波數) 벡터와 스핀이 서로 반대인 2개의 전자가 쌍양자와의 상호작용으로 전자쌍을 형성한다는 초전도를 설명하는 이론.

Cepstrum

켈스트럼은 신호의 전력 스펙트럼의 쌍수를 푸리에(Fourier) 역변환한 것으로 정의되며 음성파에서의 기본 주기의 추출이나 스펙트럼 포락선(包絡線)의 추출 등에 널리 이용되고 있다. Cepstrum은 spectrum을 해학(諧謔)적으로 변화시켜서 만든 말이고, 그 횡축은 frequency를 변화시켜서 quefrequency라 부르며 그 차원은 시간이다.