

1 μm 이하의 채널 길이를 가지는 P-MOSFET의 특성 개선에 관한 연구

(Study on the Improvement of Sub-Micron Channel P-MOSFET)

朴 榮 俊*

(Young June Park)

要 約

반도체 회로의 집적도와 속도를 개선하기 위하여 MOSFET 소자의 채널 길이를 1 μm 이하로 한 경우, P-MOSFET의 특성이 열화된다. 이를 개선하기 위해 도핑되지 않은 폴리실리콘에 실리싸이드를 형성한 후, P-MOSFET의 소스와 드레인의 이온 주입시 자동적으로 폴리싸이드를 통해서 gate가 P형으로 도핑되게 하는 새로운 제작법을 소개하였다. 이렇게 제작된 P-MOSFET는 종래의 방법에 의해 제작된 소자보다 개선된 소자 특성을 보여주었다. 이 방법을 CMOS 공정에 적용하는 경우의 문제점과 한가지의 해결 방안을 제안하였다.

Abstract

In order to prevent the short-channel effects due to threshold voltage adjustment implantation in conventional n^+ doped silicon gate process, a new approach involving automatic doping of polycide by boron during source and drain implantation is introduced. P-MOSFET device fabricated by this approach shows improved short channel characteristics than conventional device with n^+ doped gate. Some concerns of adopting this approach in CMOS technology are addressed together with some suggestions.

I. 서 론

반도체 회로의 집적도와 속도 개선을 위해서 MOS 소자가 점차로 소형화되어 왔다. MOS 소자의 소형화(scale-down)에는 채널 길이의 감소, 게이트 산화막 두께의 감소, 이에 따른 채널 도핑의 증가와 소스-드레인 junction 깊이의 감소 등을 들 수가 있다.

결국 MOS 소자의 소형화 이론은 MOS 소자의 속도와 전류 구동 능력을 증가시키기 위하여 채널의 길이를 감소시키면서, 채널의 길이가 짧아질 경우 나타

나는 threshold 전압이나 threshold전압 이하에서의 누설 전류를 극소화하기 위한 소자의 설계에 관한 것이다.^{1,2}

전자와 홀의 질량의 차이에 의해 전자의 이동도(mobility)가 크기 때문에 N-MOSFET가 P-MOSFET보다 전류 구동 능력이 우수하여 N-MOSFET가 많이 쓰여 왔다.

그러나 채널의 길이가 짧아지면서도 구동 전압이 같은 비율로 낮아지지 않기 때문에 채널 영역에서의 전계가 커지면서, 전자와 홀이 속도 포화 영역에서 동작하는 경우가 많아지게 된다. 그런데 포화 속도에 있어서는 전자와 홀이 차이가 적기 때문에 MOS 소자의 채널 길이가 매우 짧아지게 될 경우, N-MOSFET와

*正會員, 金星半導體研究所
(GoldStar Semiconductor, Ltd)
接受日字: 1987年 1月 9日

P-MOSFET의 성능 차이가 줄어들게 된다.^{13,14}

또한 MOS 소자가 소형화 되면서 전자와 홀이 큰 전계에 의해서 에너지를 얻게 된다. 따라서 드레인 부근에서 결정 격자와의 충돌에 의해 전자와 홀을 방출할 가능성이 커지게 되고, 이것이 기관 전류(substrate current)를 형성하게 된다. 이 기관 전류는 기관 내의 전압 분포를 불안정하게 만들고, 소스의 turn-on, CMOS 회로의 래치업(latch-up) 등 회로의 실패 원인이 된다.

전술 한 바와 같이 이 점에 있어 홀의 질량이 크기 때문에 P-MOSFET는 기관 전류의 형성에 있어서는 N-MOSFET 보다 유리하다. 따라서 반도체 회로의 집적도가 높아질수록 P-MOS 소자의 중요성이 높아지게 되었다.

실제로 4M DRAM cell에서 P-MOS 소자를 사용한 시도가 IBM 등에 의해서 발표되고 있다.¹⁵ 그러나 현재 표준 공정으로 통용되고 있는 폴리실리콘 게이트를 사용한 자기 정열 공정에서는 N형으로 도핑된 폴리실리콘을 이용하기 때문에 N형과 P형 MOS 소자에 미치는 일함수가 비대칭이 되게 된다. 이 이유 때문에 MOS 소자의 문턱 전압을 0.7V - 1.0V 정도로 조절하기 위한 표면 채널의 불순물 도핑 농도에 있어 N형 MOS와 P형 MOS가 차이가 난다. 즉 N형 MOS 소자에서의 반도체 표면의 P형 불순물 농도가 P형 MOS 소자에서의 N형 불순물 농도보다 더 커야 하며 이것이 P형 MOS 소자의 punch-through 특성을 열화시키는 원인이 된다는 것은 널리 알려진 사실이다.

그림 1은 본 논문의 실험에서 사용된 CMOS 공정에서의 N-MOS와 P-MOS의 반도체 채널 영역의 불순물 농도의 컴퓨터 시뮬레이션 결과를 보인 것이다. 그림에서 보듯이 N-MOS의 표면은 $6E16/cm^2$ 정도로 도핑되어 있는 반면에 P-MOS에서는 오히려 표면에서 N_A 만큼 P형으로 되어 있음을 알 수가 있다. 그림 2는 이러한 채널 불순물 분포를 가지는 소자의 항복 전압이 유효채널 길이(L_{eff})에 따라 열화되는 실험적 결과로서 P-MOS쪽이 더 빨리 열화됨을 알 수가 있다. 그림에서 BV_{DSS} 는 punch through가 발생하는 드레인 전압(V_D)이다.

이러한 P-MOS의 문제점을 해결하기 위해 몇가지의 방법이 모색 되었는데 첫째로 그림 1에서의 N_A 깊이를 줄이는 방법¹⁶과 폴리 실리콘을 P*로 도핑시키는 방법,¹⁷ 그리고 폴리실리콘을 게이트로 사용하는 대신 refractory 금속을 사용하는 방법¹⁸ 등이 소개되었다.

본 논문에서는 도핑되지 않은 폴리실리콘에 실리사이드(silicide)를 형성시킨 후, P-MOSFET의 소스와 드레인의 이온 주입시 자동적으로 폴리사이드를 통해

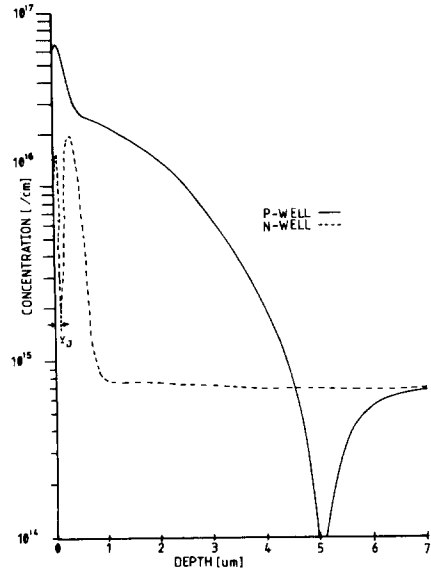


그림 1. 표준 MOS 공정에서의 NMOS와 PMOS의 표면 도핑 (simulation)

Fig. 1. Simulated Doping Profile of Channel Region of NMOS (solid line) and PMOS (dotted line) Used in this Work.

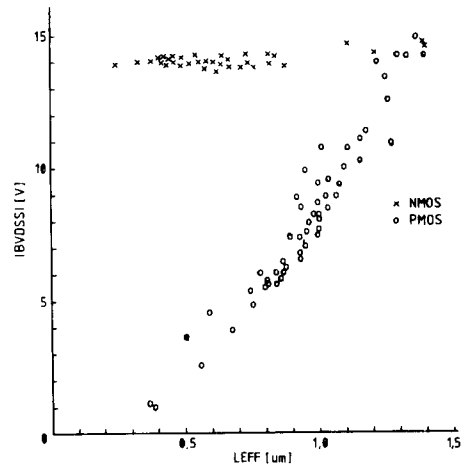


그림 2. L_{eff} 에 따른 NMOS와 PMOS의 punch-Through 전압 특성

Fig. 2. Measured Punch Through Voltage Vs. L_{eff} Characteristics for NMOS (X) and PMOS (O).

서 게이트가 P형으로 도핑되게 하는 새로운 공정을 소개하고 이렇게 제작된 P-MOSFET의 특성을 종래의 소자와 비교하려 함이 목적이다. 또한 이를 CMOS 공정에 응용하기 위한 문제점과 해결방안 등을 제시하고자 한다.

II. 자동 Polycide도핑 공정

그림 3(a)은 그림 1의 도핑 분포를 가지는 소자 제작에 사용된 공정이며 그림 3(b)는 P-MOS의 게이트를 P⁺형으로 도핑하기 위한 공정 순서를 보인 것이다.

(a) 표준 MOS 공정	(b) 자동 폴리싸이드 도핑 공정
LOCOS ISOLATION	LOCOS ISOLATION
* V _T IMPLANTATION (BF, DOSE=2E12/cm ²)	NO V _T IMPLANTATION
250 Å GATE OXIDATION	250 Å GATE OXIDATION
* POLY DEPOSITION AND N ⁺ DOPING	INTRINSIC POLY DEPOSITION
SILICIDE DEPOSITION & GATE PATTERNING	SILICIDE DEPOSITION & GATE PATTERNING
SIDEWALL FORMATION	SIDEWALL FORMATION
P ⁺ SOURCE-DRAIN DOPING	P ⁺ SOURCE-DRAIN DOPING
SOURCE-DRAIN ANNEALING	SOURCE-DRAIN ANNEALING
INTRINSIC LTO DEPOSITION	INTRINSIC LTO DEPOSITION
PSG DEPOSITION & REFLOW (1030C)	PSG DEPOSITION & REFLOW (1030C)
CONTACT & METALIZATION	CONTACT & METALIZATION

그림 3. (a)표준 MOS 공정과 (b)자동 폴리싸이드 도핑 공정의 주요 흐름도

Fig. 3. Process Flows for (a) Conventional MOS (b) Automatic Polycide Doping Process. Different Steps in Both Processes are Denoted by *.

도핑 농도가 7E14/cm²인 P형 실리콘 기판에 1.6E12/cm²의 dose를 가지는 phosphorus로 도핑한 후, 9000 Å 정도의 LOCOS 공정을 거친 다음, BF₂, dose = 2 × 10¹²/cm²로 문턱 전압 조절하기 위한 이온주입을 행한다. 그림에서 볼 수 있듯이 자동 폴리싸이드 도핑 공정에서는 이 이온 주입공정을 행하지 않았다. 게이트 산화막을 250 Å 기른 후, CVD 방법에 의해 폴리실리콘을 증착시킨 후, 3(a)에서는 POCl₃ 원을 사용하여 폴리실리콘을 도핑시킨다. 그러나 3(b)에서는 이 도핑을 생략한 후, TaSi₂를 증착시켜 폴리싸이드를 형성시킨다.

그 후 게이트 마스크를 사용 폴리싸이드의 영역을 정한후, 표면의 평면화를 증진시키고, 소스-드레인과 게이트 간의 기생 정전 용량을 줄이기 위한 sidewall을 2000 Å 정도 형성시킨 후, 소스-드레인 형성을 위한 BF₂ 이온 주입을 행한다. 자동 폴리싸이드 도핑 공정에서는 이때, 폴리실리콘이 P형으로 도핑된다. 그 후 공정은 표준 MOS 공정과 같으므로 생략한다. 그림 4는 sidewall 공정을 거친 후의 MOS 소자의 SEM 그림을 보여 주고 있다. 그림 3에서 표준 MOS 공정과 자동 폴리싸이드 도핑 공정에서의 차이를 별표(*)로

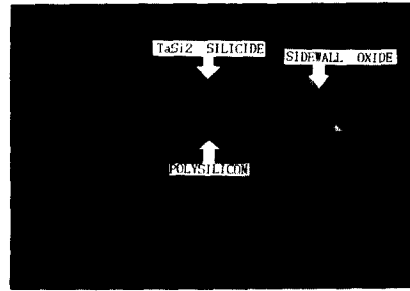


그림 4. SIDEWALL 공정 후의 채널길이가 1.9 μ m인 MOS 소자의 SEM 사진

Fig. 4. SEM Picture of the MOS Device with 1.9 μ m Channel Length After Sidewall Process.

표시해 두었다.

여기서 알 수 있듯이 자동 폴리싸이드 도핑 공정에서는 표준 MOS 공정에서 V_T 조절용 이온 주입 공정과 폴리실리콘의 도핑과정이 생략되어 있다.

III. P-MOSFET의 특성

앞 절에서 설명한 방법에 의해서 제작된 P-MOSFET의 특성을 표준 MOS 공정의 소자의 특성과 비교해 보고자 한다. 먼저 소자의 주요 특성을 비교한 것이 표 1이다. 표에서 두 소자의 차이는 문턱 전압 조절용 이온 주입의 생략으로 반도체 표면의 도핑이 다르다는 점 이외에는 없음을 알 수가 있다. 그림 5는 Leff가 1.3 μ m이고 유효 소자의 폭(Weff)이 20 μ m인 소자에서 게이트 전압 (V_G)이 0V에서 -6V까지 변할 때의 드레인 전류 (I_D)와 드레인 전압 (V_D) 특성을 보인 것이다. 그림에서 (a)는 표준 MOS 공정의 소자 (이절에서는 소자 A라 약칭)이고 (b)는 자동 폴리싸이드 도핑 공정(소자 B라 약칭)의 소자이다. 두 소자 모두 좋은 I-V 특성을 보여 주고 있다. V_G가 -1V와 -2V인 경우 V_D가 선형 영역에서 소자 B의 전류가 소자 A의 전류보다 크다. 이는 표 1에서 보듯이 문턱 전압이 소자 A가 크기 때문이다. 그러나 V_G가 증가하게 되면 소자 B의

표 1. 표준 MOS 공정과 자동 폴리싸이드 도핑 공정에 의한 P-MOSFET의 주요 소자 특성

	표준 MOS 공정	자동 폴리싸이드 도핑 공정
JUNCTION 깊이	0.6 μ m	0.6 μ m
게이트 산화층 두께	250 Å	250 Å
홀 이동도	300cm ² /V-sec	270cm ² /V-sec
문턱 전압	-0.95V	-0.6V
P ⁺ R _s	100 ohm/sqr	100 ohm/sqr

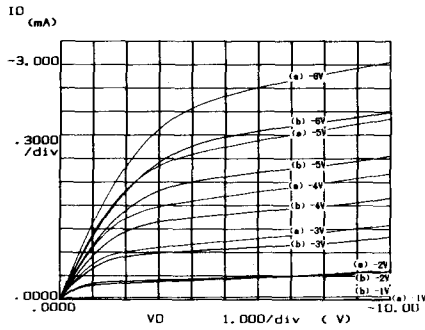


그림 5. $L_{eff}=1.3\mu m$ 일 경우 (a) 표준 MOS 공정과 (b) 자동 폴리싸이드 도핑공정 소자에 대해서 V_G 가 0V에서 $-6V$ 까지 변할 때의 I_D-V_D 특성
Fig. 5. I_D-V_D Characteristics of PMOS Device with $L_{eff}=1.3\mu m$ made by (a) Conventional MOS Process and (b) Automatic Polycide Doping Process when V_G varies from 0V to $-6V$.

전류가 소자 A에 비해 감소한다. V_G 가 $-5V$ 일 때, 선형 영역에서 약 13% 정도 감소한다.

소자의 I-V 특성이 포화영역에 들었을 때에도 short channel 영향에 의해 드레인 전류는 계속 증가하게 된다. 그림에서 알 수 있듯이 소자 B의 경우가 A의 경우보다 전류 증가량이 작다. 즉, 신공정 소자인 소자 B의 short channel 특성이 개선되어 있음을 알 수가 있다. 이는 그림 6 과 같이 L_{eff} 가 $0.87\mu m$ 인 소자의 특성 비교에서 더욱 두드러진다. 즉 V_G 가 $-2V$ 일 때 선형 영역에서는 소자 B의 전류가 소자 A의 전류보다 크지만 포화 영역에서는 소자 A의 전류가 커지게 됨을 알 수가 있다.

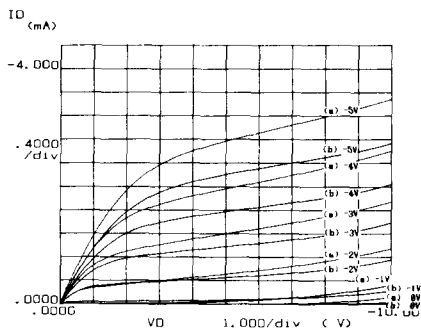


그림 6. $L_{eff}=0.87\mu m$ 일 경우 (a) 표준 MOS 공정과 (b) 자동 폴리싸이드 도핑 공정 소자에 대해서 V_G 가 0V에서 $-5V$ 까지 변할 때의 I_D-V_D 특성
Fig. 6. I_D-V_D Characteristics of PMOS Device with $L_{eff}=0.87\mu m$ made by (a) Conventional MOS Process and (b) Automatic Polycide Doping Process.

그림 7 은 이 소자들의 문턱전압(subthreshold) 특성을 보인 것이다. 특성 (i) 은 V_D 가 $-0.1V$ 인 경우이고 특성(ii)는 V_D 가 $-5V$ 인 경우 I_D 와 V_G 의 관계를 그린 것이다. 소자의 문턱 전압을 I_D 가 $1\mu A$ 인 경우를 V_G 로 정의한다면 소자 A의 문턱 전압은 V_D 가 $-0.1V$ 인 경우 $-0.975V$ 에서 V_D 가 $-5V$ 인 경우 $-0.57V$ 로 약 $0.4V$ 이상이 감소한다. 이는 채널의 길이가 짧아지게 되면, 드레인 전압이 소스의 전위 장벽에 영향을 주게 되어 문턱 전압이 감소하는 스위 DIBL(drain induced barrier lowering)에 의한 것이다.¹⁾ 잘 알려져 있듯이, 이 DIBL은 MOS소자의 스위칭 특성을 열화시키는 가장 중요한 제한 요소이다. 그러나 소자 B의 경우는 V_D 가 $-0.1V$ 인 경우 문턱 전압이 $-0.62V$ 에서 V_D 가 $-5V$ 일 경우 $-0.48V$ 로 $0.14V$ 밖에 감소하지 않음을 알 수 있다. 즉 소자 B의 경우, 소스와 드레인 이온 주입시 도핑된 P형 폴리싸이드에 의해 반도체 표면의 도핑을 바꾸지 않고도 문턱 전압을 $-0.6V$ 까지 낮출 수 있었고 이러한 낮은 문턱 전압에서도 DIBL 영향이 현격히 개선되었음을 알 수가 있다.

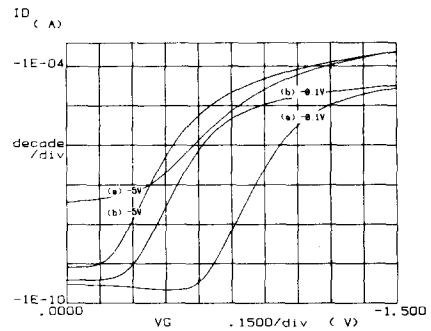


그림 7. (a) 표준 MOS 공정과 (b) 자동 폴리싸이드 도핑 공정소자에 대해서 (i) $V_D=-0.1V$ (ii) $V_D=-5V$ 일 때의 I_D-V_G 특성
Fig. 7. I_D-V_G Characteristics of PMOS Device with $L_{eff}=0.87\mu m$ made by (a) Conventional MOS Process and (b) Automatic Polycide Doping Process.

이 스위칭 특성의 개선은 문턱 전압전 I_D-V_G 곡선의 기울기를 보면 더욱 쉽게 알 수가 있다. 즉 V_D 가 $-0.1V$ 인 경우는 소자 A와 소자 B 모두 $90mV/decade$ 로 양호한 편이다. 그러나 $V_D=-5V$ 인 경우, 소자 B의 기울기는 변하지 않은 반면 소자 A의 기울기는 $200mV/decade$ 가 됨으로써 실제적으로 로직 회로에 사용할 수가 없게 된다.

IV. 검 토

소스와 드레인 형성시 실리싸이드 층을 통하여 폴리

실리콘을 P형으로 도핑시킴으로써 PMOS 소자의 문턱 전압을 반도체 표면의 도핑을 반대형으로 도핑시키지 않고도 $-0.6V$ 까지 낮출 수가 있음을 보였다.

이렇게 제작된 소자의 스위칭 특성이 문턱 전압 조절 용 이온 주입을 한 소자의 특성 보다 현격이 개선됨을 보였다.

그러나 그림 5 및 6 에서 보듯이 선형 영역에서 홀의 이동도가 약 10% 이상 감소한다. 이는 표준 MOS 공정에서 표면 도핑이 반대형으로 도핑됨으로써 표면의 전위 분포가 변화하고 불순물에 의한 충돌이 감소하기 때문이라고 생각된다.

본 논문에서 제안된 공정을 그대로 CMOS 공정에 사용하면 NMOS의 폴리실리콘 게이트는 N형으로 도핑되고 PMOS의 폴리실리콘 게이트는 P형으로 도핑되어 이상적인 MOS 구조를 제작할 수 있다. 그러나 다른 문헌¹⁰에서 지적되었듯이 소스-드레인 형성 이후 존재하는 열공정시 실리싸이드를 통해 폴리실리콘에 도핑된 인과 보론 원자가 확산되어 주변의 폴리실리콘 농도를 변화시킴으로써 문턱 전압을 변화시키는 것이 문제점으로 대두된다.

즉 그림 8은 이러한 문제점을 보여 주는 한 예이다. 즉 그림 8(a)와 같이 PMOS와 NMOS가 떨어져 있는 경우는 영향이 없지만 8(b)와 같이 CMOS에서 P형과 N형 MOS의 게이트가 실리싸이드로 연결되어 있는 경우는 실리싸이드를 통한 불순물 확산이 문제점으로 대두 된다는 것이다. 현재 여러가지 이유 때문에 소스와 드레인 이온주입 이후 급결정처리 공정(RTP)의 필요성이 강조되고 있다. 즉, 이온 주입후의 annealing과 표면의 평면화를 위한 산화막의 reflow 공정을 위한 열공정 대신 빛에너지를 이용, 짧은 시간동안(약 1분 내외) annealing과 reflow를 시킨다는 것이다. 이경우 실제적으로 소스와 드레인영역의 불순물 확산은 거의 일어나지 않는다는 것은 알려진 사실이다. 따라서 RTP를 사용했을 경우, 실리싸이드를 통한 불순물의 확산을 방지하고 이것이 MOS의 인접 PMOS의 문턱 전압에 미치는 영향의 개선은 앞으로 연구되어야 할 과제이다.

V. 결 론

종래의 MOS 공정에서 도핑되지 않은 폴리실리콘에 실리싸이드를 형성한 후, PMOS 소자의 소스와 드레인 이온 주입시 자동적으로 폴리싸이드를 통하여 게이트의 폴리실리콘이 P형으로 도핑되게 하는 방법으로 P-MOS 소자를 제작함으로써 PMOS의 채널을 반대형으로 도핑시키지 않고도 문턱전압을 $-0.6V$ 로 끌어

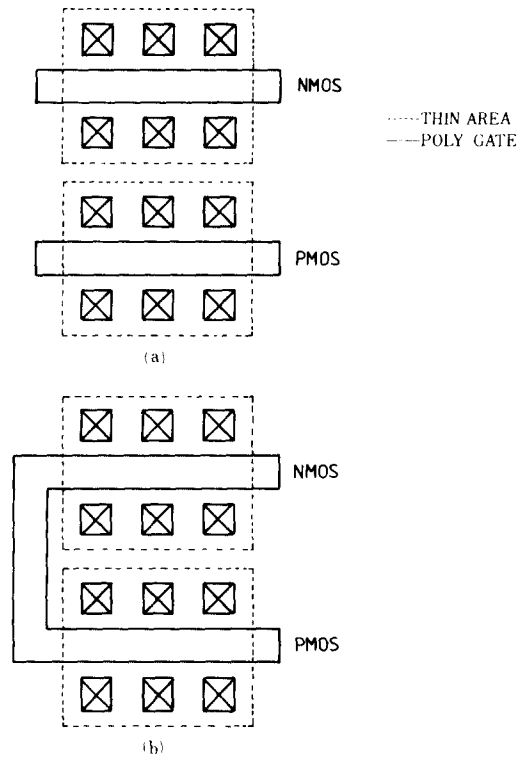


그림 8. CMOS에서 (a) PMOS와 NMOS가 떨어져 있는 경우와 (b) 게이트로 연결된 경우, (b) 경우 실리싸이드를 통해 폴리실리콘의 불순물이 확산될 수 있다.

Fig. 8. Layout Showing that PMOS and NMOS devices are (a) Separated and (b) Connected through Polycide. Dopant can Diffuse to the other Device in (b).

내릴 수가 있게 함을 보였다. 또한 이렇게 제작된 PMOS는 L_{eff} 가 $1\mu m$ 보다 작은 소자에서도 안정된 스위칭 특성을 보였다. 또한 이 공정은 그대로 CMOS 공정에 사용될 수 있으며 실리싸이드를 통한 불순물의 확산 효과의 문제점을 해결할 수 있는 방안으로 RTP 방법을 제안하였다.

그리고 wafer 제작에 도움을 주신 김기홍씨와 data 처리에 도움을 주신 김효식씨, 이 명숙씨께 감사드립니다.

參 考 文 獻

[1] R.H. Dennard, et al., "Design of ion-implanted MOSFET'S with very small physical dimensions", *J. Solid State Circuits*, vol. SC-9, pp. 256-268, Oct. 1974.
 [2] J.R. Brews, et al., "Generalized guide for MOSFET miniaturization", *IEEE Electron*

- Dev. Lett.*, vol. ed1-1, pp. 2-4, Jan. 1980.
- [3] E. Takada, "Comparison of characteristics of n-channel and p-channel MOSFET's for VLSI's", *IEEE Trans. Electrondev.*, vol. ED-30, no. 6, pp. 675-680.
- [4] P.K. Chatlerjee, et al., "The impact of scaling laws on the choice of n-channel or p-channel for MOSLSI", *IEEE Electron Device Lett.*, vol. EDL-1, pp. 220-223, oct. 1980.
- [5] N. C. Lu, et al., "A Substrate-plate trench-capacitor memory cell for dyanmic ram's", *IEEE J. Solide-State Circuits.*, vol. SC-21, no. 5, Oct. 1986.
- [6] S-Y. Chiang, et al., "Optimization of submicron p-channel fet structure", *Technical Digest of Iedm*, pp. 534-537, 1983.
- [7] D.W. Wenocur, et al., "Febrication and characterization of sub-micron thin gate oxide p-channel transistors with p+ polysilicon gates", *Technical Digest of idem*, pp. 212-215, 1985.
- [8] C. Ting, Private Communication.
- [9] J.S. Fu, "Dominant subthreshold conduction paths in short-channel MOSFET'S", *IEEE Trans. Electron Dev.*, vol. ED-31, no. 4, pp. 440-447, April 1984.
- [10] L.C. Parrillo, et al., "A fine-line CMOS technology that p+ polysilicon/silicide gates for NMOS and PMOS device", *Technical Digest of Iedm*, pp. 418-422, 1984.
-