

LDD MOSFET의 최적화에 관한 연구

(Study on the Optimization of LDD MOSFET)

金 達 洙*, 朴 榮 俊*

(Dal Soo Kim and Young June Park)

要 約

1 μ m 이하의 채널 길이를 가지는 N-channel LDD MOSFET의 공정 최적화에 대하여 고찰하였다. LDD의 n⁻영역의 길이, 이온 주입 원소 및 dose 양에 따른 여러가지 소자의 전기적 특성의 변화를 살펴 보았다.

비슷한 채널 길이를 가지는 통상의 NMOSFET과 비교 했을 때 고온전자에 의한 기판 전류가 10배 이상 감소 하였고 드레인 항복전압이 증가되었다. 최적화된 LDD의 구조는 sidewall 두께가 2500 \AA , n⁻영역의 이온 주입을 phosphorus로 1E13/cm²의 dose로 행했을 때 얻을 수 있었으며 트랜스콘덕턴스는 20% 감소 하였다.

Abstract

Optimization of the sub-micron N-channel MOSFET with the LDD (Lightly Doped Drain) structure has been investigated. LDD devices with various length of n⁻region, n⁻dose and n⁻implantation species were fabricated for this purpose. It will be shown that LDD devices have lower substrate current by an order of magnitude and higher breakdown voltage than the conventional devices with comparable channel length.

Optimized LDD structure has been found when the sidewall thickness is 2500 \AA , and n⁻region is phosphorus implanted with the dose of 1.0E13/cm². It has been found that transconductance degradation is less than 20%.

I. 서 론

반도체 미세가공 기술이 발달함에 따라 MOSFET의 특성을 좌우하는 채널 길이도 점점 짧아져 왔다. 현재의 기술로는 약 1 μ m 정도까지의 게이트 길이를 조절할 수 있게되어 실제 MOSFET 소자의 유효한 채널 길이(L_{eff})가 1 μ m보다 작은 MOSFET가 사용되게 되었다. 따라서 종래의 긴 채널소자(long channel device)에서는 볼 수 없었던 여러가지 문제점을 야기시키게 되었다. LDD(lightly doped drain) MOSFET는 이러한 문제점을 개선하기 위하여 그림 1(a)와 같은 구조

를 가지는 소자로서 sub-micron 채널 길이를 갖는 소자의 특성을 마치 long channel 소자와 같게 만들기 위한 소자이다.^{1,2)}

채널 길이가 짧아짐에 따라 나타나는 세 문제로는 항복전압(breakdown voltage)의 감소, 문턱전압(V_t) 감퇴, 기판전류 증가 등을 들 수 있는데 LDD 소자는 적게 도우핑된 n⁻영역이 드레인에 걸리는 전계의 최대점을 통상의 소자가 갖는 최고점 보다 낮게 만들어 항복 전압의 이득을 얻는 것은 물론, V_t 감퇴와 기판 전류를 유발시키는 고온 전자(hot electron)의 발생을 억제해 주는 잇점이 있다.³⁾ 그러나 단점으로는 n⁻영역이 드레인의 직렬 저항 역할을 하므로 드레인 전류가 통상의 소자보다 적게 흐른다는 것이다.⁴⁾

본 연구에서는 LDD 소자의 특성을 결정해주는

*正會員, 金星半導體研究所
(GoldStar Semiconductor, Ltd)
接受日字: 1987年 1月 9日

sidewall spacer의 조절 가능성과 여러가지 spacer 길이와, n 영역의 농도를 변화시키 가면서 각 LDD 소자의 특성을 살펴보고 최적의 LDD 소자 구조를 설정하고자 하였다.

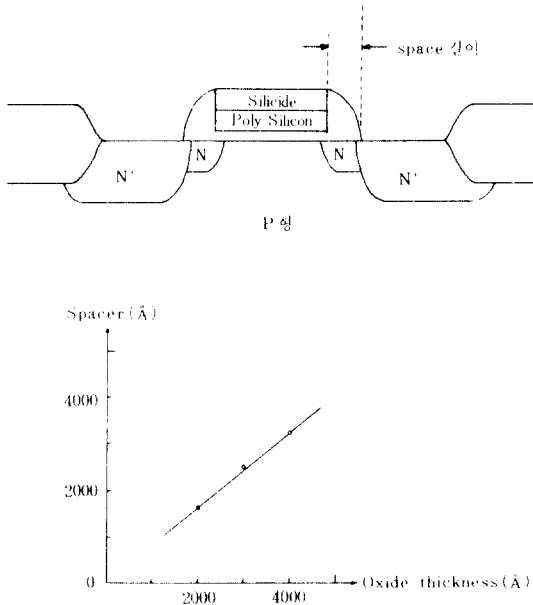


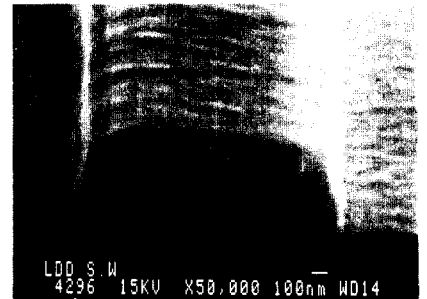
그림 1. (a) LDD MOSFET의 단면도
(b) 증착된 산화막의 두께와 spacer 길이와의 관계

Fig. 1. (a) Cross Section of LDD MOSFET.
(b) Spacer Length as a Function of CVD Oxide Thickness.

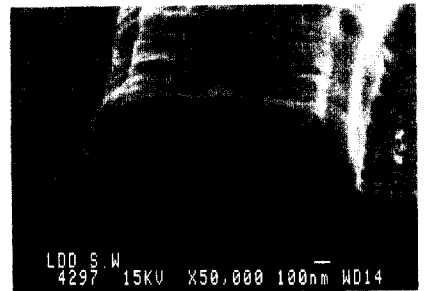
II. Sidewall 공정

LDD 소자의 특성을 좌우하는 가장 큰 변수로는 n 영역의 길이를 들 수 있다. n 영역의 길이를 조절하기 위해서는 여러가지 공법을 생각해 볼 수 있으나 여기서는 가장 널리 사용되고 있는 RIE(reactive ion etching) 방법을 이용하여 sidewall을 형성하는 공법을 사용하였다. 그 결과 원하는 n 영역의 길이를 쉽게 조절할 수 있다는 것을 알았다. Spacer 길이의 균일도는 oxide 증착 장비와 식각 장비의 균일도에 따라 좌우되며 현재 장비의 균일도는 $\pm 5\%$ 이내이므로, spacer의 균일도도 $\pm 5\%$ 이내로 조절되고 있다. 그림 1 (b)는 spacer를 형성하기 위해 증착시킨 산화막의 두께와 sidewall spacer 길이와의 관계를 나타내고 있다. 또한 spacer의 길이는 over etch 정도에 따라서는 변화가 없다는 것을 알 수 있었다.

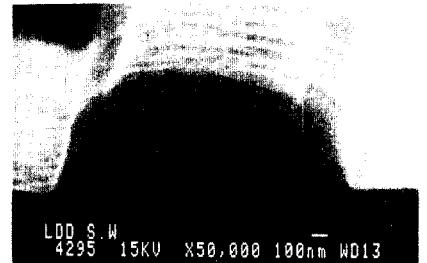
그림에서 보는 바와 같이 spacer의 길이는 증착된 산화막의 두께에 비례하며, 정확히 조절되는 것을 알 수 있다. 증착된 산화막 두께와 spacer와의 차이는 산화막이 증착될 때 게이트 측면의 수직 방향과 수평 방향에 증착되는 두께가 다른 까닭이며 현 공정에 의하면 그 비가 약 80% 정도 되는 것을 알 수 있다. 그림 2는 증착된 산화막의 두께가 2000 Å, 3000 Å, 및 4000 Å 일 때 얻은 spacer의 SEM 사진이다.



(a) 증착된 산화막의 두께가 2000 Å 일 때



(b) 증착된 산화막의 두께가 3000 Å 일 때



(c) 증착된 산화막의 두께가 4000 Å 일 때

그림 2. Sidewall Spacer의 SEM 사진
Fig. 2. SEM Photographs of Sidewall Spacer when CVD Oxide Thickness is (a) 2000 Å (b) 3000 Å and (c) 4000 Å.

III. 공 정

본 연구에 사용된 LDD NMOS 소자는 N형 실리콘 웨이퍼에 4.5 μm 정도의 P-well을 형성한 후 제작하였다.

표 1은 개략적인 공정 순서도이며 표 2는 LDD MOSFET 소자의 최적화를 위하여 분리한 공정 내용을 보여주고 있다.

표 1. 공정 순서도
Table 1. Process Flow.

Start Material	: 6-9 ohm-cm, phosphorus doped N-type 5" wafer, $\phi 100$
P-well	: Boron Implantation (면 농도: $6E16/\text{cm}^2$ (ϕ Implantation을 위한 후의 농도임) X_j : 4.5 μm)
Field I/I	: BF2, $9.0E12/\text{cm}^2$, 80KeV
Field Oxide	: 7500 \AA
Gate Oxide	: 250 \AA
Poly + Sulfide	: 5000 \AA
N Ion Implantation	: *Split 1
CVD Oxide	: *Split 2
Sidewall Etch	
Source Drain 형성	: Arsenic Implantation
PSG Deposition & Reflow	: 8000 \AA
Contact & Metallization	

표 2. LDD MOSFET 소자의 최적화를 위해 분리한 공정내용

Table 2. Process Split for Optimization of LDD MOSFET.

*Split 1. N Implantation

Element	Dose	Energy
Phosphorus	$3.0E12/\text{cm}^2$	40KeV
	$7.0E12/\text{cm}^2$	
	$1.0E13/\text{cm}^2$	
	$3.0E13/\text{cm}^2$	
	$7.0E13/\text{cm}^2$	
Arsenic	$1.0E13/\text{cm}^2$	80KeV
	$3.0E13/\text{cm}^2$	
	$7.0E13/\text{cm}^2$	

*Split 2. Thickness of CVD Oxide
2000 \AA , 3000 \AA , 4000 \AA

IV. LDD 소자의 특성

MOSFET의 채널 길이가 짧아짐에 따라 소자 특성은 다음 몇몇 주요 변수들에 의해 제한을 받는다. 즉 (1) 낮은 항복전압(punch through, snap-back 현상), (2)

드레인의 pinch-off 영역에서 발생하는 고온전자(hot electron)가 게이트 전류나 substrate 전류를 유발시키며, (3) short channel V_t 감소 등의 현상이 나타난다.

LDD 소자는 드레인에 n 영역을 첨가 함으로써 위의 제가지 현상을 모두 개선시킬 수 있는 소자 구조이다. 단점으로는 n 영역의 전압 강하가 상대적으로 낮은 드레인 전압을 가하는 효과를 주므로 선형 영역에서 transconductance (g_m)가 감소하는 현상을 들 수가 있다. 그러므로 LDD 소자의 설계를 최적화하기 위해서는 n의 농도와 길이를 조절하여 최소의 전압 강하 즉 최소의 g_m 감소를 가져오는 상태에서 최대의 효과를 얻도록 하여야 한다.

이 장에서는 앞에서 설명한 공정의 분리가 N-MOSFET의 중요한 전기적 특성에 미치는 영향을 고찰해 봄으로써 LDD MOSFET 공정의 최적화 조건을 찾아 보고자 한다.

1. 항복전압(BV_{dss})

N-MOSFET의 항복전압은 두 공핍층이 서로 만나 과도한 전류가 흐르는 punch through 현상과 드레인에 걸리는 역방향 전압이 증가함에 따라 드레인 영역의 전계가 증가, 채널의 전자가 실리콘 격자와 충돌하여 전자와 충돌을 발생시키는 현상(avalanche breakdown)에 의해 제한된다.

그림 3은 몇개의 다른 n 영역의 길이에 대해 소자의 I_{eff} 와 BV_{dss}의 관계를 표시한 그림이다.

이 그림에서 알 수 있듯이 통상의 공정을 거친 소자의 BV_{dss}는 유효 채널 길이가 1 μm 이상일 때는 드레인 접합의 avalanche breakdown에 의해 결정되고

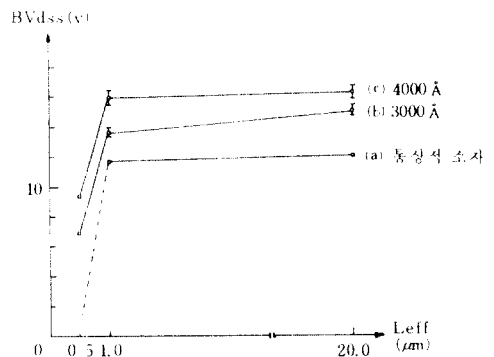


그림 3. Spacer의 길이가 (a) 0 \AA , (b) 3000 \AA , 및 (c) 4000 \AA 인 경우의 BV_{dss}와 Leff의 관계
Fig. 3. BV_{dss} Vs. Leff Characteristics when spacer Length is (a) 0 \AA , (b) 3000 \AA and (c) 4000 \AA .

유효 채널 길이가 1 μ m 보다 짧아질 때는 punch through 에 의해 BVdss 전압이 급격하게 감소한다. LDD 소자는 n 영역의 길이에 따라 그 차이는 있으나 전체적으로 avalanche breakdown 전압이 약 2V 이상 높고 유효채널 길이가 1 μ m 보다 짧은 short channel 소자에서 punch through 현상이 현저하게 개선되는 것을 알 수 있다.

같은 n 영역의 길이에서는 n 농도의 변화에 따른 BVdss 특성을 변화가 거의 없으며 이것은 본 연구에서 분리하여 진행된 n 이온 주입량의 변화가 BVdss 에 영향을 줄 정도로 크지 않았다는 것을 말해주고 있다.

그림 4에서는 같은 길이의 n 영역에 따라 n dose를 phosphorus와 arsenic으로 했을 때의 BVdss 특성을 도시하였다. Arsenic 보다는 phosphorus일 경우 가 나쁜 BVdss 개선을 보여주고 있다.

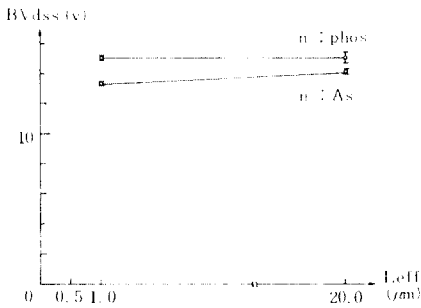


그림 4. n 이온 주입을 arsenic과 Phosphorus로 했을 경우

Fig. 4. BVdss Vs. Leff for two Different Implantation Species.

2. Isub(기판전류, substrate current)

MOSFET에서 발생하는 고온전자(hot electron)는 Si-SiO₂의 에너지 장벽을 뛰어 넘어 산화막 내에 trap 되어 V_t 감소와 transconductance의 열화를 초래하고 게이트 전류를 흐르게 한다.

고온전자가 여기저기를 또 다른 현상으로는 드레인의 영역에서 2차 충격 이온화 현상(secondary impact ionization)이 생겨 전지와 정공을 발생시킨다. 여기서 생성된 전지와 정공은 기판 전류의 주성분이 되며 잘려진 기판 전류를 변화시키므로써 회로 집음의 주요 원인이 된다.

그림 5는 증착된 sidewall 형성용 산화막의 두께가 3000Å 이고 n dose가 1.0E13/cm², 3.0E13/cm² 및 7.0E13/cm²일 때의 기판 전류를 도시하였다. n dose

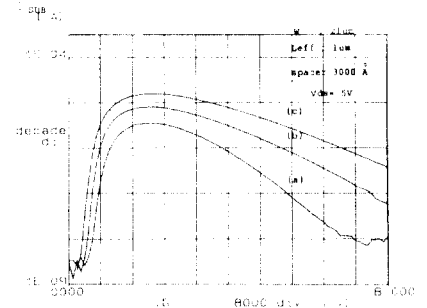


그림 5. n dose가 (a) 1E13/cm² (b) 3E13/cm² (c) 7E13/cm² 일 때 Isub-V_g 특성

Fig. 5. Isub-V_g Characteristics when n dose is (a) 1E13/cm², (b) 3E13/cm², and (c) 7E13/cm².

가 1.0E13/cm² 일 때 가장 적은 기판 전류를 얻을 수 있었다. 이때 Isub의 최대치는 게이트 전압이 약 2.2V일 때이다.

그림 6에는 증착된 산화막의 두께가 3000Å 이고 n 농도분의 종류가 다른 때(As와 phosphorus)의 기판 전류를 도시하였다. 그림에서 보는 바와 같이 phosphorus로 이온 주입 했을 때가 더 낮은 기판 전류를 나타내고 있다. 이는 phosphorus 집입이 완만하게 형성되어 같은 드레인 전압에 대해 전계가 작게 걸리는 것을 보여 주고 있다.

그림 7은 그림 5에서 가장 낮은 기판 전류값을 보여 준 n dose가 1.0E13/cm²일 때 증착된 산화막의 두께에 따른 기판 전류를 도시한 것이다. 여기서 알 수 있듯이 증착된 산화막의 두께가 2000Å 일 때가 4000Å 일 때 보다 V_g가 약 2V일 때 10배 이상의 기판전류가 흐르는 것을 보여주고 있다. 이것은 증착된 산화막의

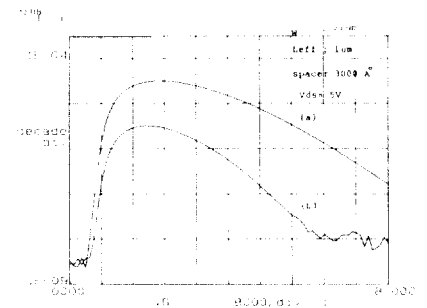


그림 6. n 영역을 (a) Arsenic, (b) Phosphorus 1E13/cm²으로 이온 주입했을 때 Isub-V_g 특성

Fig. 6. Isub-V_g Characteristics when n Region is Implanted by (a) Arsenic, (b) Phosphorus with dose of 1E13/cm².

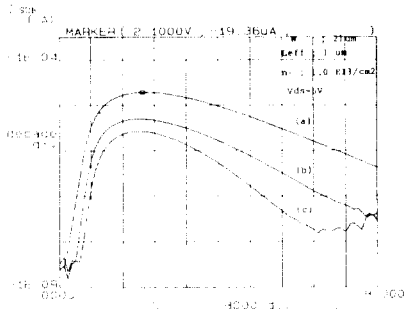


그림 7. CVD 산화막 두께가 (a) 2000 Å, (b) 3000 Å, (c) 4000 Å 일 때의 $I_{ds} - V_{ds}$ 특성
 Fig. 7. $I_{ds} - V_{ds}$ Characteristics when CVD Oxide Thickness is (a) 2000 Å, (b) 3000 Å, and (c) 4000 Å.

두께가 2000 Å 일 때(실제 sidewall spacer 길이는 약 1600 Å)일 때의 높은 농도를 갖는 n-주입층, 드레인 영역이 제인 필름으로 형성되어 2000 Å에 의해 형성되는 n-영역은 거의 다 잠멸했다는 것을 보여준다. 증착된 oxide 두께가 2000 Å 일 때 통상의 방법으로 제조된 MOSFET와 같은 전류밀도에는 크게 이득이 없다는 것을 알 수 있다.

그림 8 에는 통상의 방법으로 제조된 MOSFET의 기판 전류와 증착된 산화막의 두께가 4000 Å 일 때 LDD MOSFET의 기판 전류를 V_{gs} 에 따라 도시하였다. V_{gs} 가 문턱전압 V_t ($\approx 0.75V$) 이상일 때 LDD MOSFET 는 약 10배 정도 작은 기판 전류값을 보여주고 있다. 이장에서 기판 전류는 spacer의 길이가 길수록 n-이온 주입 물질들이 phosphorus일 때 작다는 것을 알

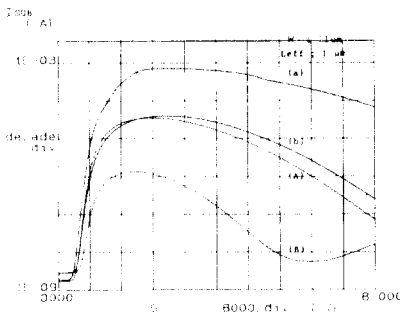


그림 8. 통상의 MOSFET(a, b)와 최적화된 LDD MOSFET(A, B)의 V_{ds} 변화에 따른 $I_{sub} - V_{gs}$ 특성
 (a), (A); $V_{ds} = 7V$ (b), (B); $V_{ds} = 5V$
 Fig. 8. $I_{sub} - V_{gs}$ Characteristics of Conventional MOSFET and Optimized LDD MOSFET with V_{ds} as a Parameter.
 (a), (A); $V_{ds} = 7V$, (b), (B); $V_{ds} = 5V$.

수 있다.

3. 트랜스컨덕턴스(transconductance)의 비교

앞에서도 언급한 바와 같이 LDD MOSFET의 n-영역은 낮은 농도층 형성 때문에 ohmic 전압 강하를 발생시키고 이에 의해 통상적 MOSFET에 비해 낮은 transductance을 가지는 일원이 되게 한다.

이 트랜스컨덕턴스(g_m)를 측정하기 위해서 V_{gs} 를 0.05V로 고정시킨 경우 게이트 전위에 따른 드레인 전류를 n-영역의 길이에 따라 그림 9 에 도시 하였다. 그림 9 에서 알 수 있듯이 n-영역의 길이(sidewall spacer)의 길이에 의해 g_m 이 감소함을 알 수 있다. n-영역의 ≈ 1600 Å (증착된 산화막의 두께가 2000 Å)일 때는 통상의 MOSFET와 비교하여 그 차이가 없을 때 이것은 기판전류를 측정할 때 나타난 것과 같이 n-영역의 높은 농도의 n-주입층, 드레인 영역의 측면확산 효과(lateral diffusion)에 의해 거의 존재하지 않기 때문이다.

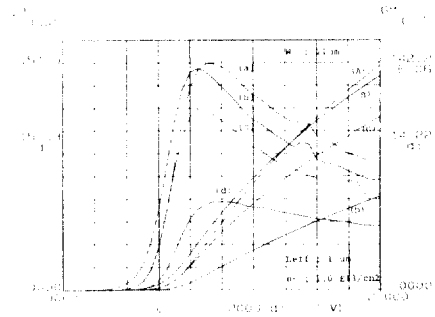


그림 9. 통상의 MOSFET(a)와 증착된 산화막의 두께가 (b) 2000 Å, (c) 3000 Å 및 (d) 4000 Å 일 때의 $g_m - V_{gs}$ 특성. 그림에서 (A), (B), (C) 그리고 (D)는 각각의 $I_d - V_{gs}$ 특성이다.
 Fig. 9. The $g_m - V_{gs}$ Characteristics of Conventional MOSFET(a) and LDD MOSFET with the CVD Oxide Thickness of (b) 2000 Å, (c) 3000 Å and (d) 4000 Å

또한 n-영역의 약 3200 Å (증착된 산화막의 두께가 4000 Å)일 때 g_m 이 급격히 감소하는 것을 볼 수 있는데 이것은 n-영역이 길어서 과도한 전압 강하가 일어나기 때문이다. g_m 과 substrate 전류의 관계에서 측정된 n-영역은 약 2500 Å 정도인 것을 알 수 있다.

그림 10 에는 n-영역이 약 2500 Å 정도일 때 n-영역의 이온 주입량에 따른 g_m 의 변화를 도시하였다. 예측했던 바와 같이 n-영역의 이온 주입량이 많을수록 g_m 값을 얻을 수 있었다. n-영역의 이온 주입량이 $3.0 \times 10^{12}/cm^2$ 일 때는 그 값이 한자히 감소하여 적절한 n-

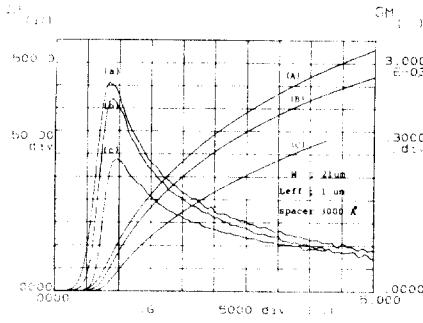


그림10. n 영역의 Phosphorus dose가 (a) 7E13/cm², (b) 1E13/cm², (c) 3E12/cm²일 때의 gm-V_g 특성. 그림에서 (A), (B) 및 (C)는 각각의 I_d-V_g 특성이다.

Fig. 10. G_m-V_g Characteristics when Phosphorus Dose of n region is (a) 7E13/cm², (b) 1E13/cm² and (c) 3E12/cm² (A, B) and (C) Show the I_d-V_g Characteristics.

영역의 이온 주입량은 1.0E13/cm² 이상이라는 것을 알 수 있다.

n 영역의 불순물 종류를 arsenic으로 하였을 때의 g_m을 phosphorus의 경우와 비교하면 차이가 거의 없었다.

4. I-V 특성

LDD MOSFET의 I-V특성은 항복전압(breakdown-voltage)과 트랜스컨덕턴스 향에서 이미 고찰한 바와 같이 n 영역이 걸린 높은 항복 전압을 갖고 n 영역의 농도가 작으면 낮은 드레인 전류 수 낮은 트랜스컨덕턴스 값을 갖는다. 그림11, 12, 13 및 14는 Leff가 1μm 인 경우의 I-V 특성이다.

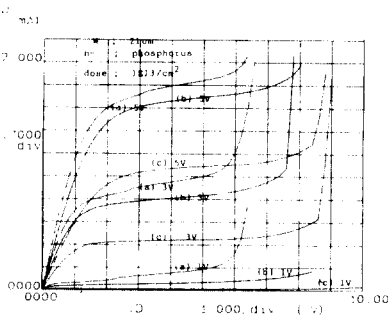


그림11. n dose가 1E/cm²이고 증착된 산화막의 두께가 (a) 2000 Å, (b) 3000 Å, (c) 4000 Å일 때의 I_d-V_g 특성곡선

Fig. 11. I_d-V_g Characteristics of LDD MOSFET with n dose of 1E13/cm² when the CVD Oxide Thickness is (a) 2000 Å, (b) 3000 Å, (c) 4000 Å.

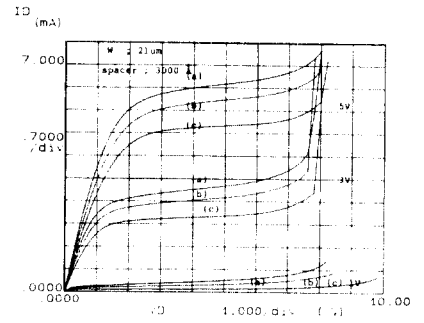


그림12. Spacer 길이가 3000 Å일 때 n 영역의 Phosphorus Dose가 (a) 7E13/cm², (b) 1E13/cm², (c) 3E12/cm²일 때의 LDD MOSFET의 I_d-V_g 특성 곡선

Fig. 12. I_d-V_g Characteristics of LDD MOSFET with Spacer Length of 3000 Å when Phosphorus Dose of n region is (a) 7E13/cm², (b) 1E13/cm² and (c) 3E12/cm².

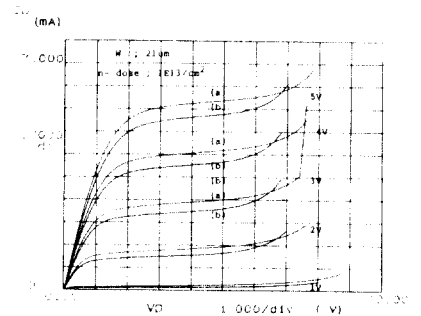


그림13. n dose가 1E13/cm²이고 Spacer의 길이가 3000 Å일 때 n 영역의 불순물이 (a) Phosphorus, (b) Arsenic일 때의 I_d-V_g 특성 곡선

Fig. 13. I_d-V_g Characteristics of LDD MOSFET Implanted by (a) Phosphorus, (b) Arsenic in The n Region. Here n dose is 1E13/cm² and Spacer Length is 3000 Å.

그림11은 n 영역의 길이 변화에 따른 LDD MOSFET의 I-V특선이고 그림12는 같은 n 영역의 길이에 대해 n 영역의 불순물 이온 주입량에 따른 I-V특선이며 그림13은 n 영역의 불순물 이온이 phosphorus와 arsenic 인 경우의 I-V특선이다. 그림12에서 알 수 있듯이 n 영역의 길이는 2500 Å 이상일 때는 통상의 MOSFET에 비해 약 2V이상의 BV_{dss} 개선을 가져온다. n 영역의 길이가 3200 Å일 때 BV_{dss}의 개선이 약 4V 정도어나 g_m의 감소가 현저하다. n 영역의 농도 변화에 따라서는 항복전압의 변화가 매우 적다는 것을 그림12에서

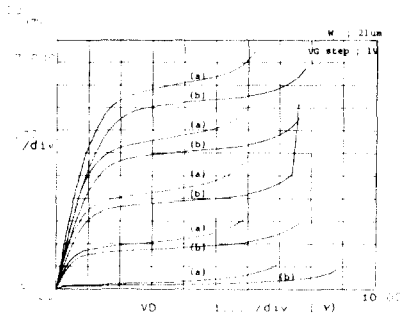


그림14. (a) 통상의 MOSFET과 (b) 최적화된 LDD MOSFET의 I_d-V_g 특성

Fig. 14. I_d-V_g Characteristics of (a) Conventional MOSFET and (b) Optimized LDD MOSFET.

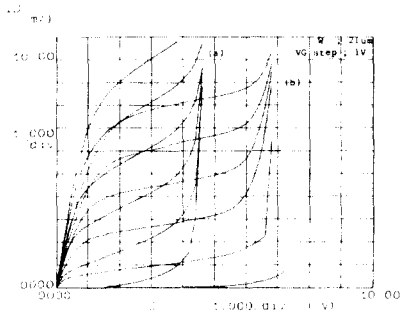


그림15. $L_{eff}=0.5\mu m$ 인 경우의 (a) 통상의 MOSFET과 (b) 최적화된 LDD MOSFET의 I_d-V_g 특성 곡선

Fig. 15. I_d-V_g Characteristics of (a) Conventional MOSFET and (b) Optimized LDD MOSFET when L_{eff} is $0.5\mu m$.

알 수 있으며 n 영역의 불순물 이온이 phosphorus일 경우가 arsenic일 경우보다 항복전압이 g_m 면에서 더욱 우수하다는 것을 그림13에서 보여주고 있다.

그림14에 가장 적합한 구조를 갖는 것으로 나타난 LDD MOSFET와 통상의 방법으로 제조된 MOSFET와의 I-V특성을 도시하였다. 이 그림에서 LDD MOSFET는 g_m 이 많아지는 반면 항복전압이 개선되고 있다. 그림15는 L_{eff} 가 $0.5\mu m$ 인 경우 최적화된 LDD MOSFET와 통상적인 MOSFET의 I-V특성을 비교한 것으로써 항복 전압의 현저한 개선을 보여주고 있다.

V. 결 론

본 연구에서는 LDD 소자를 여러가지 변수를 변화시켜가며 제작하여 그 전기적 특성을 통상의 방법으로 제조된 MOSFET와 비교 분석하였다. 가장 전류는 n 영역의 길이가 길수록 적게 나왔고 항복 전압도 n

표 3. 통상의 MOSFET와 LDD MOSFET의 특성 비교

Table 3. Device Characteristics of Conventional MOSFET and LDD MOSFET.

	(a) LDD MOSFET	(b) 통상의 MOSFET	비 고
기대 substrate 전류 I_{sub} $V_{DS} = -5.0V$ $V_{GS} = 2.1V$	$3.0\mu A$	$35\mu A$	a/b 9%
기 대 트랜스루지던스 ($\mu * Cox$) $V_{DS} = 0.05V$ $V_{GS} = 0.9V$	$105\mu A/V$	$133\mu A/V$	a/b 79%
BV_{dss}	13.6V	11.8V	ΔBV_{dss} - 1.8V

영역의 불순물 이온 주입량이 많수록 적었다. 위의 여러 변수들을 고찰한 결과 본 연구에서 진행된 공정에서는 n 영역의 길이가 2500 \AA , n 영역의 불순물 주입량이 $1.0E13/cm^2$, phosphorus일 경우 가장 좋은 특성을 갖는 LDD MOSFET을 제작할 수 있었다. 유효 채널 길이가 $1.0\mu m$ 이고 넓이가 $21.4\mu m$ 일 때 이 LDD MOSFET와 통상의 MOSFET의 특성을 비교하면 표 3과 같다.

參 考 文 獻

- [1] E. Takeda, Y. Nagome, H. Kume and S. Asai, "New hot carrier injection and device degradation in submicron MOSFET'S," *IEEE Proc.*, vol. 130, pp.144, 1983.
- [2] David A. Baglee, et al., "Lightly doped drain transistors for advanced VLSI circuits", *IEEE Trans. Electron Device*, vol. ED-32, pp.896, 1985.
- [3] C. Duvvury, et al. "Series resistance modeling for optimum design of LDD transistors", *IEDM*, pp.388, 1983.
- [4] Y. Matsumoto, et al. "Optimized and reliable LDD structure for 1 um NMOSFET based on substrat current analysis", *IEDM*, pp.392, 1983.
- [5] Seiki Ogura, et al., "Design and characteristics of the lightly doped drain - source (LDD) insulated gate field effect transistor", *IEEE Electron Device*, pp. 1359, 1980.

- [6] Paul J. Tsang, et al., "Fabrication of high-performance LDDFET with oxide sidewall-spacer technology" *IEEE ED-29*, pp. 590, 1982.
- [7] H. Katto, et al., "Hot carrier degradation modes and optimization of LDD MOSFETS", *IEDM* pp. 774, 1984.
- [8] Seiki Ogura et al., "A half micron MOSFET using double implanted LDD", *IEDM*, pp.718, 1982.
- [9] T.H. Ning P.W. Cook, R.H. Dennard, C.M. Osburn, S.E. Schuster and H.N. Yu, "1 μ m MOSFET VLST technology: PartIV-Hot-electron design constraints," *IEEE J. Solid-State circuits*, vol. SC-14, pp. 268-275, Apr. 1979.
- [10] F.E. Cottrell, R.R. Troutman, and T.H. Ning, "Hot electron emission in n-channel IGFET's," *IEEE J. Solid State Circuits*, vol. SC-14, pp. 442-455, Apr. 1979.
- [11] E. Takeda, A. Shimizu and T. Hagiwara, "Role of hot hole injection in hot carrier effects in MOSFET's," *IEEE Electron Device Lett.*, vol. EDL-4, pp.329, 1983.
- [12] E.Takeda, H. Kume, Y. Nakagome, T. Makino, A. Shimizu and S. Asai, "An As-P ($n^+ - n$) double diffused drain MOSFET for VLST," *IEEE Trans. Electron Devices*, vol. ed 30, pp.652, 1983.
- [13] E. Takeda, T. Makino and T. Hagiwara, "The impact of drain impurity profile and junction depth on submicron MOSFET's," *presented at the 15th Conf. Solid State Devices and Materials*, Tokyo, Japan, 1983.
- [14] C. Duvvury, D.A. Baglee, M.P. Duane, M. C. Smaying, A. Hyslop and M. Maekawa, "An analytical method for determining intrinsic drain/source resistance of LDD devices," *Solid State Electron.*, vol. 27, pp. 89, 1984.

----- 감사의 글 -----

본 연구를 수행하는데 있어서 많은 격려와 조언을 아끼지 않으신 금정반도체 김장수박사, 최만성박사, 리희영선임연구원께 감사드리며 공정을 진행하여 논문 연구소 생산과 이리분과 주성과 data 정리에 도움을 주신 김호석씨, 이명숙씨께 진심으로 감사드립니다.