

# 고장 검출이 용이한 Zipper CMOS 회로의 설계 (Testable Design for Zipper CMOS Circuits)

韓 哲 鵬\*, 林 寅 七\*

(Seok Bung Han and In Chil Lim)

## 要 約

본 논문에서는 Zipper CMOS 회로에 대하여 고장검출이 용이한 새로운 논리 설계방식을 제안한다. 즉, 다이내믹 CMOS인 Zipper CMOS 회로내에 귀환 케회로를 구성하고 테스트시 이 회로를 통한 자체 발진 상태만을 관찰함으로써 Zipper CMOS 회로를 용이하게 테스트할 수 있게 한다. 이 설계방식을 1 단 및 다단 Zipper CMOS 회로의 테스트에 적용하는 경우, 종래의 테스트 방식에 비하여 테스트 패턴 인가와 회로의 고장검출이 용이하며 특히 종래의 방식에서 불가능하였던 다중고장 검출이 가능하여지고 각각의 테스트 패턴에 대하여 고장이 없는 상태의 응답을 미리 구할 필요가 없게 된다. 한편, 테스트를 용이하게 하기 위하여 LSSD 방식을 적용한 순서 Zipper CMOS 회로는 테스트시, 불필요한 테스트 패턴의 인가와 테스트 패턴 인가 시간의 증가등으로 인하여 초기화값이 변화하는 단점을 갖는다. 그러나 본 설계방식을 사용함으로써 이러한 단점을 제거하고 LSSD 방식을 적용한 순서 Zipper CMOS 회로를 용이하게 테스트할 수 있게한다. 또한 제안한 설계방식에 대하여 회로 시뮬레이션을 행함으로써 그 유효성을 입증한다.

## Abstract

This paper proposes a new testable design for Zipper CMOS circuits. This design provides an additional feedback loop (called Self Oscillation Loop) within the circuit, for testability. The circuit is tested only by observing the oscillation on the loop. The design can be applied to the multistage as well as the single stage, and can detect multiple faults which are undetectable by the conventional testing method. The application and evaluation of test patterns become easy and fault-free responses are not necessary. If the conventional testing method is applied to the sequential Zipper CMOS circuit with the LSSD design technique, it has the serious defect that the initial value may change due to intermediate test patterns and much time taken to apply the necessary test patterns. By using the proposed design, however, the sequential Zipper CMOS circuit with the LSSD design technique can be easily tested without such a defect. Also, the validity of the design is verified by performing the circuit level simulation.

## I. 서 론

VLSI기술이 발전함에 따라 그 구성소자로서, 비교적 낮은 전력소모와 고집적도의 성질을 갖는 CMOS

의 사용이 점차 확대되고 있다.<sup>1,2</sup> 특히 Domino CMOS<sup>3,4,5,6,15</sup>와 NORA<sup>7</sup> 등과 같은 다이내믹 CMOS (dynamic CMOS)는 기존의 CMOS 보다 칩면적이 작고 동작속도도 1.5배지 2배정도 빠른 장점을 갖는다.

최근에는 이러한 다이내믹 CMOS의 특징을 가지면서, 이 회로들의 공통적인 단점이었던 전하 재분배(charge redistribution)<sup>12,13</sup>이나 누설전류(leakage

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng., Hanyang Univ.)  
接受日字: 1986年 12月 8日

current)에 의해 발생하는 출력전압의 변동과 잡음여유의 감소등의 문제점들을 해결한 Zipper CMOS 회로<sup>1,11)</sup>에 대한 연구가 활발히 행해지고 있다. 그러나 이 회로에 대한 테스트 방식은 아직 제안되지 않고 있다.

Zipper CMOS 회로에는 stuck at 형태의 고장모델 외에도 회로의 특성에 따라 stuck open (s-op)과 stuck on (s-on)이라는 고장모델<sup>1,10)</sup>이 존재하며 이러한 고장을 검출하기 위해서는 연속적인 두개의 테스트 패턴이 필요하다.

한편, Zipper CMOS 회로를 테스트하기 위하여 종래의 CMOS 테스트방식<sup>2,4,9,10)</sup>을 Zipper CMOS 회로에 적용하였을 경우 다음과 같은 문제점들이 발생한다. 즉, 테스트시, 테스트 패턴과 시스템 클럭펄스를 동시에 인가해야 하고 각 테스트 패턴에 대하여 회로의 응답을 따로 구하여야 하며 다중고장 검출이 불가능하다. 그리고 래치를 결합한 순서 논리 Zipper CMOS 회로를 테스트할 경우, 불필요한 테스트 패턴의 인가와 테스트 패턴 인가시간의 증가로 인하여 초기화 값이 변화하므로 종래의 LSSD(level sensitive scan design) 설계방식<sup>11)</sup>을 그대로 적용할 수 없게 된다.

본 논문에서는 간단한 부가회로를 사용하여 회로내에 귀환 폐회로를 구성하고 테스트시 이 회로의 자체 발진 유, 무만을 관찰함으로써 Zipper CMOS 회로내에 존재하는 단일, 다중의 s-op, s-on 그리고 s-a(stuck at) 형태의 고장을 검출할 수 있는 Self Oscillation Loop Test(SOLT) 방식을 제안한다. 이 방식은 함수블럭의 s-a 형태의 고장을 검출하기 위한 테스트 패턴(one-pattern test)에 의하여 Zipper CMOS 회로내의 모든 s-op, s-on 고장을 검출할 수 있도록 하며, 테스트 패턴 인가시 클럭펄스를 인가할 필요가 없다. 또한, 출력에서 발진 상태만 관찰하면 되므로 회로의 고장 유, 무 판단이 용이하고 미리 알고 있어야 하는 정상 상태의 출력값을 따로 구할 필요가 없다. 특히, 이 방식에 의하여 단일고장은 물론 이중이상의 다중고장 검출이 가능해진다. 그리고 순서 Zipper CMOS 회로를 테스트하기 위하여 본 논문에서 제안한 방식을 사용함으로써 종래의 LSSD 설계방식을 그대로 적용할 수 있도록 하는 동시에 테스트를 용이하게 할 수 있게 한다. 또한 SOL을 갖는 Zipper CMOS 기본회로에 대한 테스트시 회로동작을 SPICE2에 의하여 시뮬레이션함으로써 제안한 방식의 유효성을 입증한다.

II. Zipper CMOS 회로의 동작과 고장모델

1. 기본 회로의 논리 동작

Zipper CMOS 회로는 기본적으로 Zipper 드라이버 회로와 클럭게이트 그리고 함수의 출력값을 결정하는 함수블럭들로 구성된다. 그림 1은 Zipper CMOS 기본회로를 나타낸다.

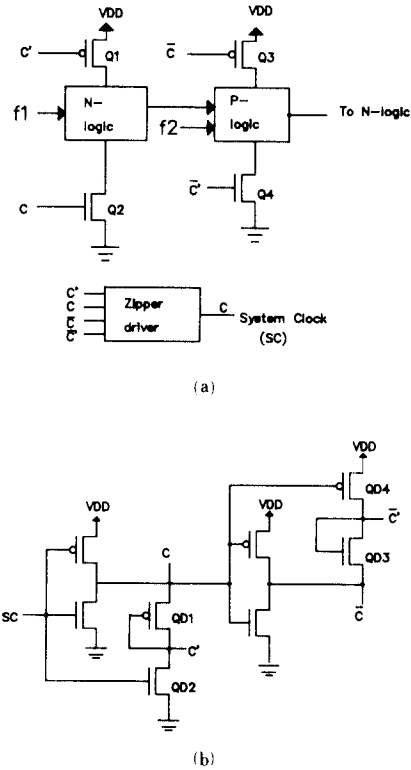


그림 1. (a) Zipper CMOS 기본회로  
(b) Zipper 드라이버 회로  
Fig. 1. (a) Basic Zipper CMOS Circuit.  
(b) Zipper Driver Circuit.

여기서 클럭  $\bar{c}$ 는 클럭 C의 보수이고 클럭  $\bar{c}'$ 는 클럭 C'의 보수이다. 일반적으로 함수블럭은 NMOS들과 PMOS들로 각각 이루어진 N블럭과 P블럭들이며 이들은 서로 교대로 사용되어 다단 회로를 형성한다. 그림 1(b)에서 Zipper 드라이버 회로는 한 개의 시스템 클럭 SC가 인가되어 네개의 클럭 신호 C, C,  $\bar{c}$  그리고  $\bar{c}'$ 를 발생시킨다. 이 신호들은 각 블럭의 클럭게이트에 인가되어 회로 동작을 제어한다. 즉, 클럭 신호 C 또는 C'는 N블럭의 NMOS 또는 PMOS 클럭게이트에 연결되고 클럭 신호  $\bar{c}$  또는  $\bar{c}'$ 는 P블럭의 PMOS 또는 NMOS 클럭게이트에 인가되며 이들은 각각 서로 보수의 값을 갖는다.

그림 1의 기본 회로에서 시스템클럭 SC가 1일 때

에는 트랜지스터 Q1과 Q4가 on이 되어 N블럭의 출력은 1이 되고 P블럭의 출력은 0이 된다. 따라서, 각단의 출력에 의하여 드라이브되는 트랜지스터들은 off가 되고 이때 모든 함수블럭에 외부입력이 인가된다. 다음으로 클럭 SC가 0일 때에는 트랜지스터 Q2, Q3가 on이 되어 각 함수블럭의 값에 따라 그 출력은 0 또는 1이 된다. 이때, Zipper 드라이버 회로의 특성에 의하여 클럭 신호 C'과 C̄'는 트랜지스터 Q1과 Q4를 완전히 off 시키지 않고 임계 전압(threshold voltage)만큼 on 시킴으로써 각 블럭의 출력단에 전하를 공급한다. 그러므로 다른 다이내믹 CMOS 회로에서 문제점이었던 전하 재분배와 누설 전류에 의한 출력 전압의 변동이 제거되고, 동작 속도와 잡음여유(noise margin)의 증가<sup>8)</sup> 등과 같은 장점을 갖는다.

2. 고장모델

Zipper CMOS 회로의 고장 모델로써 다음 세가지 형태의 고장을 고려한다. (a) 각 클럭게이트의 stuck-open고장 (b) 각 클럭게이트의 stuck-on고장 (c) 각 함수블럭(N블럭과 P블럭)의 stuck-at-0(s-a-0)와 stuck-at-1(s-a-1)고장. (a)의 경우는 PMOS(NMOS)가 off일 때 NMOS(PMOS)도 동시에 off가 된다. 따라서 회로의 출력은 전하 저장기능에 의하여 전 상태의 논리값이 그대로 유지된다. (b)와 같은 고장은 PMOS와 NMOS가 동시에 on일 경우에 발생한다. 이때 출력값은 p형 트랜지스터 부분과 n형 트랜지스터 부분의 저항비에 의하여 결정된다. n(p)형 부분의 저항값이 p(n)형 부분의 저항값보다 클때, 그 회로는 p-dominant(n-dominant)하다고 한다. 일반적으로 N(P)블럭의 회로는 p-dominant(n-dominant)이며, 이때 N(P)블럭의 클럭 게이트에 대한 s-on 고장은 회로의 출력값을 1(0)로 한다. 그러므로 그림 1(a)에서 트랜지스터 Q2, Q3에 s-on 고장이 발생하여도 그 회로는 정상적인 동작을 하므로 고장 검출을 할 필요가 없다. 종래의 테스트 방식에서는 (a)와 (b)형태의 고장을 검출하기 위해서 연속적인 두개의 패턴들이 필요하다. 그리고 N블럭과 P블럭내에 존재하는 트랜지스터들에 대해서는 (c)형태의 고장만을 고려하면 된다.

한편, Zipper CMOS 회로에는 두개 이상의 고장이 동시에 발생하는 다중고장이 존재한다. 이 고장들은 클럭 게이트, N블럭 그리고 P블럭에서 동시에 발생하며 한 고장의 존재로 인하여 다른 고장이 검출되지 못하는 고장이다. 그러므로 종래의 CMOS 테스트 방식으로는 이러한 다중고장들은 검출할 수 없다. 예를 들어, 그림 1(a)에서 트랜지스터 Q1과 Q2의 s-op 고장 혹은 N블럭의 s-a-0 고장과 트랜지스터 Q2의 s-op

고장이 동시에 발생했을 경우 그 회로의 출력을 초기화시킬 수 없으므로 이러한 고장은 검출이 불가능하다. Zipper CMOS 회로에 존재하는 다중고장은 다단(multi stage)일 경우에 더욱 많이 발생한다. 표 1은 그림 1(a)의 회로내에 존재하는 이중고장(double fault)들중 종래의 방식<sup>9)</sup>으로 검출이 불가능한 고장을 나타낸다. 또한, Zipper 드라이버 회로의 고장도 고려한다. 그림 1(b)의 회로에 존재하는 고장은 클럭 C와 C̄를 발생시키는 두 인버터의 s-on 및 s-op 고장과 클럭 C'과 C̄'를 발생시키는 트랜지스터 QD2 및 QD4의 s-on 고장들이다. 이때 트랜지스터 QD1과 QD3의 s-on 고장은 고려하지 않는다.

표 1. 종래의 방식으로 검출이 불가능한 이중고장  
Table 1. Undetectable Double Faults by the Conventional Method.

함수블럭	고 장 상
N Type	Q 1 (s-op) : Q 2 (s-op)
	f 1 (s-a-0) : Q 1 (s-op)
	f 1 (s-a-1) : Q 1 (s-on)
	f 1 (s-a-1) : Q 2 (s-op)
P Type	Q 3 (s-op) : Q 4 (s-op)
	f 2 (s-a-1) : Q 4 (s-op)
	f 2 (s-a-0) : Q 3 (s-op)
	f 2 (s-a-0) : Q 4 (s-on)

이때 f 1 (f 2)는 N(P)블럭의 함수값이다.

III. 테스트가 용이한 설계방식

1. 일단 Zipper CMOS 회로

Zipper CMOS 회로에 테스트가 용이하도록 간단한 회로를 부가하여 기본 회로를 구성한다. 이 회로에 대하여 다음과 같이 정의한다.

(정의 1) n개의 함수블럭을 갖는 Zipper CMOS 회로에 한개의 전달 게이트(transmission gate)를 부가하여 회로의 최종블럭의 출력선(n이 짝수) 혹은 n-1번째 블럭의 출력선(n이 홀수)과 Zipper 드라이버의 입력선과 연결한 귀환 회로를 Self Oscillation Loop (SOL)라고 한다. 또한 이 SOL를 이용한 테스트 방식을 Self Oscillation Loop Test(SOLT) 방식이라고 정의한다.

그림 2는 Zipper CMOS 기본 회로에 이 SOL을 부가한 것이다.

이 회로에서 귀환 회로내에 부가한 전달 게이트의 제어 입력을 T라 할 때, T값이 0인 경우는 귀환 캐회로가 형성되지 않으므로 정상 상태의 회로동작을 하

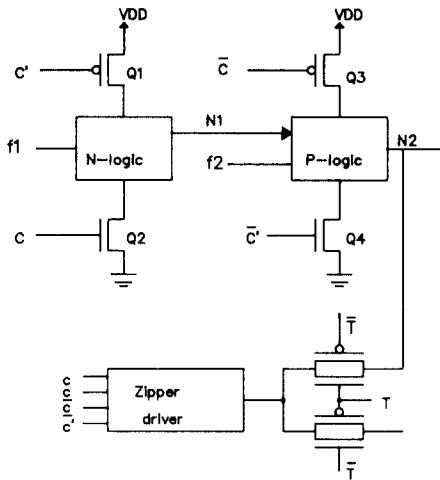


그림 2. SOL(Self Oscillation Loop)을 갖는 Zipper CMOS 회로

Fig. 2. Zipper CMOS Circuit with the SOL (Self Oscillation Loop).

고 T값이 1 일 때는 SOL이 형성되어 전체적으로 하나의 귀환 캐회로가 구성된다. (정의1)에 의해 다음 정리가 성립한다.

(정리 1) SOL이 형성된 고장이 없는 상태의 Zipper CMOS 회로는 테스트시(즉, T=1), N(P) 블럭의 함수값이 1(0)인 경우 이 SOL을 통하여 발진이 발생하고, 함수값 중 어느 하나라도 반대의 값이면 발진이 발생하지 않는다. 이 발진의 유무는 회로의 최종 출력에서 관찰할 수 있다.

(증명) Zipper CMOS 회로의 각 함수블럭과 클럭킹 게이트는 직렬로 연결된 한 개의 함수블럭과 한 개의 NOT 게이트로 표시할 수 있으며, Zipper 드라이버 회로도 한 개의 NOT 게이트로 나타낼 수 있다. 그림 2 에서 각 블럭의 입력은 함수값 f1과 f2이다. 테스트 상태에서 함수값 f1(f2)이 1(0)일 경우, 두개의 블럭과 3개의 NOT 게이트를 포함하는 귀환 캐회로가 형성되며 이 캐회로를 따라서 발진이 발생한다. 이때, 이 캐회로와 연결된 출력선도 발진을 하므로 그 상태를 회로의 출력에서 관찰할 수 있다. 또한, 함수값 f1 = 0 이거나 f2 = 1 인 경우 귀환 캐회로는 끊어지게 되므로 발진이 발생하지 않는다. 따라서 회로가 정상 상태일 때 함수값에 따라 회로의 출력에서 발진 유, 무를 관찰 할 수 있다(증명 끝).

그림 2 의 회로에 대하여 함수값에 따른 SOL 회로의 구성을 그림 3 에 나타내었다. 그림 3 (a)의 경우 발진 주파수는 각 게이트의 지연과 기생 커패시턴스에 의하

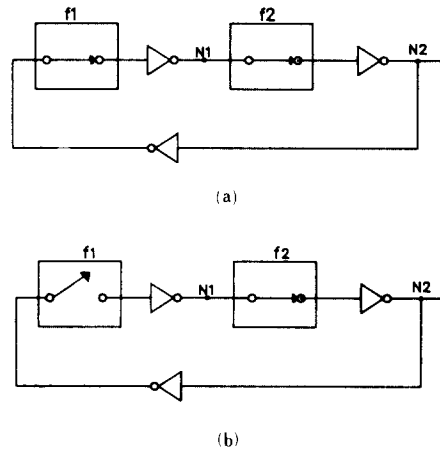


그림 3. SOL을 갖는 회로의 구성

(a) f1=1, f2=0 (b) f1=0, f2=0

Fig. 3. Configuration of the Circuit with the SOL.

(a) f1=1, f2=0. (b) f1=0, f2=0.

여 결정되므로 발진은 이 회로의 고유한 최대 속도로서 발생한다.

(정리 1)에 의하여 회로에 고장이 없을 때와 고장이 존재할 때의 발진 유, 무를 관찰함으로써 Zipper CMOS 회로에 존재하는 단일고장 및 다중고장을 검출할 수 있다. 즉, Zipper CMOS 회로에서 발생하는 s-op 및 s-on 형태의 고장은 각 함수블럭의 출력을 일정한 값으로 고정시키기 때문에 발진이 중지된다. 그리고 N(P)블럭에서의 s-a-0(s-a-1)고장은 귀환 캐회로를 끊고, s-a-1(s-a-0)고장은 귀환 캐회로를 형성시키므로 정상 상태와 고장 상태의 발진 유, 무가 달라지게 된다. 예를 들어, 그림 2에서 Q1의 s-op 고장을 고려한다. 테스트 상태(T=1)에서 함수값 f1이 1, f2가 0 일 때 고장이 없을 경우 캐회로가 구성되어 발진이 발생한다. 그러나 이 고장으로 인하여 회로의 출력 N2가 일정한 값으로 유지하므로 발진이 중지한다. 또한, 함수값 f1과 f2에 0 를 인가할 때, 고장이 없을 경우에는 발진이 발생하지 않으나 N함수블럭에 s-a-1 고장이 존재하면 이 회로는 발진을 하므로 고장 검출이 가능하다.

한편, 검출이 불가능하였던 이중이상의 다중고장도 SOLT에 의하여 검출이 가능하다. 테스트 상태에서 Zipper CMOS 회로는 전체적으로 한개의 귀환 캐회로가 형성되므로 이 캐회로내에서 한개 이상의 고장이 발생하여도 발진은 당연히 중지한다. 예를 들면 그림 2에서 Q1과 Q2에 s-op 고장이 동시에 발생하는 이중고장을 고려한다. 종래의 방식에서는 N블럭의 출력

N1을 초기화할 수 없기 때문에 고장검출이 불가능하였으나, 제안한 SOLT방식으로는 전술한 바와 같이 검출이 가능하다. Zipper CMOS 기본 회로에 존재하는 고장들에 대하여 다음 정리가 성립한다.

(정리2) SOL을 형성하는 1 단(one-stage) Zipper CMOS 회로를 M1이라고 하자. 임의의 M1에 대하여, 이 회로내에 존재하는 s-a, s-op 및 s-on 형태의 모든 단일고장과 표1의 모든 이중고장 그리고 삼중이상의 다중고장은 SOLT 방식에 의하여 검출이 가능하다.

(증명) 모든 N(P) 함수값이 1(0)일 때 고장이 없는 회로는 발진이 발생하나 고장이 존재하면 발진이 일어나지 않는다. 그러므로, 모든 클러킹 게이트의 s-op과 s-on 고장 그리고 N블럭의 s-a-0 고장과 P블럭의 s-a-1 고장이 검출된다. 이때, 단일고장 뿐만 아니라 다중고상도 검출이 가능하다. 따라서, 다음으로는 N블럭의 단일 s-a-1 고장과 P블럭의 단일 s-a-0 고장만 고려하면 된다. 한개의 N블럭의 함수값만 0로 하고 나머지 N(P)블럭은 1(0)로 하면 정상 상태일 때 발진이 발생하지 않으나 그 함수블럭에 s-a-1 고장이 존재하면 발진이 일어난다. 이 동작을 모든 N블럭에 대하여 반복함으로써 그들의 s-a-1 고장을 검출할 수 있다. 또한, 한개의 P블럭의 함수값만 1로 하고 나머지 N(P)블럭의 함수값을 1(0)로 하는 동작을 모든 P블럭에 대하여 반복함으로써 그들의 s-a-0 고장도 검출할 수 있다. 그리고 모든 N(P)블럭의 함수값이 1(0)일 때 고장이 없는 회로는 발진이 발생하나, Zipper 드라이버 회로에 II-2 절에서 고려한 고장이 존재하면 발진이 중지하므로 이 고장들도 검출이 가능하다. 따라서 SOLT 방식에 의하여 Zipper CMOS 회로내에 존재하는 단일, 다중고장을 검출할 수 있다(증명 끝).

(정리2)에 의하여 그림2에 존재하는 고장들에 대한 테스트 결과를 표2에 나타내었다.

이때 NFB(PFB)는 N(P)블럭을 나타낸다.

SOLT 방식에 의한 Zipper CMOS 회로의 테스트 절차는 다음과 같다.

(절차1) 모든 함수블럭에 대하여 s-a-0와 s-a-1 고장을 테스트하기 위한 테스트 패턴을 구한다.

(절차2) T를 1로 하고 N블럭의 s-a-0 고장을 검출하기 위한 테스트 패턴과 P블럭의 s-a-1 고장을 검출하기 위한 테스트 패턴을 차례로 인가하며 출력을 관찰한다.

(절차3) T를 1로 하고 한개의 N블럭에 대한 s-a-1 고장을 테스트하기 위한 테스트 패턴을 인가하고 나머지 N(P)블럭들의 함수값은 1(0)로 한다.

(절차4) T를 1로 하고 한개의 P블럭에 대한 s-a-0 고장을 테스트하기 위한 테스트 패턴을 인가하고

표 2. 그림2에 존재하는 각 고장에 대한 테스트 결과

Table 2. Results of Testing for Each Faults in Fig.2.

고장형태	검출되는 소자	함수값	정상	고장	
단일	s-op	Q1, Q2, Q3, Q4 Zipper driver	f1=1 f2=0	발진	중지
	s-on	Q1, Q4 Zipper driver	f1=1 f2=0	발진	중지
	s-a-0	NFB	f1=1, f2=0	발진	중지
고장	s-a-1	PFB	f1=1, f2=1	중지	발진
		NFB	f1=0, f2=0	중지	발진
	PFB	f1=1, f2=0	발진	중지	
이중	s-op	Q1 : Q2, Q3 : Q4	f1=1	발진	중지
	s-a-0	NFB : Q1	f2=0		
	s-op	PFB : Q4			
	s-a-1	NFB : Q1	f1=0	중지	발진
	s-on	NFB : Q2	f2=0		
	s-a-0	PFB : Q3	f1=1		
s-on	PFB : Q4	f2=1			
다중 고장	s-op	PFB, NFB Q1, Q2, Q3, Q4 Zipper driver	f1=1 f2=0	발진	중지
	s-on				
	s-a-0				
	s-a-1				

나머지 N(P)블럭들의 함수값은 1(0)로 한다.

(절차5) 모든 N(P)블럭에 대하여 절차3과 절차4를 반복하며 출력을 관찰한다.

위의 절차에 의하여 Zipper CMOS 회로내에 존재하는 모든 s-op과 s-on 고장들은 함수블럭의 s-a-0와 s-a-1 고장을 검출하기 위한 테스트 패턴들에 의하여 용이하게 검출될 수 있다.

2. 다단 Zipper CMOS 회로

Zipper CMOS 회로는 그 특성으로 인하여 다단으로 많이 구성된다. 다단으로 구성할 경우, 전단의 출력은 다음단의 함수블럭에 대한 입력으로 사용되며 N블럭과 P블럭이 교대로 연결된다. 다단 Zipper CMOS 회로의 테스트도 SOLT 방식을 사용함으로써 용이하게 행할 수 있으며 이 방식은 1단보다 다단일 경우에 더욱 유리하다. 다단 Zipper CMOS 회로에 대하여 (정의1)과 같이 SOL을 구성한다. 이때, 이 SOL을 구성하기 위한 부가회로는 1단에서와 똑같다. 따라서 다단의 경우에도 부가회로의 양은 증가하지 않

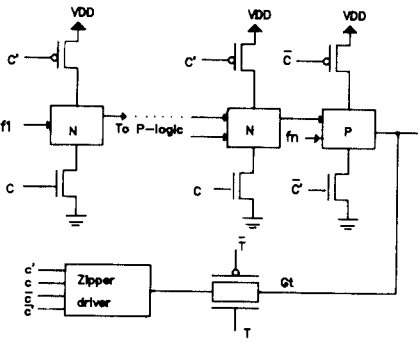


그림 4. SOL을 갖는 다단 Zipper CMOS 회로  
Fig. 4. Multistage Zipper CMOS Circuit with the SOL.

는다.

그림 4는 테스트를 용이하게 하기 위하여 SOL을 사용한 다단 Zipper CMOS 회로를 나타낸다. SOL가 형성된 다단 Zipper CMOS 회로는 테스트시 반드시 흡수개의 NOT 게이트가 존재한다. 그러므로, 고장이 없는 회로에서 테스트 신호 T가 1일 때 이 SOL를 통하여 발진이 발생한다. 회로의 출력에서 고장이 없는 상태와 고장이 있는 상태의 발진 유, 무를 관찰함으로써 다단 Zipper CMOS 회로내에 존재하는 고장을 검출할 수 있다. 다단 Zipper CMOS 회로에 존재하는 고장에 대하여 다음 정리가 성립한다.

(정리3) SOL를 형성하는 n단 Zipper CMOS 회로를 Mn이라 하자. 임의의 Mn에 대하여, 이 회로 내에 존재하는 s-a, s-op 및 s-on 형태의 모든 단일고장과 이중이상의 다중고장은 SOLT 방식에 의하여 검출이 가능하다.

(증명) 테스트 상태에서 n단 Zipper CMOS 회로의 SOL 내에는  $2n+1$  개의 NOT 게이트가 존재한다. 따라서 모든 N(P) 블록의 함수값이 1(0)일 때 고장이 없는 회로는 발진이 발생하나, 고장이 존재하면 회로의 출력은 발진하지 않는다. 이때 모든 단의 클러킹 게이트에 대한 s-op과 s-on 고장 그리고 모든 N(P) 블록의 s-a-0(s-a-1) 고장이 검출된다. 또한 회로는 전체적으로 한 개의 귀환 폐회로가 형성되므로 단일고장뿐만 아니라 다중고장도 검출된다. 다음으로는 한 개의 N(P) 블록의 함수값을 0(1)로 하고, 다른 N(P) 블록의 함수값들을 1(0)로 함으로써 그 N(P) 블록의 s-a-1(s-a-0) 고장이 검출된다. 이 동작을 모든 블록에 대하여 반복함으로써 그 블록의 s-a-1 혹은 s-a-0 고장을 검출할 수 있다. 한편, Zipper 드라이버 회로의 고장은 (정리2)와 같은 방법으로 검출된다. 그러므

로 SOLT 방식에 의하여 다단 Zipper CMOS 회로에 존재하는 단일고장과 다중고장을 용이하게 테스트 할 수 있다(증명 끝).

다음으로는 다단 Zipper CMOS 회로 중에서 이단의 경우를 고려한다.

그림 5는 SOL을 갖는 이단 Zipper CMOS 회로를 나타낸다. 그림 5에서 SOL을 구성하기 위하여 회로의 최종단 출력선 N4와 Zipper 드라이버 입력선 사이에 한 개의 전달 게이트를 부가한다. 이 회로에서 고려해야 하는 고장은 각 단에서의 II-2절에서 고려한 모든 s-op, s-on, s-a-0 및 s-a-1 고장들과 이들 고장이 동시에 발생하는 다중고장들이다. 그림 5의 회로에 대한 테스트시, 테스트 신호 T를 1로 하면, 1단과 같이 전체적으로 한 개의 귀환 폐회로가 형성되고 이 회로 내에는 4 개의 함수 블럭과 5 개의 NOT 게이트가 존재한다. 따라서, N(P) 블록의 함수값 f1과 f3(f2와 f4)가 1(0)이고 회로에 고장이 없으면 이 SOL을 통하여 발진이 일어나고 이것을 출력에서 관찰할 수 있다. 그러나, 고장이 발생하면 발진이 중지하므로 각 단에 존재하는 모든 소자의 s-op, s-on 고장과 모든 N(P) 블록내의 s-a-0, s-a-1의 단일, 다중고장이 검출된다. 또한, 함수값 f1에 0을 인가하고 함수값 f3에는 1, f2, f4에는 0을 인가하면 N블록의 함수값 f1에 대한 s-a-1 고장을 검출할 수 있다. 이 동작을 함수값 f2, f3 및 f4에 대하여 행함으로써 N블록의 함수값 f3에 대한 s-a-1 고장과 P블록의 함수값 f2와 f4에 대한 s-a-0 고장을 각각 검출할 수 있다. 특히, 이 테스트 방식은 다단인 경우에 1단에서 발생하는 다중고장보다 더 많은 다중고장을 검출할 수 있다.

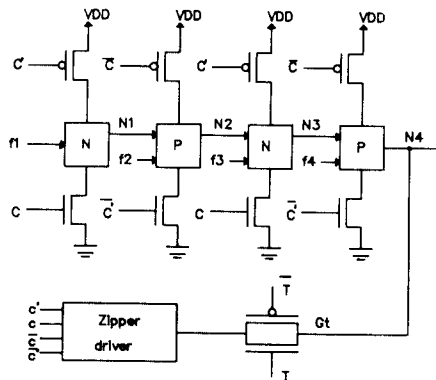


그림 5. SOL을 갖는 이단 Zipper CMOS 회로  
Fig. 5. Two-Stage Zipper CMOS Circuit with the SOL.

IV. 순서 Zipper CMOS 회로

조합 Zipper CMOS 회로에 래치를 결합하여 순서 회로를 구성하는 경우, LSSD(level sensitive scan design) 설계방식을 적용하여 테스트가 어려운 순서 회로는 조합 회로를 테스트하기 위한 테스트 패턴으로 용이하게 테스트되어진다. 즉, 테스트시 회로내의 래치들을 쉬프트 레지스터로 구성하여 귀환 회로를 끊고 외부에서 테스트 패턴을 인가함으로써 조합 회로만을 별도로 테스트할 수 있다. 그림6 은 LSSD 방식을 적용한 순서 Zipper CMOS 회로를 나타낸다.

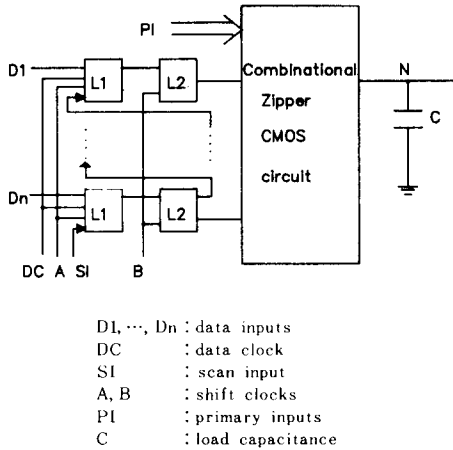


그림 6. 순서 Zipper CMOS 회로  
Fig. 6. Sequential Zipper CMOS Circuit.

일반적으로, CMOS회로의 s-op 및 s-on고장을 검출하기 위해서는 연속적인 두 개의 테스트 패턴이 필요하다. 따라서 LSSD 방식을 적용한 회로의 테스트는 첫번째 테스트 패턴을 주 입력(primary inputs)에 인가하는 동시에 쉬프트 레지스터에 직렬로 인가하여 초기화값을 설정해 놓은 후 다시 두번째 테스트 패턴을 같은 방법으로 인가함으로써 행해진다. 그러나, 이때 다음과 같은 문제점이 발생한다. 쉬프트 레지스터에 의하여 첫번째 테스트 패턴을 인가한 후 지정된 두번째 테스트 패턴이 인가되어져야 한다. 그러나, 이 패턴이 인가되는 동안에 불필요한 테스트 패턴이 인가되는 경우가 있다. 예를 들어, 첫번째 패턴이 000이고 다음으로 010의 테스트 패턴을 인가해야 할 경우에 쉬프트 레지스터에 의해 쉬프트되는 패턴은 000 → 001 → 010의 순서이므로 001의 패턴이 하나 더 인가된다. 그러므로, 이 테스트 패턴으로 인하여 첫번째 패턴에 의해 설정되었던 초기화 값이 바뀌어진다면 이

패턴에 의한 고장은 검출이 불가능하게 된다. 한편, 테스트 패턴을 쉬프트 동작에 의하여 직렬로 인가하는 경우 테스트 패턴이 길어지면 상대적으로 인가시간이 길어진다. 그러나 종래의 테스트 방식에서는 첫번째 테스트 패턴에 의해 설정된 초기화 값이 두번째 테스트 패턴의 인가가 끝날 때까지 회로의 출력에 존재하는 부하 용량C에 그대로 유지되어야 하므로, 인가시간이 길어지면 두번째 테스트 패턴이 인가되기 전에 이 초기화 값이 바뀌어져 고장 검출이 불가능해지는 경우가 발생하게 된다. 따라서 제안한 SOLT 방식을 사용하여 테스트함으로써 이러한 문제점을 해결할 수 있다.

그림7 은 SOL을 갖는 순서 논리 Zipper CMOS 회로를 나타낸다. 그림7 에서 SOL을 구성하기 위하여 최종 출력N과 Zipper 드라이버 회로의 입력을 전달 게이트에 의하여 연결한다.

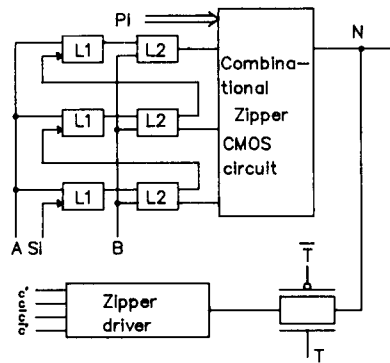


그림 7. SOL을 갖는 순서 Zipper CMOS 회로  
Fig. 7. Sequential Zipper CMOS Circuit with the SOL.

이 회로의 테스트 절차는 다음과 같다.

(절차 1) 조합 논리 Zipper CMOS 만을 테스트 하기 위한 테스트 패턴을 구한다.

(절차 2) 테스트 신호T를 0 으로 하고, N(P) 블럭의 s-a-0(s-a-1)고장에 대한 테스트 패턴을 주입력과 쉬프트 레지스터에 인가한다.

(절차 3) 테스트 신호T를 1 로 하고, 발진 상태를 관찰한다. 이때, 정상 상태일 때에는 발진이 발생하고 고장이 존재할 경우는 발진이 중지한다.

(절차 4) 테스트 신호T를 0 으로 하고, N(P) 블럭의 s-a-1(s-a-0)고장에 대한 테스트 패턴을 주입력과 쉬프트 레지스터에 인가한다.

(절차 5) 테스트 신호T를 1 로 하고, 발진 상태를 판

찰한다. 이때, 정상 상태일 때에는 발진이 발생하지 않으나 고장이 존재하면 발진이 발생한다.

(절차6) 모든 테스트 패턴에 대하여 절차2,3,4,5를 반복한다.

결과적으로 SOLT 방식은 한 개의 테스트 패턴에 의하여 발진 유,무를 결정할 수 있으므로 두 개의 테스트 패턴에 의한 종래의 방식에서 존재하는 전술한 문제점들을 해결한다. 그러므로, SOLT 방식을 이용하여 순서 회로를 테스트할 경우 기존의 LSSD 설계방식을 그대로 적용할 수 있는 동시에 이 회로의 테스트를 용이하게 할 수 있는 장점을 갖게 된다.

V. 기존의 방식과 제안한 방식과의 비교

Zipper CMOS 회로에 대한 테스트는 본 논문에서 처음 다루었으나 이 회로를 테스트하기 위하여 제안한 SOLT 방식은 종래의 테스트방식<sup>2,4,9,10</sup>을 적용하였을 경우에 비하여 다음과 같은 장점을 갖는다.

첫째, 테스트 패턴 인가가 용이하다. 즉, Zipper CMOS 회로내의 s-op 및 s-on고장은 함수 블럭의 s-a 고장을 검출하기 위한 테스트 패턴으로 검출이 가능하다. 또한, 테스트 패턴과 클럭 펄스를 동시에 인가하지 않고 오직 테스트 패턴만 인가한다.

둘째, 회로의 출력에서 오직 발진 상태만 관찰하면 되므로 테스트 평가가 용이하다.

셋째, 각 테스트 패턴에 대한 정상상태의 응답을 별도로 구할 필요가 없으며 이 정상상태의 응답과 회로의 응답을 비교하기 위한 비교기도 불필요하다.

넷째, 다중고장 검출이 가능하다.

다섯째, 순서 논리 Zipper CMOS 회로에 기존의 LSSD 방식을 그대로 적용할 수 있다.

이상의 장점들을 요약하여 표3에 나타내었다.

표 3. 종래의 방식과의 비교  
Table 3. Comparison with the Conventional Method.

비교 요소	종래의 방식	제안한 방식
테스트 패턴 인가	테스트 패턴과 시스템 클럭을 동시에 인가	테스트 패턴만 인가
테스트 평가	각 테스트 패턴에 대하여 정상적인 응답과 비교	오직 발진 상태만 관찰
각 테스트 패턴에 대한 정상 응답	필요	불필요
비교기	필요	불필요
다중고장	검출 불가능	검출 가능
LSSD 방식의 적용	불가능	가능

SOLT 방식은 종래의 방식보다 부가 회로가 첨가되거나 전달 게이트 한개 뿐이며, 특히 다단인 경우에도 그 양은 동일하므로 거의 무시할 수 있다. 또한 SOL를 칩내부에 부가하지 않고 외부 테스트 장비에 구성하여 제조된 칩을 이 테스트 장비에 의하여 발진상태를 외부에서 관찰함으로써 용이하게 테스트할 수 있다.

VI. 시뮬레이션 결과 및 검토

본 논문에서 제안한 설계방식의 동작을 확인하기 위하여 SPICE를 사용하여 회로레벨 시뮬레이션을 행하였다. 즉, SOL을 갖는 Zipper CMOS 기본 회로(그림2)에 대하여 테스트시 고장이 없는 경우와 여러가지의 고장이 발생한 경우를 각각 고려하여 시뮬레이션하였다. 이때 시뮬레이터 파라메타 값은 3UM CMOS 폴리실리콘 게이트 공정에서 추출된 값을 사용하였으며 VAX 11/750 상의 SPICE2G.6 시뮬레이터를 이용하였다. 그리고 각 고장에 대한 시뮬레이션은 SPICE 입력 화일에 고장의 조건을 부여함으로써 행하였다. 따라서 MOS 트랜지스터에서 발생할 수 있는 여러가지의 물리적인 고장들은 s-a, s-op 및 s-on 형태의 고장으로 모델화하고 이러한 고장들을 나타낼 수 있는 논리값을 입력화일에 부여하였다. 예를들어, N형 트랜지스터의 s-a-0(s-a-1) 고장은 그 트랜지스터의 게이트 입력선에 DC 0(VDD)전압을 인가함으로써 고장 시뮬레이션을 행하였다.

그림8은 그림2의 회로에 대한 테스트 동작시 시뮬레이션 결과이다. 회로에 고장이 없는 경우에는 그림8(a)와 같이 자체 발진 루프를 통하여 발진이 발생함을 회로의 출력에서 확인하였다. 발진은 각 게이트의 지연과 기생 커패시턴스에 의하여 그 회로 고유의 최대속도로써 발생한다. 이때 발진 주파수는 시뮬레이션 회로에서 사용한 파라메타 값에 의하여 약 132MHz이었으며 이 값은 회로의 파라메타에 따라 변화한다. 또한 발진 진폭은 0V에서 4V 사이를 나타내고 있다. 그림8(b), (c) 및 (d)는 각각 클럭킹 게이트의 s-op 혹은 s-on고장, N블럭의 s-a-0 고장 그리고 P블럭의 s-a-1 고장이 존재하는 경우의 출력파형이다. 이 경우에는 예상한 바와 같이 모두 발진이 발생하지 않음을 알 수 있다. 그리고 다중고장이 동시에 발생하여도 발진이 중지함을 확인하였다.

한편, N블럭의 s-a-1 고장과 P블럭의 s-a-0 고장은 그림8에서 나타난 발진상태가 반대가 된다. 즉, 정상적인 회로에서는 발진이 일어나지 않으나 이러한 고장들이 존재하면 그림8(a)와 같이 발진이 발생한다. 따라서 시뮬레이션 결과 SOLT 방식에 의하여 Zipper



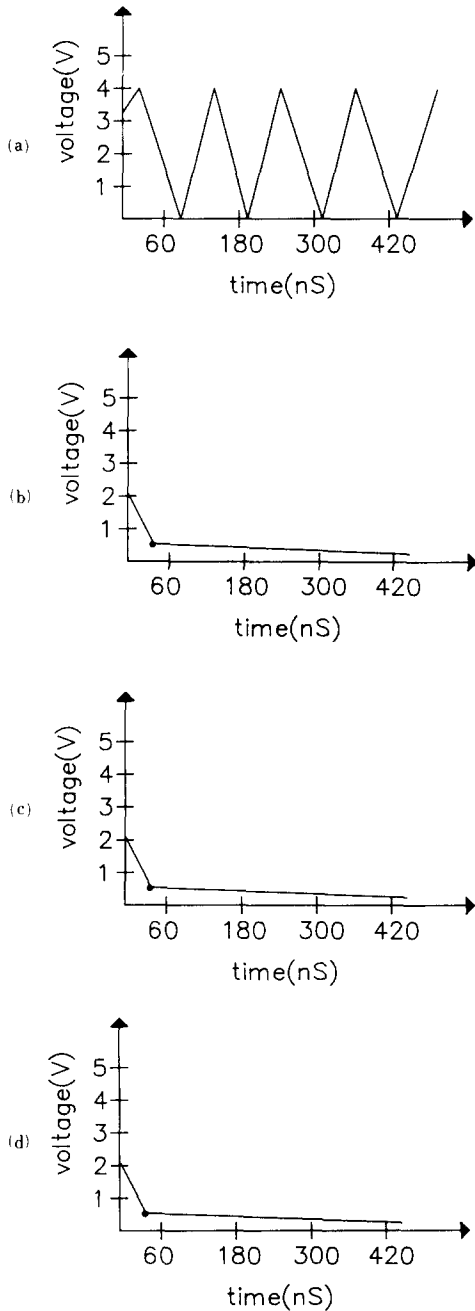


그림 8. 시뮬레이션 결과

- (a) 고장이 없는 회로
- (b) 클럭킹 게이트의 s-op 고장
- (c) N블럭의 s-a-0 고장
- (d) P블럭의 s-a-1 고장

Fig. 8. Results of Simulation.

- (a) Fault-Free Circuit.
- (b) s-op Fault of Clocking Gate.
- (c) s-a-0 Fault of N Block.
- (d) s-a-1 Fault of P Block.

CMOS 회로내에 존재하는 단일, 다중의 고장들을 발진의 유무에 의하여 용이하게 검출할 수 있음을 입증하였다.

## Ⅶ. 결 론

본 논문에서는 Zipper CMOS 회로의 고장검출을 용이하게 할 수 있는 SOLT(self oscillation loop test) 방식을 제안하였다. 즉, 한 개의 전달 게이트를 회로 내부에 부가하여 귀환 폐회로를 구성하고 이 폐회로를 통하여 발생하는 발진의 유, 무에 의하여 Zipper CMOS 회로내에 존재하는 고장을 검출할 수 있도록 하였다. 이 방식을 1 단 및 다단 Zipper CMOS 회로의 테스트에 적용한 결과 모든 함수블럭의 s-a 형태의 고장과 모든 클럭킹 게이트의 s-op 고장 그리고 s-on 고장을 검출할 수 있었다. 특히, 단일고장뿐만 아니라 종래의 테스트 방식에 의하여 검출이 불가능하였던 다중고장도 검출할 수 있음을 확인하였다. 또한 이 방식은 테스트시, 시스템 클럭의 인가가 필요 없으므로 테스트 패턴 인가가 용이하고 회로의 최종출력에서 발진 상태만 관찰하여 고장을 검출하므로 테스트 패턴마다 각각 정상상태의 응답을 미리 구할 필요가 없다. 한편, 위에서 제안한 방식을 순서 Zipper CMOS 회로의 테스트에 적용할 경우에 종래의 테스트 방식에 있어서 불필요한 테스트 패턴의 인가와 테스트 패턴 인가시간의 증가등으로 인하여 초기화 값이 변화하였던 단점이 제거된다. 따라서 LSSD 설계방식을 그대로 적용하여 순서 회로도 용이하게 테스트할 수 있다.

본 설계방식의 회로동작을 확인하기 위하여 자체 발진 루프를 갖는 Zipper CMOS 기본회로에 대하여 회로 레벨 시뮬레이션을 행하였다. 이때 시뮬레이터 파라메타 값은 3UM CMOS 폴리 실리콘 게이트 공장에서 추출된 값으로 하였으며 VAX 11/750 상의 SPICE 2G.6 시뮬레이터를 이용하였다. 시뮬레이션 결과, 테스트 동작에서 회로에 고장이 없을 경우에는 회로의 출력에서 132MHz의 주파수를 갖는 발진이 발생하였다. 또한 귀환폐회로를 통하여 발진하므로 이 발진속도는 설계된 회로의 최대 동작속도가 된다. 한편, 회로에 s-op, s-on 및 s-a 형태의 고장이 존재할 경우는 발진이 중지함을 확인하였으며, 따라서 본 논문에서 제안한 SOLT 방식은 Zipper CMOS 회로내에 존재하는 단일, 다중의 s-op, s-on 그리고 s-a 형태의 고장이 효율적으로 검출됨을 확인하였다. 본방식은 Zipper CMOS 회로뿐만 아니라 다른 다이내믹 회로의 테스트에도 적용할 수 있다. 그리고 귀환 폐회로를 구성하는 전달 게이트를 칩 내부에 부가하지 않고 외부 테스트 장비에 별도로 부가함으로써, 특별설계를 하지 않은

칩을 그대로 이 장비에 의하여 테스트할 수 있는 장점을 갖는다.

參 考 文 獻

- [1] R.D. Davis, "The case of CMOS", *IEEE Spectrum*, vol.20, no.10, pp.26-32, Oct. 1983.
- [2] K.W. Chiang and Z.G. Vranesic, "On fault detection in CMOS logic networks", *IEEE 20th Design Automation Conference*, pp. 50-56, June 1983.
- [3] R.H. Krambeck, C.M. Lee and H-F.S. Law, "High-speed compact circuits with CMOS", *IEEE Journal of Solid-State Circuits*, vol. SC-17, no.3, pp.614-619, June 1982.
- [4] V.G. Oklobdzija and P.G. Kovijanic, "On testability of CMOS-domino logic", *Proc. 1984 Int. Symp. Fault-Tolerant Computer*, pp.50-55, June 1984.
- [5] B.T. Murphy et al., "Twin tubs, domino logic, CAD speed up 32-bit processor.", *Electronics*, vol.54, no.20, pp.106-111, Oct. 1981.
- [6] D.J. Myers and P.A. Ivey, "A design style for VLSI CMOS", *IEEE Journal of Solid-State Circuits*, vol.SC-20, no.3, pp.741-745, June 1985.
- [7] N.F. Goncalves and H.J. Deman, "NORA: A racefree dynamic CMOS technique for pipelined logic structures", *IEEE Journal of Solid-State Circuits*, vol.SC-18, no.3, pp. 261-266, June 1983.
- [8] C.M. Lee and E.W. Szeto, "Zipper CMOS", *IEEE Circuits and Devices Magazine*, vol.2, no.3, pp.10-17, May 1986.
- [9] Y.K. Malaja and Stephen Y.H. Su, "A new fault model and testing technique for CMOS devices", *IEEE Test Conference*, pp. 25-34, Nov. 1982.
- [10] S.M. Reddy, M.K. Reddy and J.G. Kuhl, "On testable design for CMOS logic circuits", *IEEE Test Conference*, pp.435-445, Oct. 1983.
- [11] E.B. Eichelberger and T.W. Williams, "A logic design structure for LSI testability", *Proc. 14th Design Automation Conference*, pp.462-468, June 1977.
- [12] J.A. Pretorius, A.S. Shubat and C.A.T Salama, "Charge redistribution and noise margins in domino CMOS logic", *IEEE Tran. on CAS*, vol.CAS-33, no.8, pp.786-793, Aug. 1986.
- [13] V.G. Oklobdzija and R.K. Montoye, "Design-performance trade-offs in CMOS-domino logic", *IEEE Journal of Solid-State Circuits*, vol.SC-21, no.2, pp.304-306, Apr. 1986.
- [14] C.M. Lee and H. Soukup, "Automatic generation of an ALU based on zipper CMOS", *Physical Design Conference '86*, Houston, Texas, Mar. 1986.
- [15] 한석봉, 김윤홍, 이철원, 정준모, 임인철, "고장 검출이 용이한 Domino CMOS 회로의 설계" 대한전자공학회 하계 종합학술대회 논문집, vol.9 no1, pp. 591-594, 1986년 6월.