

# 신드롬 테스트가 용이한 대규모 MOSPLA의 설계 (Syndrome Testable Design for Large MOSPLA's)

韓 哲 鵬\*, 林 寅 七\*

(Seok Bung Han and In Chil Lim)

## 要 約

본 논문에서는 대규모 MOSPLA에 대하여 신드롬 테스트가 용이한 새로운 논리 설계 방식을 제안한다. 종래의 신드롬 테스트 방식에서는 테스트를 용이하게 하기 위하여 기본 PLA 회로내에 테스트용 배열 회로를 부가하였으나, 이 회로는 기본 PLA의 정상 동작에 영향을 주게 된다는 결점을 갖는다. 따라서 부가된 배열 회로 대신에 MOSPLA의 각 적향선에 쉬프트 레지스터를 사용함으로써 정상 동작에 영향을 주는 결점이 제거되고 테스트 입력조합의 수도 감소된다.

또한, MOSPLA에 있어서 미리 알고 있어야 하는 고장이 없는 상태의 신드롬의 갯수를 감소시키기 위하여, MOSPLA의 OR array내에 모든 적향선과 연결된 한개의 출력선을 부가하여 관찰할 수 있는 출력의 수를 감소시킨다. 그리고 고장이 없는 상태의 신드롬을 구하기 위한 해석적인 방법을 제시함으로써 신드롬의 계산시간과 노력을 감소시킬 수 있게 한다.

## Abstract

This paper proposes a new syndrome-testable design method for large MOSPLA's.

In the conventional syndrome test method, the testing array circuit for testability is added but it has the defect that the circuit gives effect on the normal operation of the basic PLA circuit. Therefore, by adding the shift registers to the product lines of the basic MOSPLA's this defect is eliminated and the number of test patterns is decreased.

In order to reduce the number of fault free syndromes to be predetermined, also, one output line, which is connected to all product lines is added. Therefore the number of output lines be observed is decreased.

And the analytical method to compute fault free syndromes is presented. By using this method, the time and the effort to compute the syndromes are decreased.

## I. 서 론

VLSI 기술의 발전으로 회로의 집적도가 증가함에 따라 그 테스트가 심각한 문제로 대두되었다.

종래의 조합논리 회로의 테스트는 각 고장모델에 대하여 테스트 패턴을 생성하고 이 테스트 패턴을 테스트 하고자하는 회로에 인가하여 결과적인 응답과 고장

이 없는 상태의 응답(fault free response)을 비교함으로써 행해진다. 따라서, 이때 각 테스트 패턴에 대하여 고장이 없는 상태의 응답을 미리 알고 있어야 하며 대규모 회로에서는 이 출력 응답의 수가 상당히 커지게 된다. 따라서 논리회로가 복잡하고 규모가 큰 VLSI에서는 테스트 패턴을 생성하는 것과 이 테스트 패턴에 의하여 고장을 진단하는 과정이 매우 어려우며 특히 테스트 패턴을 생성하기 위한 비용은 회로의 크기에 대하여 지수적으로 증가하므로 테스트 과정에 많은 비용이 들게 된다. 또한, 각 테스트 패턴과 고장이 없는 상태의 응답을 기억시키기 위해서도 매우 큰 기

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng., Hanyang Univ.)  
接受日字: 1986年 12月 8日

역용량이 필요하게 된다.

이와 같은 대규모 회로에 있어서의 테스트에 대한 문제점을 해결하기 위하여 여러가지 테스트 패턴 생성 방식과 테스트가 용이한 논리설계 방식이 제안되어 왔다.<sup>1)~4)</sup> J. Savir<sup>1)~4)</sup>는 테스트 하고자 하는 회로에 모든 입력조합을 차례로 인가하여 출력에서 1이 되는 갯수 신드롬(syndrome)만을 관찰하여 조합논리 회로에 대한 고장의 유, 무를 판별하는 신드롬 테스트 방식을 제안하였다. 이 방식은 모든 입력조합을 인가하고, 출력에서 최소항(minterms)의 갯수만을 비교하므로 테스트 패턴 생성이 필요없고 그 인가가 용이하며 고장이 없는 상태의 응답수가 적어진다. 그러나 입력수가 많을 경우 테스트 시간이 길어지므로 적당한 크기로 회로를 분할하여 테스트하는 방법과 전체회로에 대하여 신드롬 테스트가 가능하도록 회로를 설계하는 방법이 요구된다.

한편, T. Yamada<sup>5)~6)</sup>는 대규모 PLA에 이 신드롬 테스트 방식을 적용하고, 이 PLA를 분할하여 용이하게 테스트할 수 있도록 하기 위하여 제어입력과 테스트용 회로를 부가한 설계방식을 제안하였다. 이 설계방식은 테스트시 각 적항선이 모든 입력조합에 대하여 서로 독립적인 논리를 갖도록 하는 테스트용 배열 회로를 기본 논리회로 내부에 부가하였다. 그러나, 이 부가된 배열 회로 자체의 고장이 논리회로의 정상 동작에 영향을 주게 되고 이 회로의 입력들로 인하여 전체적인 테스트 패턴의 수가 증가하게 된다. 또한, 적항선이 많은 대규모 PLA의 경우에는 테스트용 회로가 과다하게 부가되고, 회로 분할에 의하여 고장이 없는 상태의 신드롬의 갯수가 증가한다.

본 논문에서는 대규모 MOSPLA에 신드롬 테스트 방식을 적용하고, 회로 분할과 테스트가 용이한 새로운 논리 설계 방식을 제안한다. 종래의 방식<sup>1)~4)</sup>에서 논리 회로내에 존재하였던 테스트용 회로를 제거하고, 각 적항선에 쉬프트 레지스터를 부가함으로써 테스트용 회로에 의한 결점을 해결하는 동시에 인가하여야 하는 테스트 입력조합의 수를 감소 시킨다. 또한, 모든 적항선들과 연결된 한개의 테스트용 출력선을 OR array 내에 부가하여 종래 방식에서 회로 분할의 크기에 따라 증가되었던 고장이 없는 상태의 신드롬의 갯수를 감소시킴으로써 신드롬 계산의 시간과 노력을 절감할 수 있게 한다. 그리고, 본 논문에서 제안한 설계 방식에 대하여 신드롬을 용이하게 계산할 수 있는 해석적인 방법을 제안한다.

II. PLA의 신드롬 테스트와 고장 모델

PLA는 일반적으로 AND-OR 형태 혹은 NOR-NOR

형태의 2 단 논리(two level logic)를 실현하는 것으로 decoder, AND(NOR) array 및 OR(NOR) array로 구성된다. 특히, NOR-NOR 형태로 구성된 것으로는 MOSPLA가 있다. 종래에 제안된 분할테스트 방식<sup>1)~4)</sup>으로 구성된 AND-OR형태의 PLA를 그림1에 나타내었다.

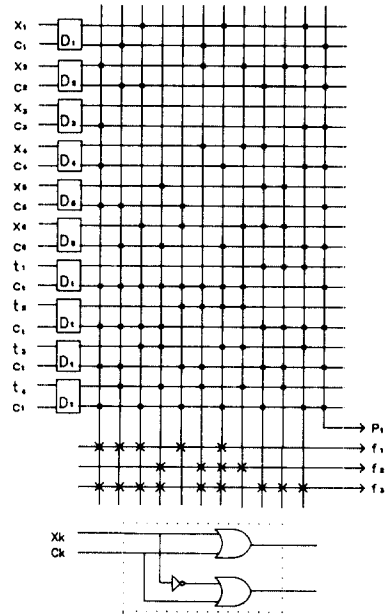


그림 1. 신드롬 테스트가 용이한 PLA  
Fig. 1. Syndrome-Testable PLA.

이 PLA는 다음과 같은 논리 함수를 실현한다.

$$f1 = X2\bar{X}3\bar{X}4\bar{X}5 + \bar{X}1X2\bar{X}5\bar{X}6 + X1\bar{X}2X6 + \bar{X}5X6X1\bar{X}4\bar{X}6$$

$$f2 = X5\bar{X}6 + \bar{X}1X2X4 + X1\bar{X}4\bar{X}6 + X2X4X6$$

$$f3 = X2\bar{X}3\bar{X}4\bar{X}5 + \bar{X}1X2\bar{X}5\bar{X}6 + X1\bar{X}2X6 + X5\bar{X}6 + \bar{X}1X2X4 + X1\bar{X}4\bar{X}6 + \bar{X}2X4X5X6 + X2X5X6 + X1X2\bar{X}3\bar{X}4\bar{X}6$$

조합 논리회로의 신드롬에 대하여 다음과 같이 정의한다.

[정의1] n개의 입력을 갖는 논리 함수f(X1, X2, ..., Xn)의 최소항(minterm)의 수가 K일 때 S(f) = K/2<sup>n</sup>을 함수f의 신드롬이라고 한다.

함수f를 실현하는 논리회로의 신드롬 테스트는 테스트 하고자 하는 회로에 2<sup>n</sup>개의 모든 입력조합을 인가하고 출력에서 최소항의 갯수를 관찰하여 고장이 없을 때의 값K와 비교함으로써 행해진다.

그림 1의 PLA는 분할 테스트를 가능하게 하기 위하

여 기본 PLA에 회로를 부가한 것이다. 즉, 제어입력  $C_k (k=1, 2, \dots, 6, t)$  는 회로 분할을 간단하게 하고 테스트용 회로입력  $t_1, t_2, t_3, t_4$  는 각 적향선들이 모든 입력조합에 대하여 서로 독립적으로 되도록 부가한 것이며, 테스트용 적향선  $P_t$ 에 의해 각 decoder 입력선의 stuck 고장을 검출할 수 있다.

그러나, 이 방식은 PLA 내부에 정상동작과 무관한 테스트용 회로가 부가되므로 이 회로의 존재로 인하여 정상동작에 영향을 주게되고, 특히 이 회로의 고장에 대한 영향은 더욱 심각하며, 따라서 이 회로를 테스트하기 위한 테스트 입력이 요구된다. 또한, 분할된 회로의 갯수가 클 경우, 분할된 각각의 회로를 테스트할 때마다 모든 출력에서 신드롬을 관찰해야 하므로 그 갯수는 상당히 증가한다.

따라서, 이러한 단점들을 해결하기 위해서 본 논문에서는 새로운 논리 설계 방식을 제안하고, 특히 MOSPLA를 그 대상으로 한다.

본 논문에서 고려하는 MOSPLA의 고장들은 다음과 같다.

- (1) Stuck 형태의 단일 고장
  - a. Decoder 입력선
  - b. Decoder 출력선 (비트선)
  - c. 적향선
  - d. 출력선
- (2) 단락(short) 형태의 단일 고장
  - a. 인접한 비트선
  - b. 인접한 적향선
  - c. 인접한 출력선
- (3) 점점(crosspoint) 형태의 단일 고장
  - a. 비트선과 적향선 (NOR array)
  - b. 적향선과 출력선 (NOR array)

III. 분할 테스트가 용이한 MOSPLA의 설계방식

1. 분할 테스트가 용이한 구성

조합 논리회로를 테스트하기 위하여 모든 입력조합을 인가하는 테스트 방식에서는 입력수가 커지면 테스트 시간이 길어져서 실용적인 시간내에 테스트가 불가능하게 된다.

예를 들어, 10MHz로 테스트 패턴을 인가하는 회로에서 입력수가 50개이면 전체적인 테스트 시간은  $10^8$  초 이상이 필요하다. 따라서, 회로를 적당한 입력수를 가진 부분회로로 분할하여 각 부분회로마다 별도로 테스트하는 것이 필요하다. 이것을 목적으로 종래의 테스트 방식에 의하여 구성한 PLA(그림 1)을 개선하여 분할 테스트가 보다 더 용이하도록 구성된 MOSPLA를 그림 2에 나타내었다.

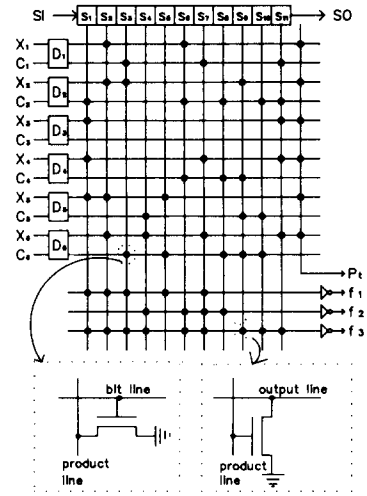


그림 2. 분할 테스트가 용이한 MOSPLA  
Fig. 2. Division-testable MOSPLA.

이 회로는 그림 1과 동일한 논리 함수를 실현한다. 그림 2의 MOSPLA는 회로 분할을 용이하게 하기 위하여 기본 MOSPLA에 다음과 같은 회로를 부가하였다.

- (1) 각 decoder 입력에 제어입력
- (2) 각 적향선에 쉬프트 레지스터

제어입력은 전체 회로를 적당한 수의 입력을 갖는 부분 회로로 나누어 테스트하기 위하여 부가한 것이다. 이 제어입력을 포함하는 decoder를 그림 3과 같이 구성한다.

그림 3의 decoder에서 제어입력  $C_k$ 를 1로 하면 각 출력값은 입력값  $X_k$ 에 무관하게 0로 되며, 제어입력  $C_k$ 를 0으로 하면 두 개의 출력은 서로 보수인 값을 갖는다. 그림 2의 MOSPLA는 그림 3의 decoder를 갖으며, 정상상태의 동작에서는 각 decoder의 제어입력  $C_k (k=1, 2, \dots, n; n$ 은 입력수)을 모두 0으로 함으로써 기본 MOSPLA와 동일한 논리함수를 실현한다. 또한, 이 MOSPLA에서 전체 decoder중 일부의 집합을  $M_a$ , 그 나머지의 집합을  $\bar{M}_a$ 라고 할 때,  $\bar{M}_a$ 에 속하는 모든 decoder의 제어입력을 1로 하고,  $M_a$ 에 속하는 모든 decoder의 제어입력을 0으로 함으로써, 오직  $M_a$ 에 속하는 decoder의 회로입력들에 대하여 신드롬 테스트를 할 수 있다. 이와 같이 분할 테스트를 행할 경우, 전체적인 회로에 대해서는 독립적(independent)이었던 적향선들이 부분회로에 대해서는 서로 종속적(dependent)으로 될 경우가 있다. 예를 들어, 그림 2의 제 3열과 제 9열의 적향선은 전체적인 회로에 대해서는 서로 독립적이다. 즉,  $P_3 = X_1 \bar{X}_2 X_6$  이고

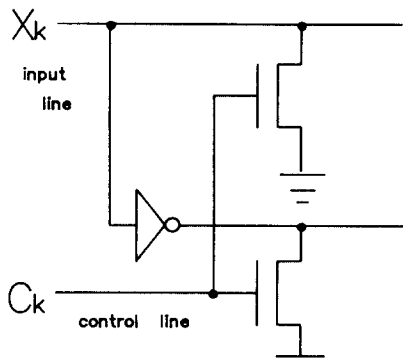


그림 3. 제어입력을 포함한 Decoder  
Fig. 3. Decoder Including the Control Input.

$P9 = \overline{X2} X4 X5 X6$ 이다. 그러나, 이 MOSPLA를 3개의 입력을 갖는 부분회로로 분할할 경우, 첫 번째 부분회로  $M1 = \{D1, D2, D3\}$ 에 대응하는 제 3열의 적항선  $P13 = X1 \overline{X2}$ 이고, 제 9열의 적항선  $P19 = \overline{X2}$ 이다. 그러므로,  $P13$ 는  $P19$ 에 종속적이다(즉,  $P13 \subset P19$ ). 따라서, 제 3열의 적항선과 decoder D1, D2 및 D3의 출력선(비트선)과의 점접고장은 검출이 불가능하다.

이 문제를 해결하기 위하여, 기본 MOSPLA의 각 적항선에 쉬프트 레지스터를 부가한다. 이 경우 종래의 방식에서 부가되었던 테스트용 회로는 제거된다. 이 회로의 테스트 동작시 쉬프트 레지스터에 의해 적항선들의 하나만을 1로 하고 나머지 적항선들을 0으로 함으로써 각각의 적항선에 관하여 서로 독립적인 관계를 갖도록 한다. 따라서, 회로의 출력에 연결된 적항선들이 동시에 1이 되는 경우가 없으므로 출력에서 모든 적항선들에 대한 최소항들을 관찰할 수 있다.

2. 분할 테스트

1절에서 제안한 설계방식으로 구성한 MOSPLA의 분할 테스트는 각 부분회로마다  $2^n$ 개( $n$ : 각 부분회로의 입력수)의 모든 입력조합을 가하고, 출력에서 관찰한 신드롬을 고장이 없는 상태의 신드롬과 비교함으로써 행해진다.

그림 2의 MOSPLA의 분할 테스트 절차는 다음과 같다.

[절차 1] 전체 회로를 적당한 입력수를 갖는 부분회로로 분할한다. 기본 MOSPLA의 decoder들을  $M_1, M_2, \dots, M_\beta$ 로 분할하고, 분할된 부분회로  $M_\alpha$  ( $\alpha=1, 2, \dots, \beta$ )에 쉬프트 레지스터  $S1, S2, \dots, S\ell$  ( $\ell$ 은 적항선)을 가한 부분회로를  $M_\alpha^s$ 라 한다. 이때, 각 부분회로의 입력수의 상한(upper bound)은 요구되는 테스트 시간과 테스트 속도에 의해 결정된다.

[절차 2]  $M_\alpha^s$ 에 속하는 모든 decoder의 제어입력을 0으로 하고 나머지 부분회로  $M_\alpha^s$  ( $\alpha=2, 3, \dots, \beta$ )에 속하는 모든 decoder의 제어입력을 1을 인가하여 첫 번째 부분회로를 선택한다.

[절차 3]  $M_\alpha^s$ 에 대하여 신드롬 테스트를 행한다. 즉, 쉬프트 레지스터에 의하여 적항선을 하나만 1로 하고  $M_\alpha^s$ 에 속하는 모든 입력조합을 인가한다. 이 동작을 모든 적항선에 대하여 차례로 시행한다.

[절차 4]  $M_\alpha^s$ 에 대하여 회로의 모든 출력  $f_i$  ( $i=1, 2, \dots, m$ :  $m$ 은 출력수)에서 얻어진 신드롬과 고장이 없는 경우의 신드롬을 각각 비교하여 고장 유, 무를 판별한다.

[절차 5] 모든 부분회로  $M_\alpha^s$  ( $\alpha=2, 3, \dots, \beta$ )에 대하여 [절차2, 절차3] 그리고 [절차4]를 반복한다.

조합 논리를 실현하는 MOSPLA에 대하여 다음과 같이 정의한다.

[정의 2] 함수  $f(X1, X2, \dots, Xn)$ 에 대하여  $f$ 가 입력 변수  $X_i$ 의 정상형태(보수형태)로 conjunctive 또는 disjunctive한 표현이라면, 함수  $f$ 는 변수  $X_i$ 에 대하여 positive(negative)라고 한다.

[정의 3] 함수  $f(X1, X2, \dots, Xn)$ 가 입력변수  $X_i$ 에 대하여 positive이거나 negative라고 하면, 함수  $f$ 는 변수  $X_i$ 에 대하여 unate라고 한다.

전술한 테스트 절차에 따라서 분할 테스트를 행할 경우, II 절에서 고려한 각 고장들에 대하여 다음 정리가 성립한다.

[정리 1] NOR-NOR 형태의 2 단논리를 실현하는 MOSPLA의 출력함수  $f$ 가 각 부분회로의 모든 decoder 출력선  $D_{ij}$  ( $i=1, 2, \dots, n; j=1, 2$ )에 대하여 unate하다면, 이 부분회로의 각 신호선과 출력선에 대한 stuck 고장, 단락고장 그리고 점접고장은 신드롬 테스트로 검출가능하다( $n$ 은 부분회로의 입력수)

(증명) 출력함수  $f$ 가 모든  $D_{ij}$ 에 대하여 unate 하고, 쉬프트 레지스터에 의하여 오직 하나의 적항선만이 선택되므로, 함수  $f = A + \overline{D_{ij}}$ 로 표시할 수 있다(이때,  $A$ 는  $D_{ij}$ 에 대하여 독립). Decoder 출력선에 대한 stuck-at-1( $s-a-1$ ) 고장은  $A + D_{ij}$ 에 관련된 모든 최소항들을 제거시키고, stuck-at-0( $s-a-0$ ) 고장은  $A$ 와 관련된 모든 최소항들을 출력에 나타낸다. 따라서, 출력에서 신드롬이 변화되어 고장이 검출된다. 적항선의  $s-a-0$ ( $s-a-1$ ) 고장은 출력에 그 적항선의 모든 최소항을 제거(부가)하기 때문에 고장검출이 가능하다. 출력선의  $s-a-0$ 와  $s-a-1$  고장은 그 함수의 모든 최소항들이 출력에 나타나고 또한 제거된다.  $D_{ij}$ 가 다른 인접한 신호선과 wired AND(wired OR) 형태의 단락고장이 발생한 경우에,  $D_{ij}$  나  $\overline{D_{ij}}$ 와 단락된 신호선중

느 하나 만이라도 0(1)이면 두 신호선이 모두 0(1)이므로 출력에서 최소항의 수는 증가(감소)한다. 인접한 적항선 그리고 인접한 출력선간의 단락고장도 같은 원리로 검출할 수 있다.

한편, 각 적항선은 서로 독립적이므로, AND array에서의 점점고장은 대응하는 적항선으로 실현되는 최소항의 수를 증가시키거나 감소시킨다.

또한, OR array에서의 점점고장은 대응하는 출력선으로 실현되는 함수에 적항을 부가하거나 제거시킨다. 따라서, 적어도 한개 이상의 최소항의 수가 변화하므로 이 고장들도 신드롬 테스트로 검출가능하다.

(증명 끝)

[정리2] 각 부분회로에 대하여 신드롬 테스트를 행할 경우, 고장검출이 가능하다면, 전체회로에 대해서도 신드롬 테스트로 고장검출이 가능하다.

(증명) 부분회로에 대한 신드롬 테스트가 전체회로에 대한 신드롬 테스트로써 가능하기 위해서는, 인접한 부분회로의 decoder 출력선간의 단락고장이 검출되어야 한다. 서로 인접한 부분회로의 decoder 출력선을 각각  $D_{i,2}$ ,  $D_{i+1,1}$ 이라 하자.  $D_{i,2}$ 나  $D_{i+1,1}$  중 어느 하나 만이라도 0(1)이면, 두 출력선이 모두 0(1)이 된다. 따라서, 한 부분회로만 신드롬 테스트를 한다면 다른 부분회로의 영향을 받는다. 그러므로, 출력에서 신드롬이 변화한다(증명 끝).

[정리1]과 [정리2]에 의해 그림 2에 예시한 MOS-PLA에서는 각 decoder 입력선의 stuck과 단락고장을 제외한 모든 고장이 신드롬 테스트로 검출이 가능하다. 한편, 각 decoder 입력선에 대한 stuck 고장과 단락고장을 검출하기 위하여 테스트용 적항선  $P_t$ 를 부가한다. 테스트용 적항선  $P_t$ 는 다음과 같은 논리를 실현한다.

$$P_t = \overline{X_1} * \overline{X_2} * \dots * \overline{X_n} + C_k$$

이 적항선에는 쉬프트 레지스터를 부가하지 않으며 부분회로의 테스트시 이 적항선  $P_t$ 의 신드롬도 관찰한다. Decoder 입력선의 stuck 고장이나 단락고장이 발생하면 이  $P_t$ 에서의 신드롬이 변화하므로 이들 고장도 검출할 수 있다. 제안한 방식에서는, 테스트시 각 적항선간에 서로 독립적인 관계를 주기 위하여 쉬프트 레지스터를 사용함으로써, 종래에 제안된 방법보다 다음과 같은 장점을 갖는다.

(1) 회로내부에 부가되었던 테스트용 회로를 제거하여 이 회로의 고장으로 인한 정상동작에 대한 영향을 해결하였으며, 이 회로의 고장을 검출하기 위한 테스트 입력조합들이 불필요하게 되었다. 또한, 쉬프트 레지스터 자체의 고장은 scan 기능에 의하여 쉽게 테스트할 수 있다.

(2) 테스트용 회로에 대한 제어입력이 제거된다. 따라서, 신드롬을 계산할 때, 종래의 PLA에서는 두개의 제어입력에 대한 모든 조합의 경우(즉,  $CkCt = 00, 01, 10, 11$ )을 고려해야 한다. 그러나, 본 방식에서는 Ck의 모든 경우(즉,  $Ck = 0, 1$ )만 고려하면 되므로 신드롬의 계산이 용이해지고 계산시간이 감소한다. 이것은, 제V절에서 자세히 설명한다.

(3) 각 부분회로를 테스트하기 위한 입력조합의 수는 감소한다. 테스트용 회로를 부가한 종래의 PLA에서 각 부분 회로의 입력수가  $n$ , 테스트용 회로의 입력수가  $q$ , 적항의 수가  $\ell$ 이라 하자. 이 부분회로를 테스트하기 위한 입력조합의 수는  $2^n$ ( $n$ 개의 입력에 대한 모든 조합) \*  $2^q$ (테스트용 회로의 입력수  $q$ 에 대한 모든 조합)이다. 그러나 쉬프트 레지스터를 부가한 MOSPLA에서 동일한 회로를 테스트하기 위한 입력조합의 수는  $2^n * \ell$ (적항선의 수)이다. 이때,  $2^q - \ell = \rho$ 라 할 때,  $\rho$ 의 값이 클수록 인가하여야 하는 테스트 입력조합의 수는 종래의 방식에서 보다 더욱 감소하며,  $\rho = 0$  일 경우는 종래의 방식과 똑같다.

그러나, 일반적으로 논리회로를 설계하는 경우  $\rho \neq 0$  일 경우가 많으므로 종래의 방식보다 테스트 입력조합의 수가 감소한다.

예를 들어, 그림 1의 경우  $M1 = \{D1, D2, D3\}$ 로 분할한 부분회로에 대해서 입력조합의 수는  $2^3 * 2^4 = 128$ 개인 반면, 그림 2의 설계방식에서는  $M1 = \{D1, D2, D3\}$ 에 대하여  $2^3 * 11 = 88$ 개로 감소한다.

종래의 테스트 방식에서  $q$ 개의 테스트용 입력에 의해서 서로 독립적인 논리를 갖도록 할 수 있는 적항선의 수는  $2^q$ 개이다. 표 1은 부분회로의 입력수  $n=5$ 인 MOSPLA에서 각 적항선 수에 대한 테스트 입력조합의 갯수를 나타낸 것이다. 종래의 방식과 본 논문에서 제안한 방식과의 비교를 위하여, 각 테스트용 입력의

표 1. 테스트 입력수에 대한 종래의 방식과의 비교  
Table 1. Comparison with the Conventional Design method for the Number of Test Inputs.

q	ℓ	테스트 입력들의 갯수	
		종래의 방식	제안한 방식
3	6	256	192
4	12	512	384
5	24	1024	768
6	48	2048	1536
7	96	4096	3072
8	192	8192	6144
9	384	16384	12288

조합으로 나타낼 수 있는 중간값  $\rho' = (2^a - 2^{a-1})/2$ 을 갖고, 이에 대응하는 적항선은  $\ell = 2^{a-1} + \rho' = 2^a - 2^{a-1}/2$ 이다.

IV. 신드롬수가 적은 MOSPLA의 설계

MOSPLA의 전체 회로에 대하여 신드롬 테스트를 행할 경우에는, 모든 테스트 입력조합을 가하고 각각의 출력에서 한번씩 신드롬을 구하면 된다. 그러나, 회로를 분할하여 신드롬 테스트를 하는 경우, 각 부분회로 마다 모든 출력  $f_i (i=1, 2, \dots, m; m$ 은 출력수)에 대하여 신드롬을 구하여야 한다. 그러므로, 부분회로가 많은 대규모 MOSPLA에서는 이 신드롬의 개수가 상당히 증가하게 된다.

이러한 문제를 해결하기 위하여, 그림 2의 MOSPLA에서 OR array 내에 모든 적항선과 연결된 한 개의 테스트용 출력선  $f_t$ 를 부가한다. 그림 4는 테스트용 출력선을 부가한 MOSPLA를 나타낸다.

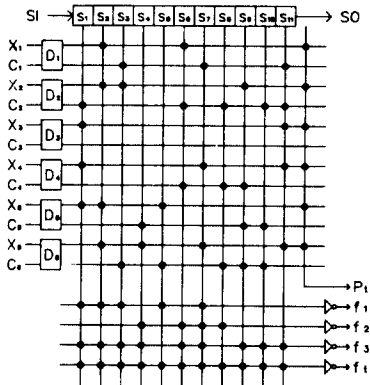


그림 4. 테스트용 출력선을 부가한 MOSPLA  
Fig. 4. MOSPLA with the Testing Output Line.

그림 4의 회로에 대한 테스트 절차는 다음과 같다. [절차1], [절차2], [절차3] 그리고 [절차4]는 2 절의 테스트절차와 동일하다.

[절차5]  $M_{11}^s$ 에 대하여 [절차2]와 [절차3]을 수행하고, 테스트 출력선  $f_t$ 에서 얻어진 신드롬과 고장이 없는 경우의 신드롬을 비교하여 고장 유무를 판별한다.

[절차6]  $M_{11}^s (a=3, 4, \dots, \beta)$ 에 대하여 [절차5]를 반복한다.

그림 4의 MOSPLA에 대하여 다음 정리가 성립한다.

[정리3] 테스트용 출력선  $f_t$ 를 부가한 MOSPLA를  $M_{11}^s$ 라 하자. 모든  $M_{11}^s (a=1, 2, \dots, \beta)$ 에 대하여 신드롬 테스트를 하는 경우, 첫번째 부분회로에 대해서는 모든 출력에서 신드롬을 관찰하고, 나머지 부분회로에

대해서는 테스트용 출력선  $f_t$ 에서만 신드롬을 관찰한다. 이때,  $M_{11}^s (a=1, 2, \dots, \beta)$ 에서 발생하는 모든 단일 stuck고장, 단락고장 그리고 점접고장을 검출할 수 있다.

(증명) 첫번째 부분회로  $M_{11}^s$ 에 대하여 신드롬 테스트를 행한다. 회로의 모든 출력에서 신드롬을 관찰함으로써 [정리1]에 의하여 다음의 고장을 검출할 수 있다. 부분 회로  $M_{11}^s$  내에 존재하는 모든 비트선 들과 적항선들의 stuck 고장, 서로 인접한 신호선들의 단락고장 그리고 점접고장들이 검출된다. 또한, 이때 출력부의 OR array내에 존재하는 모든 stuck고장, 단락고장 및 점접고장들이 검출된다.

그러므로, 다른 부분회로에 대해서는 이 array내의 고장들은 고려할 필요가 없다. 다음으로 나머지 부분회로  $M_{11}^s (a=2, 3, \dots, \beta)$ 에 대하여 각각 신드롬 테스트를 행한다. 이때, 테스트용 출력선  $f_t$ 에서만 신드롬을 관찰함으로써 각 부분회로 내에 존재하는 stuck고장, 단락고장 그리고, 점접고장을 [정리1]에 의하여 검출할 수 있다(증명 끝).

부분회로의 개수가  $\beta$ 이고 회로의 출력수가  $m$ 인 MOSPLA인 경우, 미리 알고 있어야 할 신드롬의 개수는 종래의 방식에서는  $\beta(m+1)$ 개이나, 제안한 방식에서는  $2\beta + m - 1$ 개이다. 그러므로, 종래의 방식보다 그 개수가 감소한다. 기존의 MOSPLA에 테스트용 출력선을 부가할 경우, 종래의 방식에 비하여 다음과 같은 잇점을 갖는다.

(1) 고장이 없는 상태의 신드롬의 개수가 감소한다. 예를 들어,  $\beta = 10, m = 20$ 인 MOSPLA인 경우, 종래의 방식에서는  $\beta(m+1) = 10(20+1) = 210$ 개의 신드롬이 필요하나, 본 방식으로는  $2\beta + m - 1 = 2 * 10 + 20 - 1 = 39$ 개로 그 수는 크게 감소한다. 이것은 회로분할의 수와 출력의 수가 많은 대규모 MOSPLA의 경우에는 더욱 유리하다.

(2) 신드롬의 개수가 적어지므로 이것을 구하는 시간과 노력이 감소하며, 또한 이 신드롬을 기억시키기 위한 메모리의 용량도 감소한다.

(3) 두번째 부분회로부터는 테스트용 출력선  $f_t$ 만 관찰하면 되므로 테스트 평가(test evaluation)가 용이하다.

V. 신드롬의 계산법

MOSPLA에 대하여 신드롬 테스트를 행하기 위해서는 우선 고장이 없는 회로상태의 신드롬을 알고 있어야 하며 이것은 고장 시뮬레이션(fault simulation)에 의해 구한다. 그러나, 본 논문에서 제안한 설계방식에서는 해석적인 방법으로 간단히 구할 수 있다. 한편,

이 방법은 종래의 해석적인 방법<sup>(\*)</sup>보다 더 효율적이다. 즉, 종래의 설계방식에서는 제어입력이 Ck(각 부분회로의 제어입력)와 Ct(테스트용 회로의 제어입력)이므로, 이들의 모든 조합수(CkCt=00, 01, 10, 11)에 대하여 각각 신드롬을 구해야 했으나, 본 설계방식에서는 제어입력이 Ck로써 한 개이므로 이것의 조합수(Ck=0, 1)인 2개만 고려하면 된다. 따라서, 신드롬 계산시간과 노력이 종래의 방법보다 감소한다.

각 부분회로  $M_{\alpha}^{\beta}$  ( $\alpha=1, 2, \dots, \beta$ )에 대하여 입력은 X1, X2, ..., Xn이고, 제어입력은 Ck, 출력은 f1, f2, ..., fm, 그리고 적항선의 수는  $\ell$ 이라고 하자. 이때, 각 부분회로에 대한 고장이 없는 상태의 신드롬은 다음과 같이 계산한다.

(1) 테스트용 적항선Pt의 신드롬 : S(Pt)

$$Pt = \overline{X1} * \overline{X2} * \dots * \overline{Xn} + Ck \text{이므로,}$$

$$S(Pt) = 2^{-n+1} + 1/2$$

(2) 회로의 각 출력 fi(i=1, 2, ..., m)의 신드롬 : S(fi)

$fi(X1, X2, \dots, Xn, Ck) = fi, 0 * \overline{Ck} + fi, 1 * Ck$  이므로,  $S(fi) = S(fi, 0 * \overline{Ck}) + S(fi, 1 * Ck)$  이다.

이때,  $fi, 0 = fi(X1, X2, \dots, Xn, 0)$ ,

$fi, 1 = fi(X1, X2, \dots, Xn, 1)$ .

( $\neg$ )  $S(fi, 0 * \overline{Ck})$ 의 계산

출력fi에 연결된 적항선 lp(p=1, 2, ...,  $\delta$ )에 존재하는 소자의 수를 rp라 할때, 적항선 lp의 값이 1이 되는 횟수는  $2^{n-rp}$ 이다.

$$\text{따라서, } S(fi, 0 * \overline{Ck}) = \sum_{p=1}^{\delta} 2^{-rp+1}$$

(L)  $S(fi, 1 * Ck)$ 의 계산

$fi, 1 = 1$  이므로,

$$S(fi, 1 * Ck) = S(Ck) = 1/2.$$

그러므로,  $S(fi) = \sum_{p=1}^{\delta} 2^{-rp+1} + 1/2$

(3) 테스트용 출력선 ft의 신드롬 : S(ft)

출력선 ft에는 모든 적항선이 연결되어 있으므로 lp(p=1, 2, ...,  $\ell$ )에 존재하는 소자수가 rp일때,

$$S(ft) = \sum_{p=1}^{\ell} 2^{-rp+1} + 1/2 \text{이다.}$$

위와 같은 방법으로 신드롬을 구할 경우, 고장 시물레이션을 할 필요가 없으며, 모든 MOSPLA에 대한 간단한 입력정보로써 용이하게 구할 수 있다. 이 신드롬 계산법에 대한 프로그램을 C언어로 VAX-11/750 상에서 실행하였다.

## VI. 결 론

본 논문에서는 대규모 MOSPLA에 신드롬 테스트방식을 적용하는 경우 종래의 방식보다 효율적으로 회로를 분할하는 동시에 회로 분할에 의하여 증가하는

신드롬의 수를 감소시키는 새로운 논리 설계방식을 제안하였다.

즉, 회로 분할시 각 적항선들이 입력조합에 대하여 독립적으로 동작하도록 기본 회로 내부에 추가되었던 테스트용 회로를 제거하고 각 적항선에 쉬프트 레지스터를 추가하였다. 그러므로, 기본회로에 대한 테스트용 회로의 영향을 제거하였으며 테스트시 인가하여야 하는 테스트 입력조합의 수를 감소시켰다. 또한, 분할을 하기 위한 제어입력이 오직 한 개이므로 신드롬의 계산이 용이해지고 계산시간이 감소되었다.

한편, 각 적항선에 연결된 테스트용 출력선을 출력부의 NOR array 내에 추가하여 이 출력의 신드롬을 관찰함으로써 각 부분 회로마다 모든 출력에 대하여 계산하여야 했던 신드롬의 개수가 감소되었다.

그리고, 본 논문에서 제안한 설계방식에 의한 신드롬 테스트를 행할 경우, 고장이 없는 상태의 신드롬을 구하는 해석적인 방법을 제안하였고 종래의 방법보다 효율적임을 입증하였다. 또한, 이 방법에 대한 프로그램을 C언어로 VAX-11/750 상에서 실행하였다.

## 참 고 문 헌

- [1] E.J. McCluskey and S. Bozorgui-Nesbat, "Design for autonomous test," *IEEE Trans. on Comput.*, C-30, pp. 866-875, Nov. 1981.
- [2] T.W. Williams and K.P. Parker, "Design for testability-a survey", *IEEE Trans. on Comput.*, C-31, pp. 2-15, Jan. 1982.
- [3] J.Savir, "Syndrome-testable design of combinational circuits", *IEEE Trans. on Comput.*, C-29, pp. 442-451, June 1980.
- [4] J. Savir, "Syndrome-testing of 'syndrome-untestable' combinational circuits", *IEEE Trans. on Comput.* C-30, pp. 606-608, Aug. 1981.
- [5] T. Yamada, "A syndrome testable design of programmable logic array", 일본 전자통신학회 논문지, vol. J66-D, no. 8, Aug. 1983.
- [6] T. Yamada "Syndrom-testable design and syndrome computing method for large PLAS", 일본 전자통신학회 논문지, vol. J68 D, no. 5, May 1985.
- [7] 김동욱, 한석봉, 임인철, "Built-In Test 방식을 이용한 Programmable Logic Array의 Testable Design," 대한전자공학회 하계종합학술대회 논문

집, vol. 7, no. 1, pp. 250-254, 1984년.

- [8] 한석봉, 조상복, 임인철, "Test 용이성을 고려한 LSI/VLSI 논리설계 방식과 Programmable Logic Array에의 응용." 전자공학회지, 제21권, 제 3 호, pp. 26-33, 5 월, 1984년.
- [9] 이재민, 김은성, 임인철, "다중고장 테스트가 가

능한 PLA 설계." 전자공학회 논문지, 제23권, 제 5 호, pp. 76-83, 9 월, 1986년.

- [10] 한석봉, 이철원, 임인철, "고장검출이 용이한 대규모 PLA의 설계." 대한전자공학회 추계종합 학술대회 논문집, vol. 8, no. 2, pp. 559-561, 1985년.
-