

스위칭 네트워크와 디지털 집선 장치에서의 CMOS 게이트 어레이 IC 적용

(An Application of CMOS Gate Array Integrated Circuits to Switching Network and Digital Line Concentrator)

朴 恒 九*, 朴 權 喆*, 趙 鏞 鉉**

(Hang Gu Bahk, Kwon Chul Park and Yong Hyun Cho)

要 約

본 논문은 한국형 전전자 시분할 교환기 TDX-1 시스템의 스위칭 네트워크 및 디지털 집선장치에서 멀티플렉스, 시간스위치, 그리고 디멀티플렉스 3 기능의 CMOS 게이트 어레이 IC 적용에 대해서 서술한다. CMOS 게이트 어레이 IC의 적용은 전력소모, 경제성, 크기, 신뢰도, 그리고 시간 여유등에서 시스템의 성능을 충분히 향상시킬 수 있음을 보였다.

Abstract

This paper describes an application of CMOS Gate Array Integrated Cricuits to the implementation of three functional units: A Multiplexer, Time Switch, and Demultiplexer in the Switching Network and Digital Line Concentrator of TDX-1 system, which is a fully digital time division electronic switching system in Korea. The application of CMOS Gate Array Integrated Circuits significantly improves the overall system performance in terms of power consumption, cost, size, reliability, and timing margin, etc.

I. 서 론

최근 주문형 집적회로의 일종인 CMOS gate array ICs^{1,2,3}는 다양한 응용분야에 광범위하게 사용되고 있다. 그것은 고밀도, 고성능, 그리고 Schottky TTL의 fast bipolar 기술을 능가하여 ECL에 접근하는 고속소자이다. 동시에 gate array ICs는 소모전

력이 적고, 집음에 강하며 CMOS 기술로 쉽게 설계할 수 있다.

현재 운용중인 한국형 디지털 시분할 전전자 교환기 TDX-1의 스위칭 네트워크(switching network: SN)와 디지털 집선장치(digital line concentrator: DLC)^{4,5}에 사용되는 multiplexer(MUX), time switch(T-Switch), 그리고 demultiplexer(DMX)의 실현을 위해 CMOS gate array ICs를 개발하였다.

따라서 본 논문에서는 SN과 DLC에 대해 총괄적으로 언급하며, 다음에 CMOS gate array ICs의 적용 방안을 서술하였다. 끝으로 CMOS gate array ICs를 사용한 SN 및 DLC 구성과 상용 TTL ICs로 구성된 SN 및 DLC의 성능을 비교 고찰하여 표로 나타내었다. 여기서 비교항목으로는 PCB의 수량, 크기, 소모 전력, 신뢰도, 그리고 시간 여유등을 고려하였다.

*正會員, 韓國電子通信研究所

(Electronics and Telecommunication Research Institute)

**正會員, 嶺南工業專門大學 電子工學科

(Dept. of Elec. Eng., Yeungnam Junior College of Technology)

接受日字: 1986年 12月 26日

II. 스위칭 네트워크 (Switching Network)

TDX-1 시스템의 SN은 가입자 모듈과 트렁크(trunk) 모듈로 입력되는 time multiplexed PCM 버스의 채널들(channels)을 연결 후 가입자 모듈과 트렁크 모듈로 내보낸다. 그림 1에 나타낸 것과 같이 SN은 multiplexer(MUX), incoming time switch(ITX), space switch(SPX), outgoing time switch(OTX), 그리고 demultiplexer(DMX)로 구성된 time-space-time(TST) 스위칭 구조로 되어 있다.

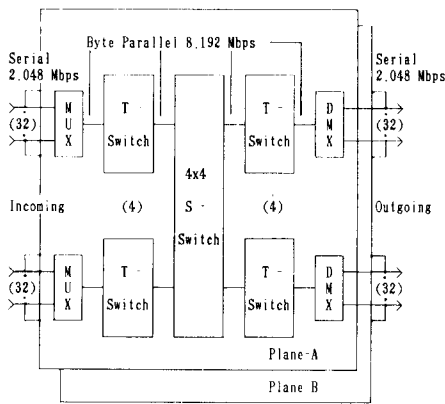


그림 1. 스위칭 네트워크의 전체구조
Fig. 1. Overall Structure of Switching Network (SN).

Multiplexer (MUX)는 2,048Mbps의 32개 PCM 버스를 8.192Mbps의 1 바이트 병렬데이터로 다중화하여 T-Switch에 연결시킨다. Demultiplexer (DMX)는 음성 데이터의 1,024 채널에 대해 타임 슬롯(time slot)을 교환하며, space switch(S-Switch)는 4 쌍의 T-Switch 사이에 공간적으로 연결되어 4,096(one-way) 채널이나 2,048(both-way) 채널의 switching capacity를 제공한다. 또한 SN은 신뢰성을 고려하여 2개의 이중화된 구조로 구성된다.

다음은 SN의 구성 기능중 CMOS gate array IC를 개발 적용한 MUX, DMX, ITX, 그리고 OTX를 보다 상세히⁶⁾ 서술한다.

1. Multiplexer (MUX)

MUX는 가입자와 트렁크(trunk) 모듈로부터 각 32 채널로 이루어진 32개의 PCM highway 버스를 다중화시킨다. 각 PCM 채널의 직렬 데이터를 병렬 데이터로 변환시키며, 32개의 PCM highway의 병렬 PCM 데이터 스트림(stream)을 다중화시켜 T-Switch로 다중화된 출력 데이터를 전송한다.

그림 2는 복호화(decoding) 모듈, 래칭(latching) 모듈, 직/병렬 변환 모듈로 이루어진 MUX의 구성도를 나타내었다. 직/병렬 변환 모듈은 8 비트 직렬 데이터를 병렬 데이터로 변환시키며, 래칭모듈은 다중화를 수행하고 T-Switch로 전송하기 위한 데이터를 저장한다. 복호화 모듈은 래칭 모듈에 사용할 클럭신호 (clock signal)를 발생시킨다.

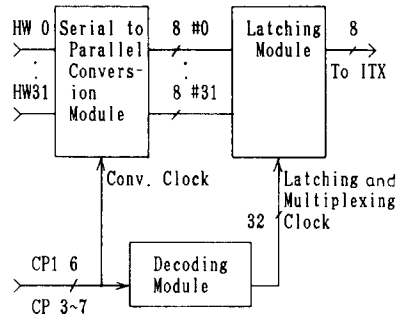


그림 2. 멀티플렉스의 구성도
Fig. 2. Block Diagram of Multiplexer (MUX).

2. Time Switch(T-Switch)

Time switch에는 incoming time switch(ITX)와 outgoing time switch(OTX) 2 종류가 있다. ITX는 time memory(T-Mem.)에 입력 데이터 스트림(stream)을 순차적으로 쓰고 임의로 읽어냄으로써 타임 슬롯교환(time slot interchange:TSI) 기능을 수행하며, 이때 중간 출력데이터는 space switch(S-Switch)로 전송된다. OTX는 S-Switch로부터 입력되는 데이터 스트림을 time memory에 임의로 쓰고 순차적으로 출력 데이터를 읽어냄으로써 타임 슬롯 교환기능을 수행한다. 위에서 언급된 임의로 읽고 쓰는 것은 control memory(C-Mem.)에 저장된 데이터에 의해서 제어되며, 반면 순차적으로 읽고 쓰는 것은 클럭 신호(CP1-CP12)로부터 생성된 번지(address)에 의해 제어된다.

그림 3(a)와 (b)는 각각 ITX와 OTX의 구성도를 나타내었다. 여기서 짐션 부분인 부분인 time 및 control memory는 CMOS gate array IC에서 제외하였다. 각 T-Switch는 input/output(I/O) 모듈, time 및 control memory로 구성된 memory모듈, address모듈, interface모듈, 그리고 기능감시(function check) 모듈로 구성된다. I/O 모듈은 입·출력 데이터의 래치(latch) 기능을 가지며, time memory는 MUX로부터 들어오는 입력 PCM 데이터를 저장하고 control memory는 time memory를 제어하기 위한 임의의 쓰고/읽는 번지를

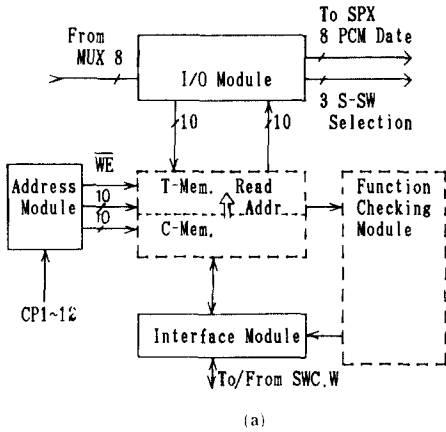


그림 3. (a) ITX의 구성도

(b) OTX의 구성도

Fig. 3. (a) Block Diagram of Incoming Time Switch (ITX).

(b) Block Diagram of Outgoing Time Switch (OTX).

공급한다. 또한 address 모듈은 time 및 control memory를 위한 쓰고/읽는 번지를 발생시키며, interface 모듈은 control memory와 제어기 사이의 interface 기능을 수행한다. 마지막으로 기능감시 모듈은 유지 보수 기능을 수행한다.

3. Demultiplexer (DMX)

DMX는 MUX와 비교하여 역기능을 수행하며, 그림 4에 나타낸 것과 같이 복호화(decoding) 모듈, 병/직렬 변환(parallel to serial conversion) 모듈, 래칭(latching) 모듈로 구성되어 있다. 래칭 모듈은 T-Switch로부터 8.192Mbps 속도의 병렬 8비트 PCM 데이터를 수신하여 해당 PCM highway의 직렬 PCM 데이터로 변화하는 병/직렬 변환모듈로 보낸다. 또한 복호화 모듈은 래칭 모듈에 사용할 클럭신호를 발생시킨다.

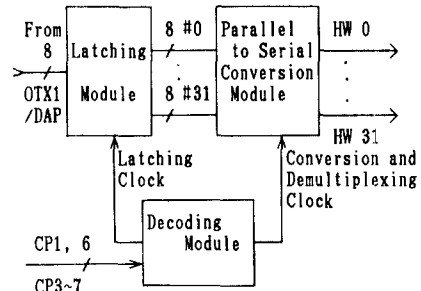


그림 4. 디멀티플렉스의 구성도
Fig. 4. Block Diagram of Demultiplexer (DMX).

III. 디지털 집선장치(Digital Line Concentrator : DLC)

디지털 집선장치는 가입자 통화량을 집선하며, 신호장치를 위한 타임슬롯을 할당한다. 그림 5는 DLC의 구성도이다.

그림 5에서 점선으로 표시된 블록들은 CMOS gate array IC에 의해서 구성되지 않았다. 이것은 SN에서 사용되는 것과 같은 기능단위인 3가지 board, 즉 MUX, ITX 그리고 DMX를 포함하기 때문이다. 디지털 집선장치는 가입자선에 대해 2:1부터 16:1까지의 집선비(concentration rate)를 변환할 수 있으며, 트렁크 통화량에 대해서는 집선을 수행하지 않는다. 2K 바이트 programmable read only memory(PROM)으로 구성된 디지털 패드(digital pad : DAP)는 전송 손실 때문에 따라 적합한 레벨로 감쇠하는 기능을 가지며, pattern generator/checker(PGC)는 통화로에서 발생하는 고장을 감지한다. 또한 distributed clock distributor(DDC)는 방동기 장치(network synchronization device)로 부터 수신한 클럭을 분주하여 디지털 집선장치 및 주변장치에 필요한 클럭펄스를 공급한

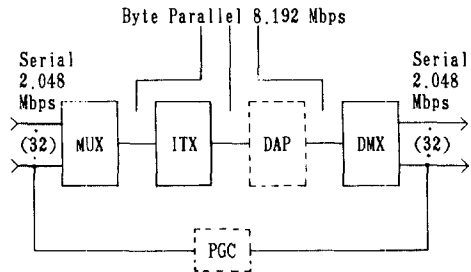


그림 5. 디지털 집선장치의 전체구조
Fig. 5. Overall Structure of Digital Line Concentrator (DLC).

다. 디지털 집선장치는 신뢰성을 고려하여 folded 구조의 이중화 구조를 갖는다.

IV. CMOS Gate Array ICs의 적용

Double metalization과 3 μ m의 게이트 길이를 가진 P-well CMOS 기술이 SN과 DLC의 CMOS gate array ICs 개발에 이용되었다. 또한 게이트 지연시간(delay time)은 2.5ns 이하이다.

MUX나 DMX의 구성을 위해 2개의 동일한 DIP(dual in-line package) IC가 필요하다. 또한 ITX나 OTX의 T-switch는 두 종류의 CMOS gate array IC에 의해 구성될 수 있으며, 그중 한 개의 gate array IC interface module를 위해서 사용되고 나머지는

memory 모듈과 기능감시 모듈을 제외한 T-switch의 나머지 부분으로 사용된다. 그림6은 MUX용 CMOS gate array IC의 축소사진을 한 예로 보여준다. 표1은 4종의 CMOS gate array ICs의 특성으로 기능, 게이트 수, 소자의 크기, 입/출력 핀(pin) 수, 최대 동작 클럭 주파수, 공급전압 그리고 소모전력 등을 나타내었다.

표2에서는 MUX, DMX, ITX 그리고 OTX에 대한 각각 2가지 방안의 실현(상용 TTL ICs와 CMOS gate array ICs에 의한 구성)에 따른 성능을 평가한 표이다. CMOS gate array ICs에 의한 MUX, DMX, ITX, 그리고 OTX의 구성은 전력 소모면에서 상용 TTL ICs로 구성한 것과 비교하면 각각 91.6%, 80.9%,

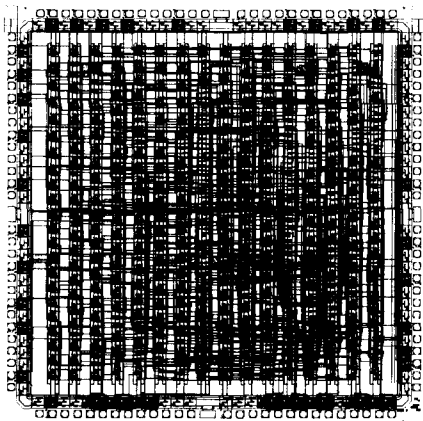


그림 6. MUX의 축소 사진
Fig. 6. Microphotograph of MUX.

표 1. 4종의 CMOS Gate Array ICs의 비교
Table 1. Comparison of 4 CMOS Gate Array ICs.

	IC 1	IC 2	IC 3	IC 4
Function	Interface Module of T-SW	I/O, Address Module of T-SW	MUX	DMX
# of gates	340	601	1757	1824
Chip Size[μ m \times μ m]	4790 \times 4780	5710 \times 5590	6720 \times 6770	6720 \times 6770
I/O Pins	45	51	35	34
Clock frequency(MHz)	16	16	8	8
Supply Voltage(Vdc)	+5	+5	+5	+5
Power Consumption(mW)	15.5	30.5	79.3	83.5

표 2. 성능평가
Fig. 2. Performance Evaluation.

	MUX		DMX		ITX		OTX	
	TTL	Gate Array	TTL	Gate Array	TTL	Gate Array	TTL	Gate Array
Power Consumption[mW]	7600	640	9400	1800	17270	2470	14700	4000
Normalized Space	1	1/8	1	1/4	1	3/4	1	3/4
Normalized Cost	1	0.82	1	0.79	1	0.9	1	0.9
# of PCBs (Note3)	8	8	8	8	8	Note1*	8	Note2*
# of ICs	56	56	56	56	56	Note1*	-	-
	70	3	74	8	67	39	60	32

Note 1 : MUX is packaged together with ITX.
 Note 2 : DMX is packaged together with OTX.
 Note 3 : SN and DLC are assumed to have capacity of 10,000 Subscriber lines and 1920 trunk lines.

72.8% 그리고 72.8% 줄일 수 있으며, 또한 구성시 요구되는 PCB 면적도 각각 87.5%, 75%, 25% 그리고 25%를 감소시킬 수 있었다. SN 및 DLC 구성시 요구되는 총 PCB 수량은 상용 TTL ICs와 CMOS gate array ICs에 의해 구성된 경우 각각 200매와 128매가 소요된다. 위에서 서술된 것 외에도 CMOS gate array ICs로 구성된 SN과 DLC의 back pannel board의 면적 또한 줄일 수 있으며, 수동소자(예, bypass-capacitors 등)의 수량도 감소할 수 있으며 T-Switch의 PCB를 4층(layer)에서 2층으로 사용할 수 있다는 잇점도 얻을 수 있었다.

표 3은 MUX, DMX, ITX 그리고 OTX를 CMOS gate array ICs로 구성할 때와 상용 TTL ICs로 구성시 각각 89%, 87%, 13%, 15%의 신뢰도를 향상시킬 수 있음을 보여준다. 표 3에서 보여준 신뢰도 예측을 위한 관계식¹⁾은 다음과 같다.

$$T_r = X_q \cdot (C_1 \cdot X_t \cdot X_v + (C_2 + C_3) \cdot X_e) \cdot X_1$$

여기서

T_p = device의 고장률(고장횟수/10**6 시간)

X_q = 품질계수(quality factor)

X_t = 개발 기술에 따른 온도가속 계수(temperature acceleration factor)

X_v = 전압 감소 스트레스 계수(voltage derating stress Factor)

X_e = 적용환경 계수(application environment factor)

C_1, C_2 = 게이트 수에 따른 circuit complex failure rates

C_3 = 패키지의 복잡성에 따른 고장률

X_1 = device learning 계수를

나타낸다.

CMOS gate array ICs의 신뢰도 평가를 위해 위 수식에서 각 파라미터들의 값들은 다음과 같다. 계수 X_q 는 (B-1) 품질, 온도 가속 계수 X_t 를 위한 최악의 접합 온도를 40℃로, 전압 감소 스트레스 계수 X_v 를 위한 드레인(drain) 전압을 5(V), 적용환경 계수 X_e 는

Gf, C1 및 C2, 그리고 C3를 결정하기 위한 게이트와 핀의 수는 각각 표 1에 나타낸 값이며, learning factor X_1 은 시제품으로 하였다.

위의 표 3에서 나타난 신뢰도 뿐만아니라, CMOS gate array ICs에 의한 PCB의 구성은 layer와 pattern의 감소, 시스템 차원에서 전체 요구되는 PCB 수를 감소 시킴으로서 신뢰도를 더욱 향상시킬 수 있었다.

또한 설계제작된 CMOS gate array IC 칩(chip)의 기능 및 시간여유(timing margin)를 시험하기 위해서 별도의 PCB를 구성 제작하여 기존의 TTL ICs로 구성된 PCB와 비교 측정하였으며, 현장 시험을 위해서 CMOS gate array ICs로 구성된 MUX, DMX, ITX 그리고 OTX를 SN 및 DLC에 실장 장시간 운용한 결과 정상동작 하였고 시간여유는 우수한 특성을 나타내었다. 표 4는 MUX의 시간여유를 상용 TTL ICs로 구성시와 비교한 값을 나타내었다. 부품 인증 시험으로 개발 제작된 CMOS gate array ICs를 샘플링하여 저장 시험(150℃, 1,000시간), 외형(dimension), 동작시간 시험(125℃, 1,000시간), 습기 및 열 시험(40℃, 85%, 1,000시간), 납땜성(230℃, 2초), 인장시험(10초), 그리고 온도 변화시험(-55℃~150℃) 등의 시험을 통해 양호한 결과를 얻었다.

V. 결 론

한국형 전전자 교환기 TDX-1 시스템에서 통화로계 중 스위칭 네트워크(SN)과 디지털 집선장치(DLC)의 개관을 소개했으며, SN과 DLC중에서 MUX, DMX, ITX 그리고 OTX의 기능 구성을 위한 CMOS gate array ICs의 개발적용에 대해서 서술하였다. CMOS gate array ICs의 적용은 전력소모, 경제성, 크기, 신뢰도 그리고 시간여유 등의 측면에서 상용 TTL ICs로 구성했을 때와 비교하면 전체 시스템 성능을 향상시킬 수 있으며, 훨씬 경제적임을 알 수 있었다.

또한 본 논문에서 소개한 gate array IC 외에도

표 3. 고장률의 비교
Table 3. Comparison of Failure Rate.

	MUX		DMX		ITX		OTX	
	TTL	Gate Array	TTL	Gate Array	TTL	Gate Array	TTL	Gate Array
Integrated Circuits	52.84	5.14	56.74	7.27	48.47	40.31	41.34	33.61
Capacitors	0.34	0.189	0.75	0.30	1.65	0.97	1.53	0.82
Resisters	0.61	0.33	0.52	0.06	0.39	2.70	0.38	2.39
Total	53.79	5.66	58.01	7.63	50.51	43.98	43.25	36.82

표 4. MUX의 시간여유 비교

Table 4. Comparison of MUX Timing Margin.

	TTL	Gate Array
Latch to Frame Clock	40ns	10ns
Shift to Frame Clock	30ns	14ns
Width of Output Data	140ns	100ns
Margin to ITX	38ns	40ns

standard cell이나 full custom IC에 의한 실현이 가능하나, 개발기간, 소요비용 등의 측면이 고려되어야 하며, 현재 MUX, DMX 2종에 대한 full custom ICs는 개발완료 단계이다.

따라서 본 논문에서의 비교결과 및 시험방법은 대용량 교환기 및 TDX-1의 다른 기능 모듈, 그리고 여러 통신장치를 위한 주문형 IC개발에 유용한 참고 자료가 될 것이다.

參 考 文 獻

- [1] Henry C.B., et al., "Gate array and standard cell approach," *Advances in CAD for VLSI*, vol.6, *Elsevier Science Pub.*, pp.43-82, 1986.
- [2] C.F. Fey, D. Paraskevopoulos, "Studies in LSI technology economics II: a comparison of product costs using MSI, gate arrays, standard cell, and full custom VLSI," *IEEE J. Solidstate Circuits*, vol. sc21, no. 2, Apr. 1986.
- [3] R.L. Pritchard, "Cost and availability of Gate Array and Standard Cells," *VLSI Design*, vol.5, pp.51-58, May 1984.
- [4] W. Yu, H.G. Back, S.Y. Kang, H. Lee, "TDX I digital switching system," *ISS '84 Florence*, pp.1-7, May 1984.
- [5] H.G. Back, "A Study on the Digital Trunk Interface Module of TDX-1 Digital Switching System" Ph.D. Dissertation, Korea Univ., July 1985.
- [6] 한국전자통신연구소, "TDX-1 System & RSS HW Design Engineering," TDX-1 기술전수 교재 제30권, Apr. 1986.
- [7] MIL-HDBK-217D.