

400Kb/s급 디지털 加入者 傳送시스템에 適합한 適應型 線路 等化器의 구현

(Implementation of the Adaptive Line Equalizer for a Digital
Subscriber Loop Transmission System Operating at 400Kb/s)

廉 興 烈*, 金 在 根*, 曹 圭 燮*

(Heung Youl Youm, Jae Guen Kim and Kyu Seob Cho)

要 約

等化 기술은 傳送시스템의 필수 소요기술로서 본 論文에서는 다가오는 ISDN(integrated services digital network) 加入者 망의 構成에 대비하는 高速 디지털 加入者 傳送 裝置의 線路 인터페이스 기능 실현에 適用될 수 있는 適應型 線路 等化 기술이 分析, 開發되었다.

본 等化器는 400Kb/s 傳送速度에서 最大 3.2km(0.4mm ϕ)까지 동작될 수 있도록 開發된 것으로서 200 KHz에서 最大 42dB까지의 線路 傳送損失을 適應報償하고, 디지털 技法에 의한 단순 AGC(automatic gain control) 알고리즘을 이용했으며, 傳送路상에서 발생하는 각종 잡음의 영향을 最少화할 수 있도록 構成된 特徵을 갖는다.

본 論文에서는 適應型 等化器의 設計概念, 回路의 構成 및 設計, 그리고 開發된 等化器의 傳送시스템 상에서의 각종 實驗結果등을 중심으로 기술하였다.

Abstracts

The introduction of a digital subscriber loop transmission system necessitates an optimized line interface solution. To meet this objective an adaptive line equalizer has been developed. The equalizer can be compensated up to 42 dB line loss at 200 KHz, and operated up to 3.2 Km transmission length (0.4mm ϕ cable) at a rate of 400 Kb/s.

This has been built using a variable \sqrt{f} equalizer to compensate a frequency-attenuation characteristics of metallic cable, an AGC (automatic gain control) circuits with simple control algorithm, and various filters to minimize a transmission constraints over subscriber loop.

The purpose of this paper is to present a short description of a design of the adaptive line equalizer with a summary of implementation results. Some design concepts and considerations which resulted in an implementation of the equalizer are also given.

I. 序 論

기존 금속성 加入者 線路상에 高速 디지털 신호의 傳送을 실현하기 위한 가장 중요한 기술적 목표는 용

통성있고, 안정된 동작특성을 갖는 線路 인터페이스 기능의 구현이다. 이는 音聲帶域에 적합하도록 構成된 기존 加入者 線路의 주파수에 따른 損失특성을 報償함은 물론 기존의 다양한 線路길이 분포 및 線路 傳送 환경에 의한 영향을 가능한한 最少화시킬 수 있도록 構成되어야 하며 이를 위해서는 適應型 線路 等化 기술의 適用이 필요하다.

*正會員, 韓國電子通信研究所

(Electronics & Telecommunications Research Institute)

接受日字: 1986年 9月 30日

等化器는 보통 振幅 및 位相 報償用으로 사용되며,

그 특성에 따라 固定 等化器와 可變等化器가 있다. 여기서 可變等化器는 1938년에 Bode에 의해 제안¹¹⁾된 이래 기존 통신 시스템에서 널리 활용되어 오고 있다. 이들의 대부분은 수동형태로서 부가가 크고 고가인 인덕터를 필요로 하고, 또한 제어소자와 等化量사이에 큰 非線型 특성이 존재하며, 電子的 제어소자와의 심각한 非互換性을 갖는 단점이 있다. 이와 같은 단점을 보완하는 能動型 等化器로서 인덕터를 제거한 많은 형태의 等化器가 제안되어 실제로 일부 PCM 線路 인터페이스 회로에 適用¹²⁾되고 있지만 이들은 모두 等化에러가 크고 等化의 可變領域이 한정되는 단점을 갖는다.

최근 디지털 加入者 傳送시스템의 필요성이 증대되면서 이와 같은 단점들을 해결하여 기존의 加入者 線路 適用에 적합한 새로운 能動型 可變等化器가 開發되고 있다. 그 대표적인 것으로는 1MHz에서 最大 9dB의 線路損失을 適應報償⁵⁾하거나, 100KHz에서 最大 52dB의 線路損失을 適應報償⁶⁾할 수 있는 等化器의 breadboard상의 實驗結果가 발표되고 있다.

본 論文에서는 국내의 기존 加入者 線路上에 高速 디지털 傳送을 실현하는데 있어 가장 핵심이 되는 能動型 線路 等化器의 구현 및 이와 관련한 제반사항을 고찰한다. 즉 等化量의 특성과 직접 관련되는 기존 加入者 線路的 傳送환경과 可變等化 理論을 調査, 分析하고, 이를 바탕으로 裝置에 적합한 等化器의 設計 및 그 實驗結果를 提示한다.

II. 設計 基本 事項

1. 기존 加入者 線路的 傳送環境 分析

1) 線路 減衰特性

기존 加入者 線路는 주로 0.4mmφ, 0.5mmφ, 0.65mmφ 紙 絶緣 線路로 설치되어 있다. 이들의 주파수 特性은⁹⁾

$$L(f) = a + b\sqrt{f} + cf \text{ (dB/km)} \quad (1)$$

L: 損失, f: 주파수(Hz)

a, b, c: 常數 (f < 100MHz에서 c項은 무시)

로서 저주파수 부분에서는 일정한 損失을, 주파수 增加에 따라 \sqrt{f} 에 비례하여 損失이 增加된다. 여기서 常數 a, b, c의 값은 주위의 온도와 습도에 따라 다소 영향을 받지만 주로 線路的 心線徑 및 傳送거리에 의해 지배되며, 이의 대표적인 特性은 그림 1과 같다.

따라서 이러한 特性변화에 融通성있게 대처할 수 있는 線路等化기능이 요구된다.

2) 線路 傳送 環境

기존 加入者 線路는 수십에서 수천쌍(pair)까지의 다발형태로 포설되어 이의 디지털화와 함께 디지털 및

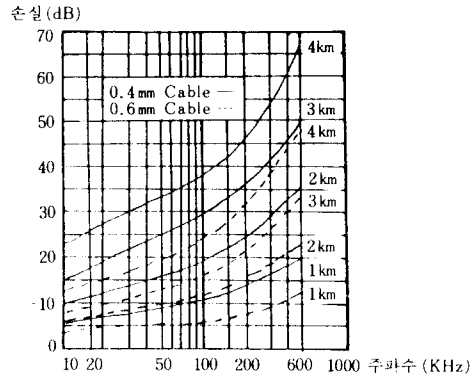


그림 1. 기존加入者線路的 주파수-減衰特性
Fig. 1. Frequency-Attenuation Characteristics of a Metallic Cable Copied from Reference¹⁰⁾.

아날로그 신호 형태가 共存하게 될 것이 예상된다. 이러한 傳送環境은 아날로그 線路上에 고유한 각종 잡음으로 인해 디지털 회선의 品質 저하의 원인이 되며, 따라서 이들의 영향을 최소화 시킬 수 있는 等化시스템의 構成이 요구된다.

또한 加入者 線路는 대부분 수km까지 다양한 길이 분포를 갖기 때문에 이들을 融通성있게 수용할 수 있는 等化기능이 요구된다.

2. 可變 等化理論의 分析

H. W. Bode에 의해 처음으로 제안된 可變 等化理論은 기존의 固定 等化特性에 더하여 길이, 온도, 습도의 변화에 따른 傳送 特性 변화량을 추가로 報償하려는 데서 출발되었다. 즉 이상적인 等化利得, θ 는

$$\theta = F_1(w) + F_2(w) F_3(R) \quad (2)$$

$F_1(w)$: 固定 等化特性

$F_2(w)$: 可變 等化特性

$F_3(R)$: 可變 제어요소(可變 저항, R의 함수)

로서 特性화시킬 수 있으며, 여기서 θ 는 회로 構成이 용이하도록 (3)식과 같은 근사시킬 수 있다.¹¹⁾

$$H(s) = \frac{1 + xF(s)}{x + F(s)}, \quad 0 < x < \infty \quad (3)$$

$F(s)$: 等化器의 最大等化特性

$H(s)$: 等化特性

이는 2개의 特性회로 또는 2개의 제어요소를 필요로 하기 때문에 $x = (1 + \rho)/(1 - \rho)$ 로 놓음으로서 (4)식이 얻어진다.¹²⁾

$$H(s) = \frac{1 - \rho G(s)}{1 + \rho G(s)}, \quad -1 < \rho < 1 \quad (4)$$

$$G(s) = \frac{1 - F(s)}{1 + F(s)}$$

이 또한 $F(s)$ 로 부터 $G(s)$ 를 얻기가 어려운 단점이 있다.

따라서 (4)식으로 부터 $\rho=2a-1$ 로 놓으므로서 (5)식 및 그림 2와 같은 구성이 얻어진다.

$$H(s) = -\frac{1+aK(s)}{1+(1-a)K(s)}, \quad 0 < a < 1 \quad (5)$$

$K(s) = F(s) - 1$: 정형회로망함수

이 형태는 하나의 순방향 회로 및 케환 회로만을 이용하여 構成될 수 있으며, $K(s)$ 가 $F(s)$ 로 부터 쉽게 구현될 수 있다.

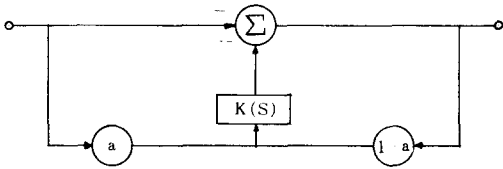


그림 2. 可變 等化器의 블럭도
Fig. 2. Block Diagram of a Variable Equalizer.

3. 設計 規格 및 目標

본 等化器는 표 1과 같은 規格 및 다음과 같은 점에 중점을 두고 設計되었다.

- \sqrt{f} 特性을 갖는 정형회로망 함수의 소자값 계산을 위한 最適化 알고리즘의 응용 및 적용
- 성능이 우수한 것으로 立證되고 있는 step 방식의 適應型 구현
- 等化 근사 特性은 理論値와 設計値사이에서 0.2dB 이내의 오차 허용
- 안정된 適應 제어기능을 위한 디지털 제어기법의 이용 및 단순 AGC 알고리즘의 설정, 적용
- 기존 線路環境에 의한 임펄스성 잡음 및 고주파 잡음의 영향을 최소화할 수 있는 等化시스템의 構成

표 1. 等化器의 設計 規格
Table 1. Design Specifications of the Equalizer.

구분	규격	
선로 전송속도	400Kbps	
손실 보상특성	200KHz에서 0~42dB	
등화 출력	2 Vop	
가입자 수용반경	반경 3.2km (0.4mmφ 기준)	
선로 전송 부호	B8ZS code (duty cycle : 50%)	
필터	전치	Low Pass Filter (LPF) : $F_c = 520$ KHz
	roll-off	LPF (4차 Butterworth), $F_c = 167$ KHz
	\sqrt{f}	\sqrt{f} 보상 (0~200KHz)

III. 等化器의 設計

1. 等化시스템의 構成

본 線路 等化시스템은 前述된 바와 같이 線路 心線徑 및 傳送거리의 다양성, 각종 잡음에 의한 영향등을 고려하여 \sqrt{f} step 필터, flat 이득 step 增幅器, 適應제어회로, 그리고 低帶域通過 필터 (LPF)로 構成한다.

LPF는 수신신호에 첨가된 고주파 잡음 성분을 제거토록 하고, Roll-off 필터는 수신신호의 신호대 잡음비 (SNR)의 개선과 신호간 간섭을 最少化하도록 이용된다. 또한 \sqrt{f} step 필터 및 2개의 이득 增幅器는 AGC의 제어를 받아 傳送 損失을 step 단위로 報償토록 하며, peak檢出器는 수신신호 레벨을 판단하기 위해서 이용된다.

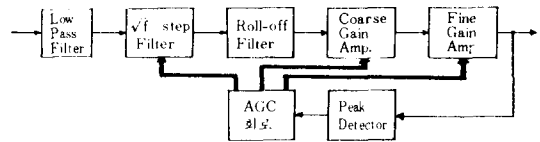


그림 3. 等化시스템의 블럭도
Fig. 3. Block Diagram of the Equalizing System.

2. \sqrt{f} step 等化回路

(1)식의 $L(f)$ 중 $b\sqrt{f}$ 項과 관련된 損失을 報償하기 위한 필터로서 본 論文中에서는 等化特性 실현이 용이한 (5)식과 같은 형태의 等化器로 構成하였으며, 이때 정형회로망 함수 및 等化器의 構成도는 그림 4 및 그림 5와 같은 형태로 실현하였다.

한편 (5)식의 $F(s)$ 는 RC直列회로 5개를 병렬로 構成하였으며, 이의 소자值 計算은 0~200KHz 범위에서 理論値에 대한 設計値가 0.2dB 이내의 오차만을 갖도록 最適 알고리즘¹⁾을 응용한 프로그램을 작성, 計算하였다. 여기서 적용된 理論상의 等化特性은 (6)식과 같이 설정하였으며, 이때 最大 等化特性, $F(s)$ 는 $a=1$ 일 때의 $L'(f)$ 特性으로서 200KHz에서 最大 42dB의 等化量을 갖도록 設計하였다.

$$L'(f) = (2a-1) (0.05367\sqrt{f}) \quad (6)$$

加入者 線路 傳送에 따른 주파수 減衰特性 변화는 a 값의 설정에 따라 報償되도록 하며, 設計된 대표적인 \sqrt{f} step 等化特性은 그림 6과 같다.

이와 같은 特性을 바탕으로 하여 그림 4 및 그림 5로부터 실제로 構成된 \sqrt{f} step 等化회로는 그림 7과 같다. 여기서 (6)식의 a 값에 따른 step 等化特性은 AGC의 제어를 받는 아날로그 스위치에 의해서 표 2에 설정된 바와 같이 9step으로 제어되도록 構成된다.

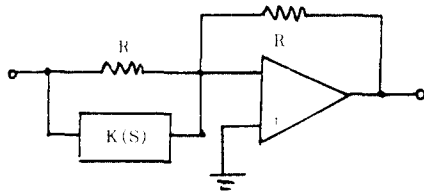


그림 4. 정형화로망
Fig. 4. A Shaping Function.

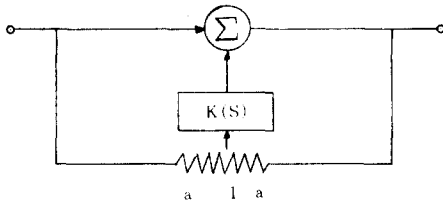


그림 5. 可變等化器
Fig. 5. A Variable Equalizer.

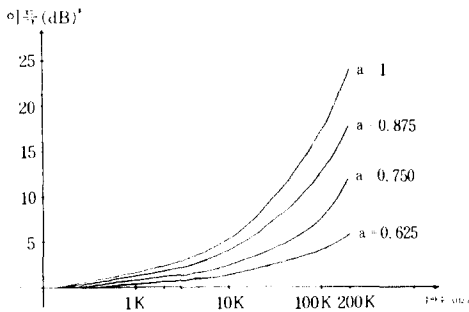


그림 6. \sqrt{f} step 等化特性
Fig. 6. Frequency-Gain Characteristics of the \sqrt{f} Step Equalizer.

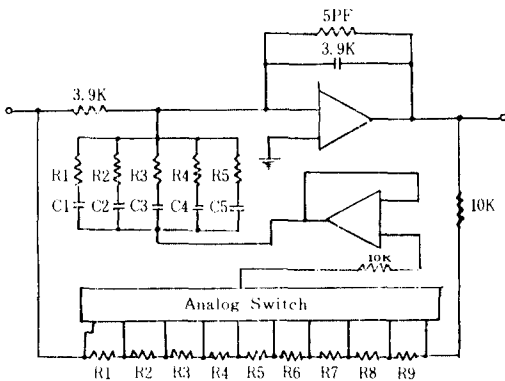


그림 7. \sqrt{f} Step 等化 회로
Fig. 7. The \sqrt{f} Step Equalizer.

표 2. Step별 이득분배
Table 2. Gain Distribution According to Steps.

Step	\sqrt{f} step		coarse step 이득 (전 대역)	총 이득 (200KHz)
	a	이득 (200KHz)		
1	0.5	0 dB	3 dB	3 dB
2	0.5	0	0	0
3	0.5625	3	0	3
4	0.5625	3	3	6
5	0.6250	6	3	9
6	0.6250	6	6	12
7	0.6875	9	6	15
8	0.6875	9	9	18
9	0.7500	12	9	21
10	0.8125	15	9	24
11	0.8125	15	12	27
12	0.8750	18	12	30
13	0.8750	18	15	33
14	0.9375	21	15	36
15	1	24	15	39
16	1	24	18	42

3. Roll-off 필터

Nyquist 제 1 조건을 만족하는 full-cosine roll-off 전 달함수, $A(\omega)$ 특성을 갖도록 구성하였다.

$$A(\omega) = \frac{1}{2} \left(1 + \cos \frac{\pi\omega}{2\omega_1} \right) = \frac{1}{2} \left[2 - \frac{1}{2!} \left(\frac{\pi\omega}{2\omega_1} \right)^2 + \frac{1}{4!} \left(\frac{\pi\omega}{2\omega_1} \right)^4 - \frac{1}{6!} \left(\frac{\pi\omega}{2\omega_1} \right)^6 + \dots \right] \quad (7)$$

ω_1 : Nyquist 주파수

(7)식에서 $A(\omega)$ 의 오차를 1dB 정도 허용한다면 4 번째 항이하는 생략할 수 있으며, 이는 4 차 이상의 roll-off 필터에 의해서 만족된다. 따라서 본 等化器는 그림 8 과 같이 차단주파수가 167KHz인 4 차 Butterworth 型 低帶域 通過 필터로 구성하였다.

4. 利得 增幅 회로

(1)식의 a項을 報償하기 위한 회로로서 傳送 거리에 따른 지수와 減衰量을 全 傳送帶域에 걸쳐 flat 利得으로 報償한다. 본 等化器에서는 그림 9 와 같이 multiplier 회로와 AGC 제어를 받는 아날로그 스위치를 이용하여 실현하였다.

이는 coarse 利得 제어를 위한 coarse 利得 增幅器와 coarse 利得을 다시 고정도로 報償하기 위한 fine 利得 增幅器로 구성된다. Coarse 利得 增幅器는 3dB 단위의 8step 으로서 -3~18dB 까지 報償하도록 하며, \sqrt{f} step 필터와 연동되어 16개의 각 step 당 200

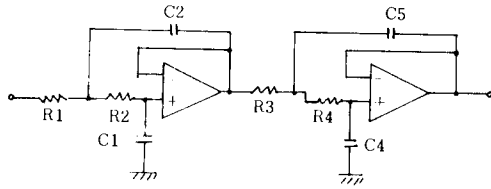


그림 8. Roll-off 필터
Fig. 8. The Roll-off filter.

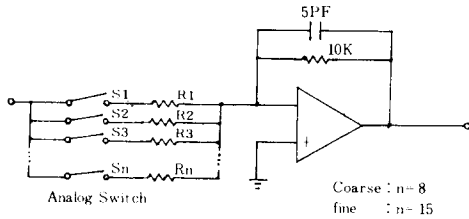


그림 9. 利得增幅回路
Fig. 9. The Gain Amplifier.

KHz에서 3dB의 조합된 報償을 수행, -3~42dB에 걸쳐 報償토록 構成하였다. 또한 fine 利得增幅器는 0.2 dB 단위의 15step으로 설정하여 3dB의 coarse step 利得를 報償토록 構成하였다.

5. AGC 回路

前述된 \sqrt{f} step 및 利得 增幅回路를 適應 제어하기 위한 회로로서 그림10과 같이 디지털 기법에 의한 단 순제어가 이루어지도록 構成하였다.

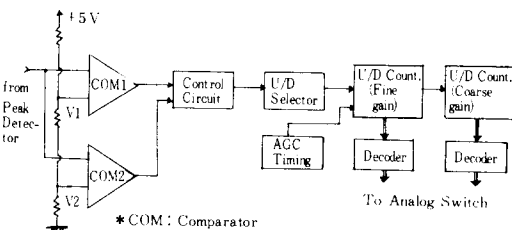


그림10. AGC(automatic gain control)回路
Fig. 10. The AGC Circuit.

그림 3에서 線路 等化 출력단 peak신호의 평균값은 傳送路에서 발생하는 신호의 減衰量을 나타내며, 이 신호는 peak detector 출력단을 통해 AGC 회로에 입력 된다.

設計된 AGC 회로의 적정 등화레벨로의 추적 알고리즘을 보면 다음과 같다. 먼저 peak detector 출력

과 설정된 적정 等化 레벨($V_1 \sim V_2$)을 비교하여 V_1 보다 높을 경우에 down count, V_2 보다 낮을 경우에는 up count토록한다. Count된 값은 수신 신호에 포함된 순간적인 임펄스성 잡음의 영향을 줄이고, 等化器의 안정된 동작이 보장되도록 128을 초과할 경우에만 fine 利得 step을 제어하도록 이용되고, fine 利得 step 조정이 15번을 초과할 때마다 coarse 利得 step 및 \sqrt{f} 等化 step이 제어되도록 한다. 이때 제어를 위한 decoder의 構成은 메모리 소자를 이용하였으며, 동작초기치는 等化 最大值(이는 0.4mm ϕ , 3.2km의 傳送거리에 해당됨)로 set되도록 하고, 上記 알고리즘에 따라 적정 수신레벨로 수렴해 나가도록 설정된다.

한편 이러한 추적 알고리즘에 따른 等化器의 理論上의 수렴시간은 수신된 'high'상태 데이터의 수에 의존하며, 여기서는 B8ZS 線路부호의 이용으로 最少한 8 비트중 1비트는 'high' 상태를 갖기 때문에 n번째 coarse step까지의 最大 수렴시간, T_{cn} 은

$$T_{cn} = \frac{2^3 \times 128 \times 15 \times (16-n)}{\text{Line rate}} \text{ (초)} \quad (7)$$

로서 最小 $T_{c16}=0$, 最大 $T_{c1}=575\text{ms}$ 이다(이 값은 等化 초기에 all 'high' 상태의 training pulse를 이용하면 1/8로 감소됨).

6. 等化 特性곡선

等化시스템의 각 構成회로들이 AGC 제어에 따라 최종 等化量에 기여한 特性을 종합하면 표2와 같으며, 이의 等化特性곡선은 그림11과 같다. 그림11에는 fine 利得 step이 표시되지 않았으며, 따라서 전체 等化출력에서는 16x15step의 特性곡선이 형성된다. 이들 중 수신 신호의 평균 레벨에 따라 임의의 하나가 AGC 회로에 의해 선택되어 수신신호가 等化된다.

한편 roll-off 필터는 200KHz 근처에서 roll-off 효과를 준다.

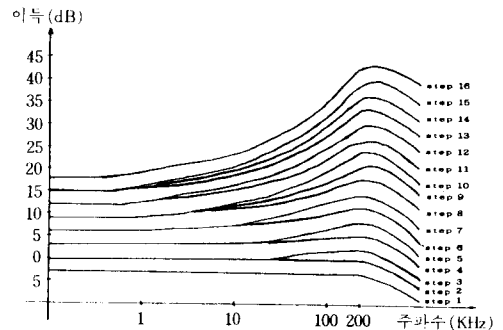


그림11. 線路 等化特性
Fig. 11. Frequency-Gain Characteristics of the Equalizer System.

IV. 實驗結果 考察

본 特化器의 特性은 기준에 포설된 加入者線과 동일하고, 다양한 길이의 0.4mmφ 線路를 이용하여 實驗室내에서 측정되었다.

측정된 等化에러 特性은 그림13과 같으며, 等化特性을 가장 잘 나타내주는 eye 패턴은 그림14와 같다. 여기서 送信단 출력은 3V_{OP}를 이용하였다.

여기서 측정된 等化에러는 理論値에 대해 0.2dB 이내의 規格으로 設計되었으나, 측정결과 最大 0.3dB까지 오차가 발생되었으며, 이는 사용된 회로소자의 오차 및 측정상의 에러에 기인된 것으로 관찰되었다. 또한 3km의 傳送거리에서 2¹⁵pseudo random 데이터에 의해 24시간 동안 측정된 BER은 '0'였으며, 인위적인 정현파(200KHz)잡음 상태하에서 측정된 SNR에 따른 BER特性은 15dB에서 10⁻⁷, 15.7dB에서 10⁻⁸ 정도로 측정되었다.

V. 結 論

다가오는 ISDN 加入者망의 構成에 대비하여, 고속 디지털 加入者 傳送裝置의 線路인터페이스 기능 실현에 적용될 適應型 線路 等化器의 設計 및 傳送시스템 상에서의 여러 實驗結果를 提示하였다.

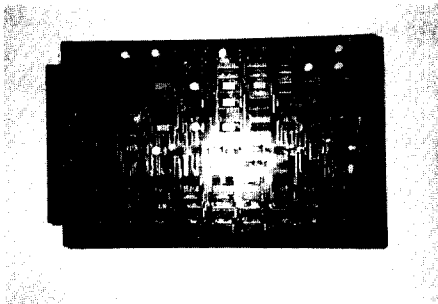


그림12. PCB 상에 실현된 等化回路
Fig. 12. Equalizer Circuits on PCB.

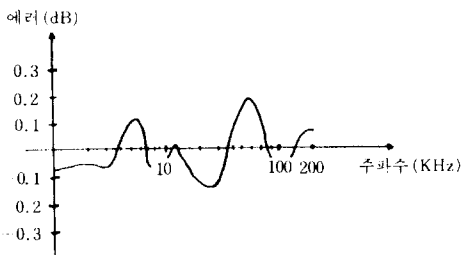
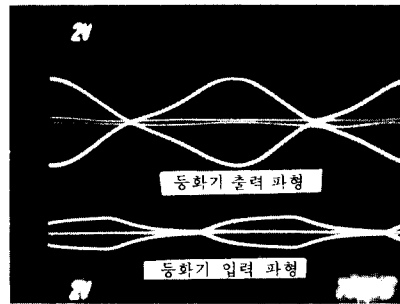
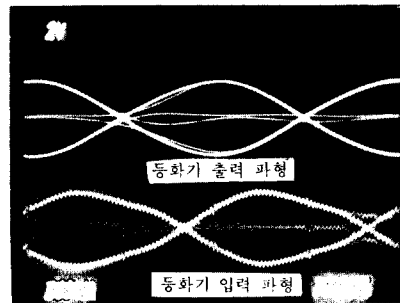


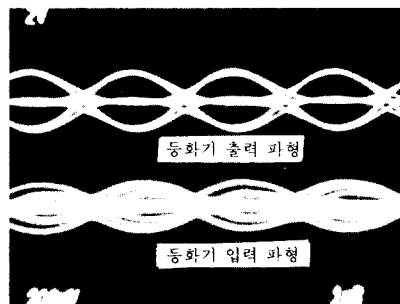
그림13. 等化에러特性
Fig. 13. Error Characteristics of Equalizer.



(a) Transmission Length : 500m



(b) Transmission Length : 1500m



(c) Transmission Length : 2500m

그림14. 개발된 等化시스템의 Eye Pattern (0.4mmφ)
Fig. 14. Eye Pattern of the Equalizer System (0.4mmφ).

實驗結果 0~3.2km 범위의 다양한 加入者 線路傳送到 적용가능하고, 그 等化오차는 設計目標値에 근사한 結果를 얻었으며, 또한 좋은 eye opening 特性을 얻었다.

본 論文에서 提示된 適應型 線路等化器는 도래하는 ISDN 加入者망에 적합하도록 構成된 국내 初유의 개발이라는 점에 의의가 있으며, 여기서 얻어진 適應等化알고리즘 및 設計技法등은 각종 디지털 加入者 傳送裝置에 그대로 응용될 수 있을 것이다.

앞으로 본 等化器는 기존 加入者 傳送路상의 실제 잡음 環境하에서의 SNR 특성 확인 시험이 남아 있으며, 현재 ETRI에서 개발되고 있는 ISDN용 加入者 傳送裝置(IMUX)^[14]에 적용되어 시험운용되고 있다.

參 考 文 獻

- [1] H.W. Bode, "Variable equalizer," *BSTJ* 17, pp. 229-244, Apr. 1938.
- [2] R.R. Cordel, "A new family of active variable equalizers," *ICC '79*, pp. 14.2. 1-5, 1979.
- [3] R.R. Cordel, "A new family of active variable equalizers," *IEEE Tr. on Commu.* pp. 316-320, May 1982.
- [4] Y. Takasaki, "Simple inductorless automatic line equalizer for PCM transmission using new variable transfer function," *IEEE Tr. on Commun.*, vol. COM-26, no. 5, pp. 675-678, May 1978.
- [5] M. Zyoute, "New active RC Bode-type variable equalizer," *IEE Proc.* vol. 128 Pt. T, no. 3, pp. 134-137, June 1980.
- [6] Takafumi Chujo, Norio Ueno, Arihiko Takada, Youji Hino, and Misao Fukuda, "A line termination circuit for burst-mode digital subscriber loop transmission," *Globecom '84*, pp. 21-25, 1984.
- [7] Hiroshi Takatori, Toshiro Sueuki, Makoto Ogawa, and Fumiaki Fukii, "Low-power line equalizer for digital subscriber loop," *Globecom '84*, pp. 26-31, 1984.
- [8] Masayuki Ishikawa and Norio Tarmaki, "CMOS LSIs for 200Kb/s/ping-pong transmission system," *R. ECL.* vol. 33, no. 2, 1985.
- [9] Frank F.E. Owen, PCM and Digital Transmission System, *Mcgraw-Hill*, pp. 182-183, 1982.
- [10] J. Meyer and T. Roste, "A digital subscriber set," *IEEE Tr. on Commu.*, vol. COM-27, no. 7, pp. 1096-1103, Jul. 1979.
- [11] T. Suzuki, H. Takatori, H. Shirasu, M. Ogawa, and N. Kunimi, "A CMOS switched-capacitor variable line equalizer," *IEEE J. of Solid-State Circuits*, vol. SC-18, no. 6, pp. 700-706, Dec. 1983.
- [12] J.W. Bandler, "Optimization methods for computer-aided design," *IEEE MTT-17*, pp. 533-551, Aug. 1969.
- [13] Franc Brglez, "Minimally active RC variable equalizers," *IEEE Trans. Circuits Syst.*, vol. CAS-22, pp. 415-418, May 1975.
- [14] 이종현, 임홍렬, 김재근, 조규섭, "소규모 ISDN 가입자 집선장치(IMUX)의 실현," 전자공학회 추계 학술대회 논문집, Nov. 1985.