

電子回路 設計를 위한 個人用 CAE시스템 (EDAS_P)

朴仁學

〈要 約〉

IBM PC에 graphics 기술을 도입하여 개인용 전자 자동설계 시스템인 EDAS_P를 개발하였다. EDAS_P는 전자회로도의 입력으로부터 연결상태 추출, 모의시험 및 검증에 이르는 일련의 과정이 자동화된 시스템이다. 본고에서는 EDAS_P를 이루는 각 tool의 기능 및 전체적 구성을 소개하였다.

I. 서 론

1970년도 말부터 본격적으로 등장하기 시작한 CAD 시스템은 단지 계산기를 이용하여 수행하던 일을 컴퓨터가 수행하도록 한다든가 단조롭고 지루한 수작업을 컴퓨터에 일임하여 설계에 도움을 주는 시스템들이었다. 그러나, 시간이 흐름에 따라 시스템의 기능이 기하급수적으로

향상되어 컴퓨터가 설계는 물론 검증, 문서정리, 제작 등의 모든 영역에 관여하게 되어 컴퓨터에 의한 engineering 이라는 의미의 CAE 시스템이란 새로운 용어가 발생하였으며, 이러한 추세는 앞으로도 계속될 전망이다.

전자분야나 반도체분야에 관련된 CAE 시스템도 여러가지 형태로 상품이 나와 있으나 그 중 회로를 설계하고 검증하는 과정은 전자회로 설계의 기본이므로 어느 시스템이나 그러한 기능을 갖고 있다. 시스템의 기능을 정의하고, 회로의 동작을 구상하여 전자회로도도를 설계, 검증, 제작하는 일은 전자업에 종사하는 엔지니어에게는 일상의 작업임에도 국내에서는 펜과 종이에 의한 수작업, breadboarding에 의한 검증, 엔지니어의 경험에 의한 설계와 분석이 대부분인데 상품화된 CAE 시스템이 많이 있음에도 널리 활용되지 못하는 데는 몇가지 이유가 있으리라 본다.

첫째는 시스템값이 현저하게 비싸고 구입절차가 까다롭다. 둘째는 대부분이 외국제품이므로 보수유지에 어려움이 있다. 셋째로는 소프트웨어를 이용한 설계방식에 경험이 축적되어 있지 않다. 넷째로는 연관산업과 소프트웨어의 설계 결과가 연결되지 않는다.

본 연구소는 이러한 문제점을 해결하는 방안의 하나로 CAE 시스템을 자체기술에 의해 개발하고자 꾸준히 연구해온 결과, 전자회로도의 그림을 컴퓨터에 입력시키는 과정으로부터 연결상태의 추출, 논리회로의 동작 검증, 그리고 문서처리를 행하는 일련의 과정을 자동화한 개인용 CAE 시스템을 개발하였다.

II. 본 론

1. 구성원칙

여러 유명회사의 CAE 시스템을 사용해본 경험 및 분석을 바탕으로 가능한한 가격이 저렴하게 구성이 가능하고, 사용법이 간단하고 편리하면서 최대의 기능을 포함하도록 하였으며 작은 시스템이 큰 회로를 구현할 수 있도록 계층적 설계방식을 도입하였다.

시스템의 전체적인 구성방식은 아래와 같다.

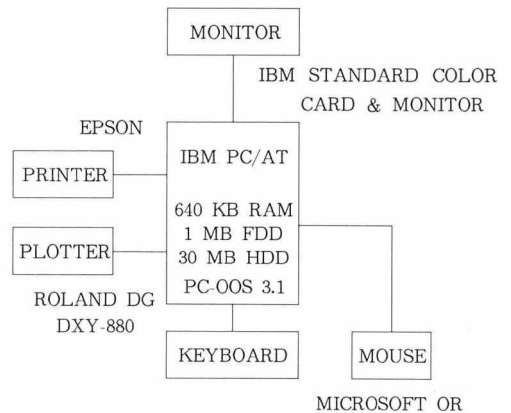
- 전자회로 설계용 CAE 시스템이다.
- 화면전체를 도면으로 사용한다.
- 그림정보의 출력은 화면에 그림으로 나타내며, 입력정보는 mouse와 cursor, keyboard를 이용한다.
- 명령의 입력은 pop-up menu에 영어약자로 나열되어 있어 mouse로 필요한 명령을 선택한다.
- 명령은 대화식으로 수행되며 시각적 효과와 청각적 효과를 모두 이용한다.
- 글자는 pop-up question 이 화면에 나타났을 때 keyboard로 입력한다.
- 명령수행은 경제적인 수행방식을 도입한다.

- 계층적(hierarchical) 설계방식을 도입한다.
- 각 tool들이 사용원리가 가능한한 유사하도록 한다.

2. 하드웨어 구성

본 시스템은 값싸게 구성이 가능하도록 설계되어 있어 모든 tool의 동작이 가능한 최소의 장비로는 IBM PC/XT(or/AT), IBM PC 표준 graphic monitor, 1개의 HDD, 2개의 FDD, mouse, pen plotter 그리고 프린터이다.

이 기기들은 컴퓨터와 연결되어 있어 정보교환이 가능하며 <그림 1>과 같이 구성되어 있다.



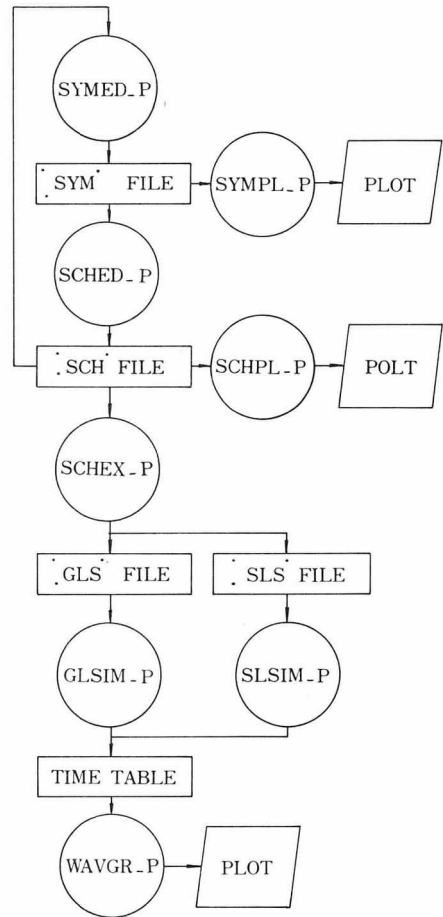
<그림 1> 시스템의 하드웨어 구성도

3. 소프트웨어 구성

계층적 설계방식으로 설계, 검증, 정리 등의 과정을 프로그램으로 현실화 시키려면 5가지의 과정을 거쳐야 한다. Symbol의 정의, 회로도 입력, 연결상태 추출, 시뮬레이션, 결과의 검증이 일련의 과정이다. 각 단계는 개별적으로 프로그램을 개발하여 자동화시켰으며 각 tool의 이름과 기능은 아래와 같다.

- SYMED_P(SYMBOLic EDitor) : Symbol의 모양과 특징을 정의하는 graphic tool
- SYMPL_P(SYMBOLic PLOTter) : SYMED_P에서 만든 symbol을 pen plotter에 그리는 tool.
- SCHED_P(SCHematic EDitor) : 전자회로를 입력시키는 graphic tool.
- SCHPL_P(SCHematic PLOTter) : SCHED_P에서 그린 회로도를 pen plotter에 그리는 tool.
- SCHEX_P(SCHematic EXtractor) : 회로도 자신의 연결상태를 추출한 후 계층을 풀어 flat한 netlist를 추출한 뒤 이로부터 시뮬레이터의 입력 파일을 만드는 tool.
- GLSIM_P(Gate Logic SIMulator) : Gate level logic simulator.
- SLSIM_P(Switch Logic SIMulator) : Switch level logic simulator
- WAVGR_P(WAVEform GRapher) : 논리분석의 결과를 그림으로 나타내는 graphic tool.

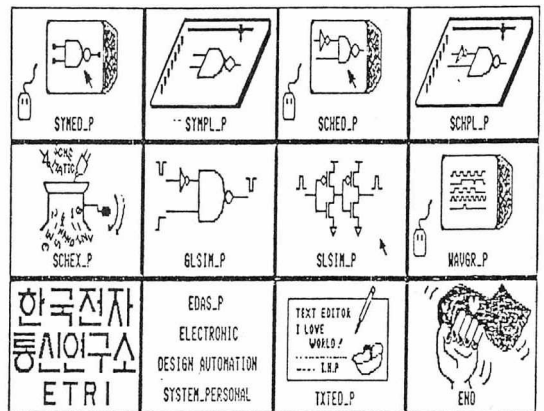
이들의 tool들과 중간에 생성되는 데이터 파일들간의 관계를 나타내면 <그림 2>와 같다. 동그라미는 tool을, 네모는 데이터 파일을 의미하며 네모안의 글자는 해당 파일의 extension을 나타내고 있다. Plot한 결과는 평행사변형으로 표현하였다.



<그림 2> Tool들과 데이터 파일들간의 관계도

4. System Menu

일반적으로 tool을 수행시키려면 execution file의 이름을 입력시켜야 하는데 이 방법은 사용자가 시스템을 미리 이해 해야만 한다. 본 시스템은 이러한 단점을 제거하기 위해 화면에 <그림 3>과 같은 menu를 도입함으로써 수행하기 원하는 tool이 그려진 네모영역안에 cursor를 위치하고, mouse의 button을 눌러 프로그램을 수행하도록 함으로써 사용자와의 친밀감을 유도하였다.



<그림 3> System Menu

5. Symbolic Editor 와 Plotter (SYMED_P와 SYMPL_P)

Symbol의 모양만을 정의하는 tool을 따로이 개발한 것은 계층적 설계방식을 도입하기 위함이다. 전자회로도를 입력시키고 그에 대응하는, 즉 schematic이 갖고 있는 connector의 이름과 갯수가 일대일 대응이 되도록 symbol을 정의하기 위함이다. SYMED_P를 잘 활용하면 사용자가 새로운 기술에 쉽게 확장하고 응용할 수 있으며, 전자회로 설계이외에 document에도 활용이 가능하다.

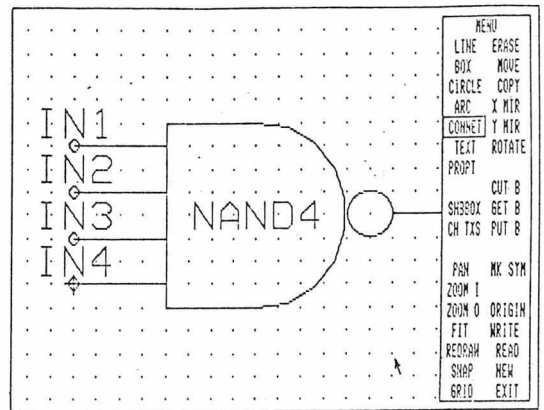
SYMED_P의 기능은 <그림 4>에 나타난 pop-up menu의 명령에 잘 요약되어있다. 기능상 분류하면 크게 4가지가 될 수 있다. 첫째로는 draw 명령으로서 기본 도형인 line, box, circle, arc와 text, connector 등을 입력시키는 기능이다. 둘째는 window 명령으로서 window의 크기나 위치를 변화시키는 명령이고, 세째는 edit 명령으로서 이미 그려진 도형을 erase, move, rotate 등 변형을 가하는 기능이다. 마지막으로 file 명령으로서 도형에 관한 정보를 파일로 만들거나 읽는 기능을 갖는다.

독특한 기능의 명령이 두가지가 있는데 하나는 MKSYM이라는 명령으로 schematic file을 읽어 대응하는 symbol을 자동으로 발생시키는 기능을 갖고 있어 계층설계에 유용하게 활용될 수 있다. 다른 하나는 PROPT라는 이름의 명령으로서 symbol의 종류를 정의하고, netlist 추출시 출력되는 문장의 형식을 정의하는 역할을 한다.

SYMPL_P은 SYMED_P에서 만들어진 symbol을 pen plotter에 그리는 기능을 가지며 그림의 크기를 조절한다는지, 도형의 종류에 따라 선별적으로 plot을 하거나 색의 선택을 자유로이 바꿀 수 있다.

6. Schematic Editor 와 Plotter (SCHPL-P와 SCHPL_P)

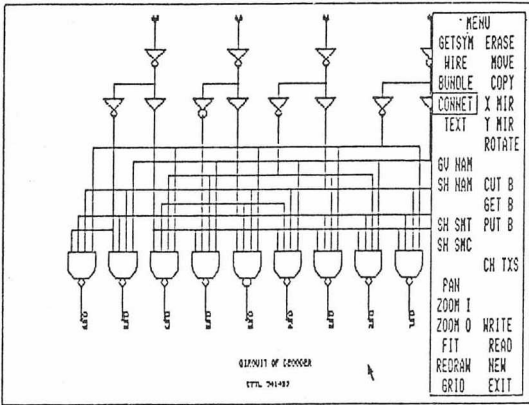
SCHED_P는 symbol과 wire를 이용해 회로도를 그리는 tool로서 <그림 4>에 나타난 pop-up menu에 정리된 명령을 갖는다. 대부분의 명령은 SYMED_P와 동일하나 독특한 명령으로서 첫째는 GETSYM이다. SYMED_P에서 정의한 symbol을 배치하는 기능을 갖는데 symbol은 기본도형의 역할을 하게 된다. 둘째는 WIRE 명령으로서 수직이나 수평선분을 이용해 symbol 간을 연결하는데 입력과 동시에 wire 간의 연결상태가 자동으로 검사되어 고유한 이름이 주어지며 3개이상의 wire가 만난 위치에는 node가 자동으로 발생된다. 세째로는 BUNDLE 명령으로서 서로 연결되지 아니한 wire가 연결된 것 같이 취급되도록 하는 기능을 제공한다. 그 밖에 wire나 symbol에 관한 정보를 나타내는 명령이 몇가지 있다.



<그림 4> SYMED-P의 화면모양

SCHPL_P은 만들어진 회로도를 pen plotter에 그리는 기능을 갖으며 크기 변환이나 도형의 종류에 따른 선별적 plot과 색의 선택을 자유로이 할 수 있다. 회로도가 커서 한장에 못 그리는 경우 자동으로 그림을 여러 장에 나누어 그린다.

BCD to decimal decoder(TTL 74145)의 논리회로도를 그려서 plot 한 것이 <그림 5>에 나타나 있다.



〈그림 5〉 SCHED-P의 화면모양

7. Schematic Extractor(SCHEX_P)

회로도로부터 연결상태를 추출하여 시뮬레이터의 입력형식에 맞는 파일을 만드는 일은 가장 단순하면서도 시간이 많이 걸리고 실수가 일어나기 쉽다. 본 시스템은 이 과정을 세 단계로 나누어 처리함으로써 회로도에서 시뮬레이터의 입력 파일을 자동으로 추출한다.

- 계층의 맨 위로부터 밑까지 사용된 symbol 중 사용자가 정의한 symbol에 해당하는 회로도를 찾아내 그 회로도 자신의 연결상태를 추출하는 역할을 한다. 이단계에서는 계층구조가 풀리지 않고 단지, 회로 자신의 연결상태만을 추출한다.
- 추출된 netlist로부터 계층구조를 풀어 primitive symbol 만으로 표현되는 netlist를 추출하여 계층이 없는 flat 한 연결상태를 제공한다.
- 연결상태를 추출하는 이유는 궁극적으로 시뮬레이터의 입력 파일을 만들기 위함이다. 추출된 netlist로부터 시뮬레이터의 입력 파일을 만드는데 그 문장의 형식은 primitive symbol의 property에 정의된 형식에 맞추어 문장을 조합한다.

〈그림 5〉에 나타난 decoder의 회로도로부터 gate level logic simulator인 GLSIM_P의 입력 파

일을 추출한 결과가 〈그림 6〉에 나타나 있다.

OUT4	NAND	1	1	W59	W56	W19	W50
OUT3	NAND	1	1	W24	W49	W53	W50
OUT2	NAND	1	1	W59	W49	W53	W50
OUT1	NAND	1	1	W24	W56	W53	W50
OUT5	NAND	1	1	W24	W56	W19	W50
OUT0	NAND	1	1	W59	W56	W53	W50
OUT8	NAND	1	1	W59	W56	W53	W13
OUT7	NAND	1	1	W24	W49	W19	W50
OUT6	NAND	1	1	W59	W49	W19	W50
OUT9	NAND	1	1	W24	W56	W53	W13
W13	INV	1	1	W52			
W52	INV	1	1	A3			
W19	INV	1	1	W55			
W55	INV	1	1	A2			
W49	INV	1	1	W58			
W58	INV	1	1	A1			
W24	INV	1	1	W61			
W61	INV	1	1	A0			
W50	DLA	1	1	W52			
W53	DLA	1	1	W55			
W56	DLA	1	1	W58			
W59	DLA	1	1	W61			

〈그림 6〉 GLSIM_P 형식에 따른 Netlist

8. Simulator 및 Grapher

Simulator란 회로의 전기적 동작을 소프트웨어적으로 검증한 tool로서 여러종류가 있으나 EDAS_P에서는 gate간의 연결상태를 받아들여 논리분석을 행하는 gate level logic simulator인 GLSIM_P와 트랜지스터간의 연결 상태를 받아들여 논리분석을 행하는 switch level logic simulator인 SLSIM_P가 있다. 두 tool은 모두 0, 1, intermediate의 세가지 논리 상태를 갖으며 SCHED_P에서 그린 회로도로부터 netlist가 자동 연결되어 입력으로 받아들이고 분석 결과는 타임 테이블 형태로 출력된다.

논리 분석의 결과는 파일로 만들어 지는데 타임 테이블 형태로 표현되어 있어 신호를 구분하거나 논리의 변화를 알아내는 데 불편하게 되었다. 이러한 단점을 제거하기 위해 WAVGR_P

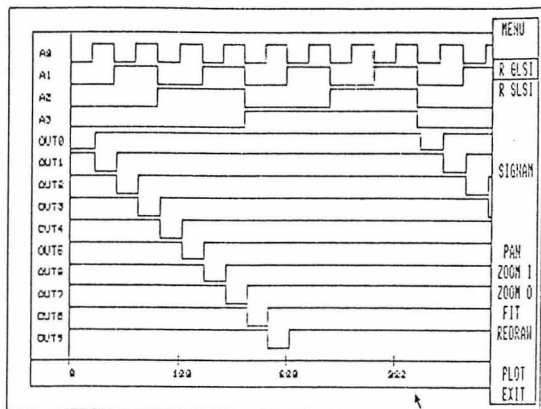
이라는 tool이 개발되어, 회로해석 결과를 입력 시키면 논리의 변화를 그림으로 변환하여 화면에 나타내거나 pen plotter에 plot을 할 수 있도록 되어 있다. <그림 5>의 BCD to decimal decoder(TTL 74145) 논리 분석한 결과가 <그림 7>에 나타나 있다.

```

***** ETRI GLSIM_P *****
*
*                               glsim_p output
*
*****
      AAAA0000000000
      0123UUUUUUUUUU
      TTTTTTTTTT
      0123456789

TIME
0 000001111111111
20 100011111111111
23 100010111111111
40 010010111111111
43 010011011111111
60 110011011111111
63 110011011111111
80 001011101111111
83 001011101111111
100 101011110111111
103 101011110111111
120 011011111011111
123 011011111011111
140 111011111101111
143 111011111110111
160 000111111110111
163 000111111111011
180 100111111111011
183 100111111111101
200 010111111111101
203 010111111111111
220 110111111111111
240 001111111111111
260 101111111111111
280 011111111111111
300 111111111111111
320 000011111111111
323 000001111111111
340 100001111111111
343 100010111111111
360 010010111111111
363 010011011111111
380 110011011111111
383 110011011111111
400 001011101111111
***** ETRI GLSIM_P *****

```



<그림 7> BCD-to-Decimal Decoder 의 논리분석 결과

Ⅲ. 결 론

본 시스템은 전자회로 설계의 자동화를 이루기 위해 시스템의 기능 정의로부터 프로그램 coding까지의 전 과정이 독창적인 기술에 의해 만들어진 CAE 시스템으로서 본 시스템의 특기할만한 사항을 몇 가지로 정리하면 아래와 같다.

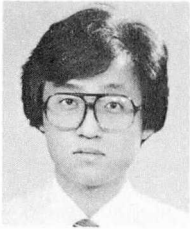
- Pop-up menu와 pop-up question, mouse 와 cursor, 경제적인 명령수행 방식 등을 도입해 사용이 쉽고 편리하다.
- 계층적 설계방식을 도입하였다.
- SCHED_P에서 wire는 입력과 동시에 연결상태가 검사되어 node가 자동으로 발생된다.
- 계층설계된 회로로부터 flat한 연결상태가 추출되고 시뮬레이터의 입력형식에 맞는 파일을 만들어 준다.
- 확장성 및 범용성이 좋다. 새로운 시뮬레이터 등의 도입으로 인해 primitive symbol 이나 netlist의 형식 등을 새로이 정의해야 하는 경우도 프로그램의 변환없이 확장이 가능하다.
- 싼 가격에 시스템 구성이 가능하다.

본 시스템은 현재 tool 개발을 끝낸 상태로써 연구소내 및 소외 워크샵을 통해 소개했으며 소내는 물론 학교나 다른 연구기관에 배포되어 활용되고 있다. 이후로는 tool들의 개선 및 확장은 물론 본 시스템에서 사용 가능한 library의 개발이 계속 이루어질 것이며 workstation에서의 tool 개발을 계획중에 있다. 본 연구는 graphics를 도입한 CAE tool들의 독창적인 개발에 도움이 될 수 있으리라 믿는다.

<參 考 文 獻>

1. Steven Harrington, Computer Graphics-A Programming Approach, McGraw-Hill, pp. 488, 1983.

2. Bruce A. Artwick, Applied Concepts in Microcomputer Graphics, Prentice Hall, pp. 374, 1984.
3. Roy E. Myers, Microcomputer Graphics for the IBM PC, Addison-Wesley Co, pp. 268, 1984.
4. John J. Donovan, System Programming, McGraw-Hill, pp. 488, 1972.
5. Computer Science Series, Introduction to the Design and Analysis of Algorithms, McGraw-Hill, pp. 371, 1977.
6. "The Human Factors of Computer Graphics Interaction Techniques", CG & A, pp. 13-48, Nov. 1984.



朴 仁 學(Park, In Hag)

1958년 3월 6일생

1980. 2. : 고려대학교 전자공학과 학사

1983. 9. : 고려대학교 대학원 전자공학과 석사

1982. 3. ~1986. : 한국전자통신연구소

1986. 12. 현재 : 자동설계기연구실 연구원