

# 짧은 채널 효과를 減少시키기 위한 이온注入 變數의 調節

柳鍾善 · 金如煥

## 〈要 約〉

짧은 채널( $L < 1\mu m$ ) MOSFET의 전기적 변수, 특히 문턱전압(threshold voltage)을 최적화시키기 위하여 분석적 문턱전압 모델을 개발하였다. 채널 영역에서의 붕소profile은 계단(step) profile로 근사시켜 표면전하층과 기판전하층으로 구성하였다. 최대공핍층내에 있는 두 전하층의 각각에 대하여 기하학적으로 근사시킨 전하분배(charge sharing)모델을 적용하고 이차원적 분석을 이용하여 짧은 채널 효과를 계산하였다. 본 모델을 실험치와 비교하고 이온주입 공정의 최적조건을 이끌어내는 데 필요한 변수에 대하여 논의하였다.

## I. 서 론

문턱전압( $V_T$ )을 넓은 범위에 걸쳐 조절하기

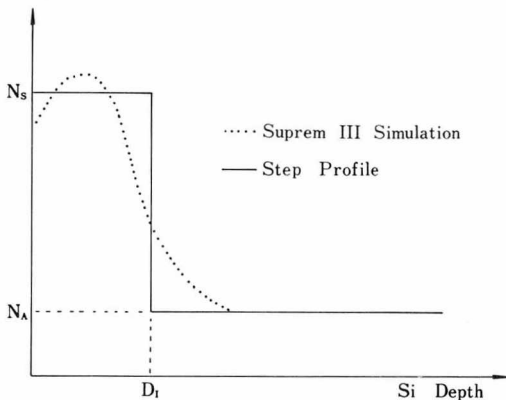
위하여 n-채널 MOS소자를 붕소 이온주입하는 방법이 널리 이용되고 있다. 얇은 산화막( $250\text{\AA}$ )과 얇은 접합( $0.3\mu m$ )을 가지는 MOSFET를 VLSI 회로 제조에 이용하게 되는데, MOSFET의 문턱전압을 적절한 값( $0.5V < V_T < 1V$ )으로 조절해 주기 위해서는 비교적 큰 기판농도( $10^{15} \sim 10^{16} \text{cm}^{-3}$ )와 얇은 채널이온주입을 이용하게 된다. 채널 영역에서의 불순물 profile은 Si기판쪽으로 꼬리를 가지는 Gaussian함수로 표현된다. 이 함수를 이용하여 문턱전압을 수치해석으로 풀어낼 수 있다. 그러나 수치해석은 많은 시간이 소요될 뿐만 아니라 작은 크기를 가지는 MOSFET의 문턱전압을 수식화 하는 데도 장애요소가 되고 있다. 불균일한 채널에 대한 문턱전압의 표현식은 계단 profile 모델<sup>(1)</sup>, dynamic average 모델<sup>(2)</sup>, linearly graded 모델<sup>(3)</sup> 등을 이용한 방법이 제안되었으나, 작은 크기를 가지는 MOSFET의 문턱 전압을 모델화 또는 수식

화시키는 데는 사용이 불가능하였다. 반면에 균일한 채널 농도를 가지는 작은 크기의 MOSFET에 대한 문턱전압의 모델식은 많이 연구되어져 왔다.<sup>(4, 5, 6)</sup>

본 논문에서는 채널에 얇게 이온주입된 불순물 profile을 계단 profile로 근사화시켜 최대공핍층을 계산하고 전하분배 인자를 각 전하층에 대하여 구한 다음, 문턱전압을 계산하는 데 이용하였다. 이 계산의 결과와 실험치를 비교하였으며, 이온주입변수에 대한 이론값으로부터 채널이온주입의 최적조건을 설정하였다.

## II. 계단근사를 이용한 최대공핍층의 계산

얇은 이온주입으로 불순물(붕소) 도우핑한 채널을 위한 계단 profile근사는 <그림 1>과 같이 나타낼 수 있다.<sup>(1)</sup> 표면의 불순물층은 비교적 낮은 기판전압(substrate bias 또는 back gate bias)에서 문턱전압에 영향을 미치고 두번째 전하층 내의 단위면적당 불순물 총수는 채널에 이온주입된 붕소 도오스와 기판에 원래 존재한 단위면적당 붕소량의 합과 일치하여야 한다.



<그림 1> 채널 불순물 농도의 계단 Profile 근사

이러한 사실에 바탕을 두면 계단 변수(step parameter)들은 다음식으로 상호 관련하게 된다.

$$(N_s - N_A) D_1 = \alpha N_i \dots\dots\dots (1)$$

식(1)에서  $N_s$ 는 첫번째 전하층의 불순물 농도이며,  $N_A$ 는 기판의 붕소 농도,  $D_1$ 는 이온주입 영역(첫번째 전하층의 깊이),  $\alpha$ 는 채널에 이온주입된 붕소중 최종적으로 남아있는 붕소량과 초기 이온주입량과의 비율이며,  $N_i$ 는 붕소 이온주입 도오스이다.  $\alpha$ 는 SUPREM III 시뮬레이션으로 얻을 수 있는데, 게이트산화막의 두께, 이온주입 에너지, 그리고 이온주입 이후의 열처리 공정에 종속적이다. 게이트산화막이 얇을 경우  $\alpha$ 는 거의 1에 접근한다. 강 반전(strong inversion)에서의 표면 포텐셜은 비균일한 도우핑 profile에 적용시키려면 다음의 식을 사용하여 구할 수 있다.<sup>(7)</sup>

$$\psi_s = \frac{kT}{q} \ln \frac{-Q(W)}{qn_i W} + \phi_{fp} \dots\dots\dots (2)$$

여기서  $k$ 는 Boltzman 상수,  $T$ 는 절대온도,  $q$ 는 단위전하량,  $W$ 는 최대공핍층 폭,  $Q(W)$ 는 최대공핍층 내에 있는 단위면적당 전하량이며,  $n_i$ 는 진성 반송자(carrier)농도이다. 식(2)는 계단 profile 근사에서 최대공핍층의 위치에 따른 불연속적인 단점을 없애준다. 식(2)를 기초로 하여 공핍근사(depletion approximation)과 중첩원리를 사용함으로써 Poisson방정식으로부터 최대공핍층 폭을 얻을 수 있다.

$$W = \left( \frac{2\epsilon_s \epsilon_0}{qN_s} \right)^{1/2} \left\{ V_{BS} + \frac{kT}{q} \ln \frac{N_s N_A}{n_i^2} \right\} \dots (3)$$

$W \leq D_1$ 의 조건

$$W = \left( \frac{2\epsilon_s \epsilon_0}{qN_A} \right)^{1/2} \left\{ V_{BS} + \frac{kT}{q} \left[ \ln \frac{N_A}{n_i} + \ln \frac{(N_s - N_A)D_1 + N_A W}{n_i W} \right] - \frac{q}{2\epsilon_s \epsilon_0} (N_s - N_A)D_1^2 \right\}^{1/2} \dots\dots\dots (4)$$

$W > D_1$ 의 조건

여기서  $\epsilon_s$ 는 실리콘의 비유전상수,  $\epsilon_0$ 는 진공의 유전상수이며,  $V_{BS}$ 는 소오스와 기판사이의 전압이다.

일차원적인 문턱전압은 다음의 식으로 주어진다.

$$V_T = V_{FB} + \phi_s + V_{bulk} \quad \dots\dots\dots (5)$$

여기서  $V_{FB}$ 는 flat-band 전압이며  $V_{bulk}$ 는 공핍층 내에 있는 공간 전하로부터 기인하는 bulk 전압이다.

$$V_{bulk} = \frac{q}{C_{ox}} \int_0^W N(x) dx \quad \dots\dots\dots (6)$$

여기서  $C_{ox}$ 는 단위면적당 게이트 축전용량이며,  $N(x)$ 는 공핍층 내에서 이온화한 acceptor의 농도이다.  $V_{bulk}$ 는 최대공핍층의 위치에 따라 다음의 식으로 표현된다.

$$V_{bulk} = \frac{q}{C_{ox}} N_s W \quad \dots\dots\dots (7)$$

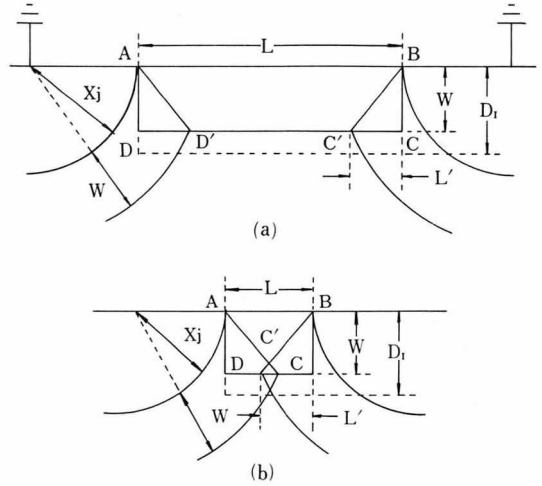
$W \leq D_1$ 의 조건

$$V_{bulk} = \frac{q}{C_{ox}} \left[ (N_s - N_A) D_1 + N_A W \right] \quad \dots\dots\dots (8)$$

$W > D_1$ 의 조건

### III. 계단 Profile에 대한 전하 분배인자의 모델

짧은 채널 n-MOSFET의 문턱전압을 수식화하기 위하여 소오스와 드레인지역에 해당하는 전하분배 효과를 고려하였다. 게이트가 기여하는 공간 전하량은 <그림 2 (a)>에 예시한 바와 같이 사다리꼴 영역이 된다. 이러한 기하학적 모델은 채널길이, 게이트산화막 두께, 접합깊이, 기판의 전압, 기판의 불순물농도와 계단 profile 변수등을 포함하는 문턱전압 표현식을 해석적으로 가능하게 한다.<sup>(4,8)</sup> 그러나 이 모델은 이온 주입한 채널을 가지는 MOSFET에 대해서는 직접적으로 적용하기가 곤란하다. 여기서는 각 전하층에 대한 전압분배인자를 기하학적인 근사로 구하였으며 짧은 채널 n-MOSFET에 적용시켜 문턱전압을 구하였다.



<그림 2>  $W \leq D_1$  조건에서 공핍층에 대한 사다리꼴 근사

[경우 I] 최대공핍층 폭이  $D_1$ 보다 작거나 같을 때에는 기존의 전하분배 모델<sup>(4)</sup>을 직접 사용하여 구할 수 있다. <그림 2 (a)>에 따르면 전하분배인자,  $F_A$ 는

$$F_A = 1 - \frac{L'}{L} \quad \dots\dots\dots (9)$$

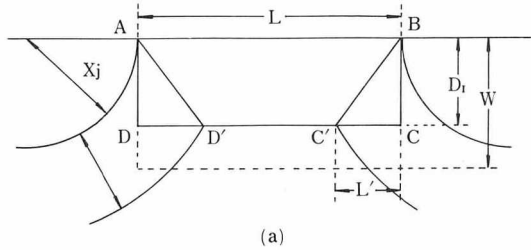
$$L' = X_j \left( \sqrt{1 + \frac{2W}{X_j}} \right) - 1 \quad \dots\dots\dots (10)$$

여기서  $X_j$ 는 소오스(드레인)의 접합깊이(junction depth)이다. 만일  $2 L'$ 이  $L$ 보다 클 때는 전하분배 인자는 <그림 2 (b)>를 참고로 하여 쉽게 구할 수 있다.<sup>(8)</sup>

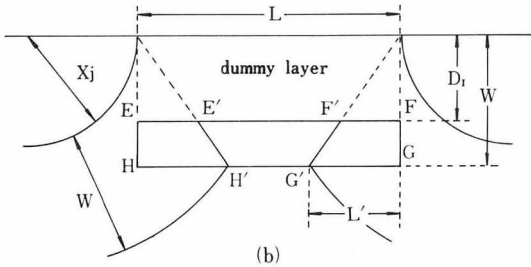
$$F_A = \frac{L}{4L'} \quad \dots\dots\dots (11)$$

[경우 II] 최대공핍층이 식(8)의 조건처럼  $D_1$ 보다 클 때는 최대공핍층 내의 두 전하층 각각에 대하여 전하분배 인자를 구하여 문턱전압을 구할 수 있다.  $F_{B1}$ 을 불순물 농도  $N_s$ 인 전하층에 해당하는 전하분배 인자라 하고  $F_{B2}$ 를 불순물 농도가  $N_A$ 인 전하층에 해당하는 전하분배 인자로 한다. 첫번째 전하층의 전하분배 인자를 계산하기 위하여 <그림 3(a)>에 나타낸 바와

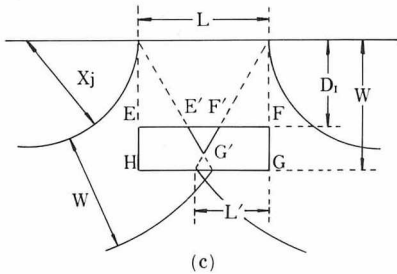
같이 공핍층 깊이를  $D_1$ 로 가정하고 Yau모델<sup>(4)</sup>을 적용한다. 그러면 사다리꼴 ABC'D'의 면적과 더불어 채널과  $D_1$ 사이의 전하분배 인자를 쉽게 유도할 수 있다.



(a)



(b)



(c)

〈그림 3〉  $W > D_1$  조건에서 공핍층에 대한 사다리꼴 근사

$$F_{B1} = \frac{\text{area}(ABC'D')}{\text{area}(ABCD)} \dots\dots\dots (12)$$

$$= 1 - \frac{X_j}{L} \left( \sqrt{1 + \frac{2D_1}{X_j}} - 1 \right) \dots\dots\dots (13)$$

$D_1$ 와 최대 공핍층 사이의 전하층에 대한 전하분배를 계산하기 위하여 불순물농도가  $N_A$ 인 가상의 전하층을 채널과  $D_1$  사이에 넣는다. 〈그림 3(b)〉를 참고하여 전하분배 인자  $F_{B2}$ 는 다음과 같다.

$$F_{B2} = \frac{\text{area}(E'F'G'H')}{\text{area}(EFGH)} \dots\dots\dots (14)$$

$$= 1 - \frac{L'}{L} \left( 1 + \frac{D_1}{W} \right) \dots\dots\dots (15)$$

〈그림 3(c)〉에 나타난 바와 같이  $2L'$ 이  $L$ 보다 클 때 전하분배 인자는

$$F_{B2} = \frac{\text{area}(E'F'G')}{\text{area}(EFGH)} \dots\dots\dots (16)$$

$$= \frac{1}{4} \frac{(L - \frac{2L'D_1}{W})^2}{LL'(1 - \frac{D_1}{W})} \dots\dots\dots (17)$$

만일  $2L'(D/W)$ 가  $L$ 보다 클 때는  $F_{B2} = 0$ 가 된다.

[경우 I]과 [경우 II]를 종합하면 문턱전압은 다음식으로 표현할 수 있다.

$$V_T = V_{FB} \frac{kT}{q} \ln \frac{N_S N_A}{n_i^2} + \frac{qN_S W}{C_{OX}} F_A \dots\dots\dots (18)$$

$W \leq D_1$ 의 조건

$$V_T = V_{FB} + \frac{kT}{q} \left[ \ln \frac{N_A}{n_i} + \ln \frac{(N_S - N_A)D_1 + N_A W}{n_i W} \right] + \frac{qN_S D_1}{C_{OX}} F_{B1} + \frac{qN_A(W - D_1)}{C_{OX}} F_{B2} \dots\dots\dots (19)$$

$W > D_1$ 의 조건

#### IV. 실험결과 및 이온주입 변수의 최적치 설정

표준 MOS공정<sup>(9)</sup>으로 여러가지 채널길이를 가지는 MOSFET를 제조하였다. 마스크상의 채널길이는  $2\mu\text{m}$ 으로부터  $10\mu\text{m}$ 까지 분포하여 채널폭은 마스크상으로  $30\mu\text{m}$ 이다. 붕소이온주입 에너지는  $45\text{KeV}$ 에서  $60\text{KeV}$ 로서 게이트 산화막을 기른 다음 행하여진다. 이후 산화 공정, 불순물 drive-in과 산화막 열처리 공정등이 뒤따르게 된다.

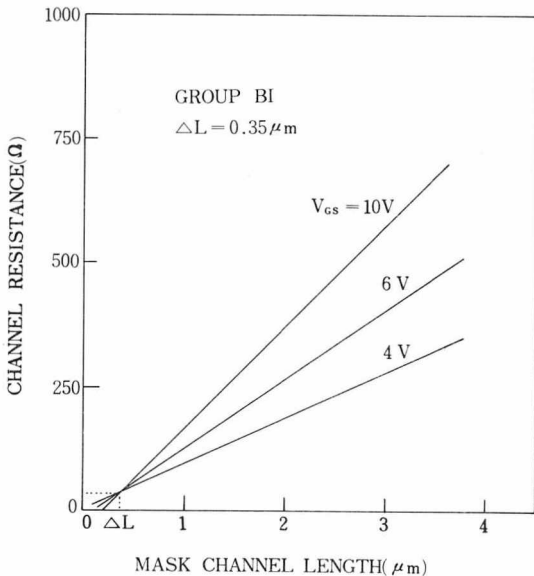
채널의 불순물 profile은 SUPREM III 시뮬

레이션으로부터 얻을 수 있으며, 기판의 불순물 농도는 채널 면적이 큰 MOSFET(본 실험에서는  $100\mu\text{m} \times 100\mu\text{m}$ )를 제조하여 문턱전압을 기판전압의 함수로 측정함으로써 구할 수 있다. 식(1)에 따라 여러 시편들의 계단변수들을 <表 1>과 같이 정리하였다. 여기서 시료군은 같은 공정을 거친 채널이 서로 다른 n-MOSFET 군을 뜻한다.

<表 1> 문턱 전압을 구하는데 필요한 변수

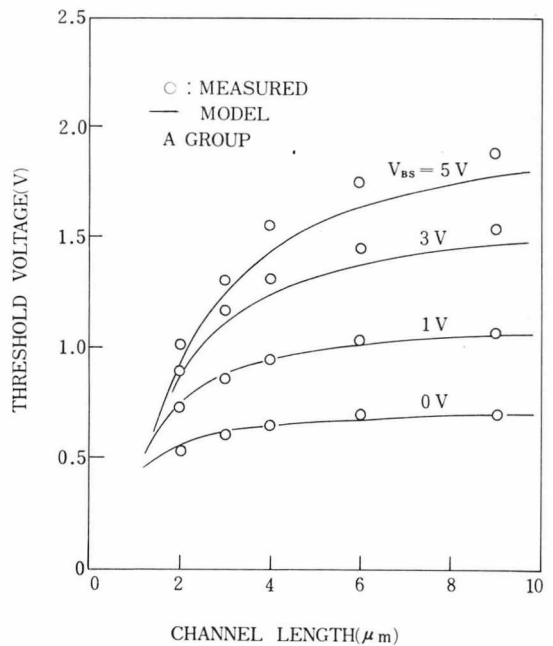
변수 시편군	$T_{\text{ox}}$	$X_j$	$N_A$	$N_D$	$D_i$	$\alpha$
A	900 Å	1.6 $\mu\text{m}$	$2.7 \times 10^{15} \text{cm}^{-2}$	$1 \times 10^{11} \text{cm}^{-2}$	0.3 $\mu\text{m}$	0.97
B 1	400 Å	0.3 $\mu\text{m}$	$2.0 \times 10^{15} \text{cm}^{-2}$	$4.5 \times 10^{11} \text{cm}^{-2}$	0.2 $\mu\text{m}$	0.99
B 2	.	.	.	$5.5 \times 10^{11} \text{cm}^{-2}$	.	.
B 3	.	.	.	$6.5 \times 10^{11} \text{cm}^{-2}$	.	.

채널 길이는 게이트 전압을 변수로 하여 마스크 게이트 길이의 함수로 채널 저항을 <그림 4>와 같이 외삽(extrapolation)하여 얻었다. 그림에서 채널감소는 0.35  $\mu\text{m}$ , 소오스/드레인 저항은 35  $\Omega$ 이다. 실험적인 문턱전압은 게이트 전압에 따른 채널 전류의 선형 외삽으로 구하였다.



<그림 4> 채널길이 감소와 소오스(드레인) 저항의 동시결정

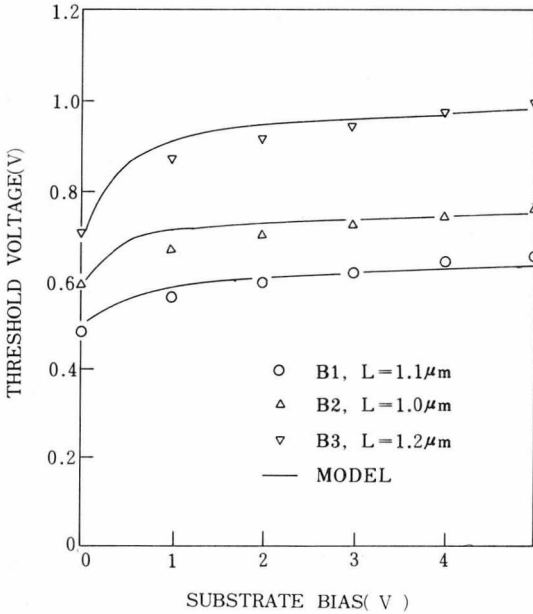
시편군 A에 대한 문턱전압을 기판전압을 매개변수로 하고 채널 길이를 함수로 하여 <그림 5>에 나타내었다. 채널길이가 3  $\mu\text{m}$  정도일 때 문턱전압이 급격히 떨어지는 것을 알 수 있다. 이는 채널 길이가 짧아짐에 따라 게이트가 기여하는 전하분배가 작아지기 때문이다. 기판전압의 증가에 따라 채널 길이에 따른 문턱전압의 변화량이 커지는데 이것은 기판전압이 증가함에 따라 최대공핍층의 폭이 커져서 게이트가 차지하는 전하분배량이 감소하기 때문이다.



<그림 5> A군의 시료에 대하여 짧은 채널 효과에 따른 문턱전압의 변화

붕소 도오스를 변수로 하여 채널길이의 함수로 문턱전압의 변화를 <그림 6>에 나타내었다. 비교적 긴 채널 길이에 문턱전압의 천이량은 도오스의 증가에 따라서 감소하게 되는데, 이는 기판의 불순물 농도가 증가함에 따라 최대공핍층 폭이 감소하여 최대공핍층의 바깥에 존재하는 붕소 불순물량이 많아지는 데 기인한다. 붕소 도오스가 증가함에 따라 짧은 채널 영역 ( $L < 2\mu\text{m}$ )에서 문턱전압의 천이량은 감소한다. 이는 채널 농도의 증가로 공핍층 폭이 작

아저서 게이트가 차지하는 전하분배량이 많아지며, 따라서 채널 길이에 덜 민감해지기 때문이다.



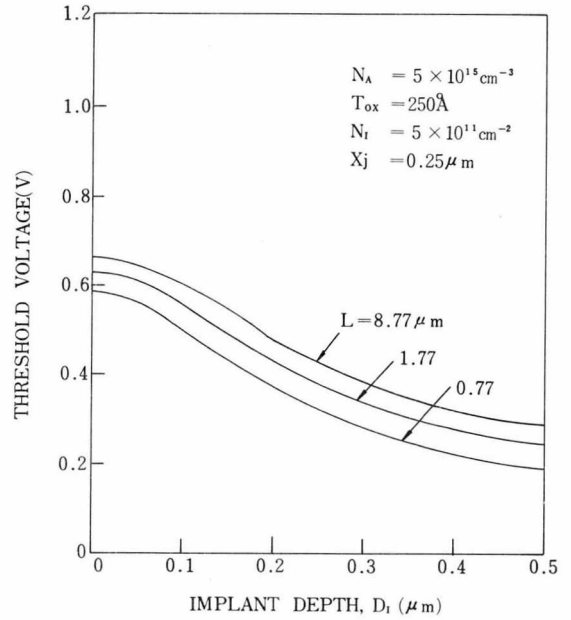
〈그림 6〉 B군의 시료에 대하여 채널 및 기판전압에 따른 문턱전압의 변화

본 모델로부터 구한 문턱전압은 실험치와 잘 일치하고 있으며, 앞으로 전류 모델을 세우는데도 많은 기여를 할 수 있을 것으로 보인다.

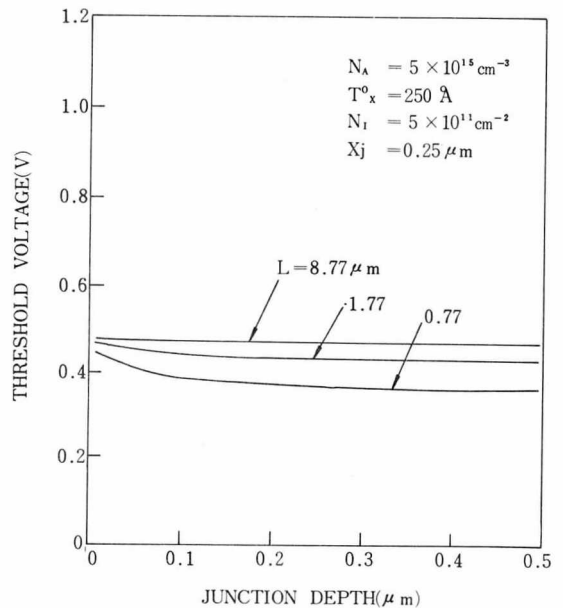
본 모델을 이용하여 이온주입영역, 즉  $D_1$ 에 따른 짧은 채널 효과를 〈그림 7〉에 나타내었다. 같은 붕소 도오스이더라도 표면에 많이 몰릴수록 채널 길이에 의한 영향은 감소한다. 즉, 이온주입 에너지를 가능한 감소시켜 게이트 산화막 위로 이온주입하여야 짧은 채널 효과를 줄일 수 있다. 따라서 submicron정도의 MOSFET는 비교적 높은 기판농도를 써서 punch-through를 방지하는 동시에 실리콘 표면에는 매우 얇은 이온주입을 하여야 문턱전압의 변화 요소를 줄일 수 있다.

소오스 또는 드레인 접합깊이에 따른 문턱전압의 변화를 〈그림 8〉에 나타내었다. 채널 길이가 짧아질수록 접합깊이에 따른 문턱전압의

변화가 심해진다. 그러나 그 변화 폭이 크지는 않다. 또한 접합깊이가 커짐에 따라 문턱전압



〈그림 7〉  $D_1$ 의 변화에 따른 문턱전압의 변화



〈그림 8〉 전압깊이의 변화에 따른 문턱전압의 변화

이 일정해진다. 따라서 접합깊이가 문턱전압에 미치는 영향은 거의 없다고 볼 수 있다. 다만 실제 공정에 있어서 같은 마스크 채널 길이라도 소오스(드레인) 접합깊이가 커짐에 따라 채널길이 짧아져 문턱전압의 감소를 일으키므로 접합깊이는 파괴전압이 허용하는 한 알아야 할 것이다.

### V. 결 론

이온주입한 채널을 가지는 짧은 채널 n-MOSFET에 대한 문턱전압 표현식을 유도하였다. 채널의 불순물 profile을 계단 profile로 근사시켜 소오스와 드레인영역의 전하분배 인자를 해석적으로 구할 수 있도록 하였다. 각 전하층에 해당하는 전하분배량을 계산하여 짧은 채널 MOSFET의 문턱전압을 얻는 데 사용하였고 실험치와 비교하였다. 이온주입 에너지가 작을 수록, 소오스(드레인) 접합은 얇을 수록 짧은 채널 효과는 감소한다. 실험과 모델은 잘 일치하였으며, 따라서 여러가지 MOSFET변수에 대하여 문턱전압을 예측할 수 있다.

#### 〈參考文獻〉

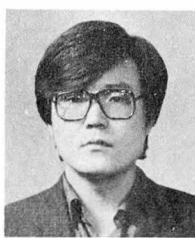
1. V.L Rideout, F.H. Gaensslen and A. LeBlanc, "Device Design Considerations for Ion Implanted n-Channel MOSFET's," IBM J. Res. Develop., pp. 50~59, Jan., 1975.
2. P.K. Chatterjee, J.E. Leiss and G. W. Taylor, "A Dynamic Average Model for the Body Effects in Ion Implanted Short

Channel(L=1 $\mu$ m) MOSFET's," IEEE Trans. Electron Devices, vol. ED-28, no. 5, pp. 606~607, May, 1981.

3. S.W. Tarasewicz and C .A.T . Salama, "Theory of the Surface Depletion Region for Semiconductors with Linealy Graded Impurity Profile," Solid-State Electron., vol. 27, no. 1, pp. 33~43, 1984.
4. L.D. Yau, "A Simple Theory to Predict the Threshold Voltage of Short-Channel IGFET's," Solid-State Electron., vol. 17, pp. 1059~1063, 1974.
5. T.W. Tang, Q.L. Zhang and D.H. Navon, "Analytical Model for Predicting Threshold Voltage in Submicrometer-Channel MOSFET's," IEEE, Trans. Electron Devices, vol. ED-32, no.1, pp. 1890~1893, 1985.
6. T.A. DeMassa and H.S. Chien, "Threshold Voltage of Small-Geometry Si MOSFET's" Solid-State Electron., vol. 29, no.4, pp. 409~419, 1986.
7. M. Nishida and M. Aoyama, "An Improved Definition for the Onset of Heavy Inversion in an MOS Structure with Nonuniformly Doped Semiconductors," IEEE Trans. Electron Devices, vol. ED-27, no. 7, pp. 1222~1230, July, 1980.
8. L. M. Dang, "A Simple Current Method for Short-Channel IGFET and Its Application to Circuit Simulation," IEEE Trans. Electron Devices, vol. ED-26, no. 4, pp. 436~445, Apr., 1979
9. KIET Report SN8309, 1984.



柳 鍾 善 (Lyu, Jong Son)  
 1957년 1월 9일생  
 1979. 2. : 경북대학교 문리과 이학사  
 1981. 2. : 한국과학기술원 물리학과 석사  
 1981. 3. : 한국전자통신연구소  
 1987. 3. 현재 : 기억소자개발사업본부 공정개발실 선임연구원



金 如 煥 (Kim, Yeo Hwan)  
 1957년 5월 18일생  
 1979. 2. : 경북대학교 전자공학과 공학사  
 1981. 2. : 경북대학교 전자공학과 석사  
 1981. 6. : 한국전자통신연구소  
 1987. 3. 현재 : 집적회로개발부 통신소자개발실 선임연구원