

Short Channel n-MOSFET의 Breakdown 電壓

金光洙 · 李振孝 / 通信素子開發室

〈要約〉

Short channel n-MOSFET의 드레인-소오스 사이의 breakdown은 단순한 접합 breakdown이 아닌 avalanche-induced breakdown으로 p-MOSFET, long channel n-MOSFET의 breakdown 전압보다 훨씬 작은 값을 갖는다.

Short channel n-MOSFET의 breakdown의 특징은 current-controlled 부저항 특성(snapback)이 나타나고, 게이트 전압에 따라 breakdown 전압보다 작은 sustaining 전압이 존재한다. 이와 같은 sustaining 전압은 short channel n-MOSFET의 안정한 동작에 또 하나의 제한 요소가 될 수 있다. 따라서 공정 및 회로 시뮬레이션을 위해, short channel n-MOSFET의 avalanche breakdown 현상에 대한 정확한 분석이 요구된다.

Short channel n-MOSFET의 avalanche

breakdown 현상을 분석하기 위해서 parasitic bipolar transistor를 도입한 분석적 모델을 이용하였다.

I. 서론

VLSI, ULSI 시대로 접어들어 따라서는 scaled-down MOSFET의 동작은 몇가지 물리적 현상 때문에 제약을 받는다⁽¹⁾. 특히 short channel MOSFET의 breakdown 현상은 소자에 공급할 수 있는 전압을 결정하기 때문에 digital IC의 신호 전달 속도 등을 제한한다. 따라서 breakdown 전압은 MOS 소자 설계에 있어서 transconductance와 threshold 전압 등과 더불어 중요한 파라미터이다.

Short channel n-MOSFET의 드레인-소오스 사이의 breakdown은 단순한 접합 breakdown⁽²⁾

이 아닌 avalanche-induced breakdown으로 p-MOSFET, long channel n-MOSFET의 breakdown 전압보다 훨씬 작은 값을 갖는다.⁽³⁾

Short channel n-MOSFET의 breakdown의 특징은 current-controlled 부저항 특성(snapback)이 나타나고, 게이트 전압에 따라 breakdown 전압보다 작은 sustaining 전압이 존재한다. 이와 같은 sustaining 전압은 short 채널 n-MOSFET의 안정한 동작에 또 하나의 제한 요소가 될 수 있다. 따라서 공정 및 회로 시뮬레이션을 위해, short channel n-MOSFET의 avalanche breakdown 현상에 대한 정확한 분석이 요구된다.

Short channel n-MOSFET의 avalanche breakdown 현상을 분석하기 위해서 parasitic bipolar transistor을 도입한 분석적 모델⁽⁴⁾을 이용하였다.

II. Breakdown 전압특성

1. Avalanche-induced Breakdown 전압의 물리적 Mechanisms

Short channel MOS 소자의 드레인-소오스 avalanche breakdown에 대해 논하기 전에 $n^+ - p$ 접합과 MOS 소자의 breakdown 전압을 비교 설명하면 다음과 같다.

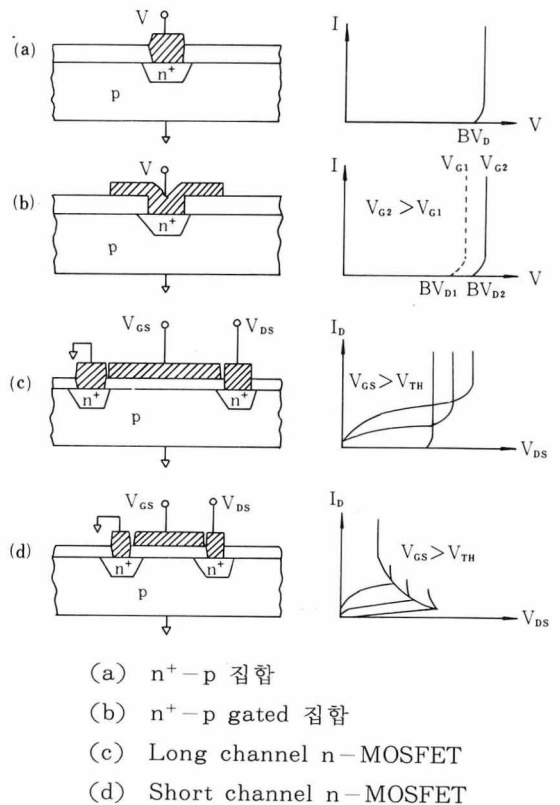
$n^+ - p$ 접합의 avalanche breakdown (〈그림 1(a)〉 참조)은 주로 junction 깊이, x_j 와 p영역의 doping 농도에 의존한다. 또한 gated $n^+ - p$ junction의 breakdown(〈그림 1(b)〉 참조)은 x_j , p doping 농도와 더불어 게이트 전압이 증가함에 따라 증가한다.

Long channel MOSFET의 breakdown은 드레인 접합 breakdown에 의해서 결정되므로, 게이트 $n^+ - p$ 접합과 동일한 breakdown 특성을 갖는다.(〈그림 1(c)〉참조)

Short channel n-MOSFET의 breakdown은 long channel과는 달리 게이트 전압이 증가

함에 따라 breakdown 전압이 감소하며 breakdown이 일어나기 직전에 소오스 전류가 급격히 증가한다. 여기서 소오스 전류의 증가는 다음과 같은 전위 장벽하강으로 인한 전자의 injection에 기인한다.

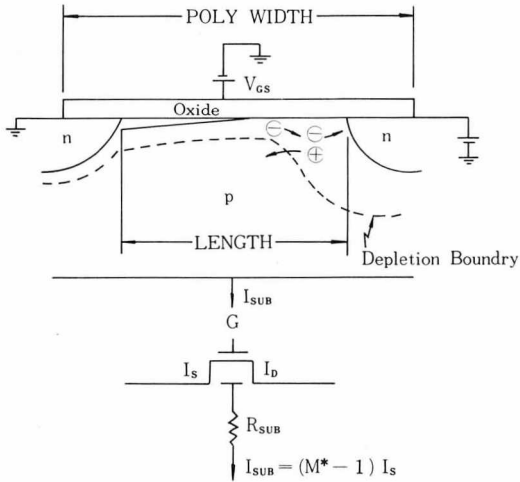
- 1) 채널 아래의 채널과 드레인 사이의 공핍 영역을 통해서 substrate쪽으로 흐르는 hole 전류로 인한 채널-드레인 전위 장벽 하강.
- 2) 드레인-소오스 공핍 영역을 통해서 흐르는 hole 전류로 인한 드레인-소오스 전위 장벽 하강.
- 3) Substrate 저항을 통해서 흐르는 hole 전류로 인한 source-substrate 전위 장벽 하강.



〈그림 1〉 각 소자의 Breakdown 전압

Short channel n-MOSFET가 breakdown이 일어나기 전인 saturation 영역에서 동작할 때

Si-SiO₂ 경계면 근방의 drain-substrate 접합에서 채널 전기장에 의해 impact ionization이 발생하고 드레인 전압을 증가시키에 따라 multiplication factor, M*는 증가한다.⁽⁵⁾(〈그림 2〉 참조).



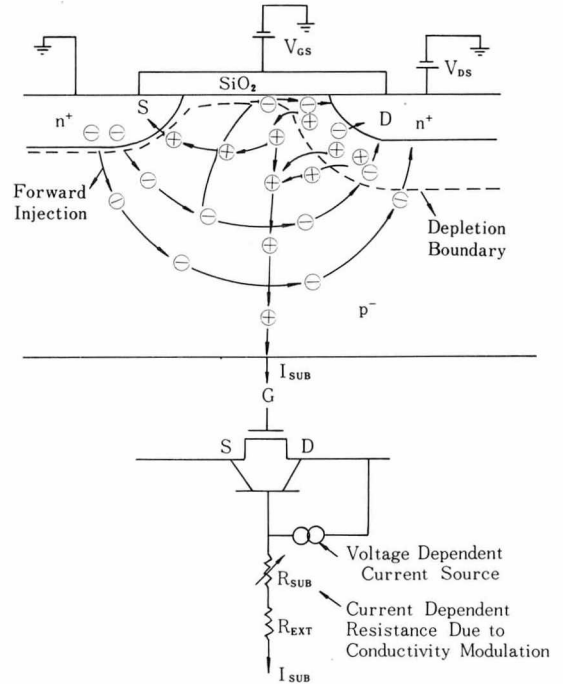
〈그림 2〉 Breakdown 전의 short-Channel n-MOSFET 와 등가회로

Substrate에는 이 전류로 인하여 전압 강하가 생기게 되며, 따라서 source-substrate 접합은 순방향 bias가 된다. 충분한 substrate 전류가 흘러 substrate-source 간의 전압이 약 0.6V 정도 도달했을 때, 소오스로부터 전자의 injection이 일어나며, parasitic lateral npn bipolar tr. (source-sub.-drain)은 turn-on되어 n-MOSFET는 breakdown 영역으로 들어 가게 된다(〈그림 3〉 참조).

Injection된 전자는 채널 아래 공핢 영역과 drain-substrate 공핢 영역을 통해서 드레인에 모이게 된다. Injection된 전자 때문에 드레인 영역에서 negative-charge 밀도가 증가하여 전기장은 증가하게 된다. 따라서 전자 injection이 없을 때 보다 avalanche multiplication factor M*는 더 커지게 되고, 더 낮은 드레인 전압으로도 충분히 같은 드레인 전류를 유지할 수 있다.

이래서 short channel n-MOSFET의 특징인

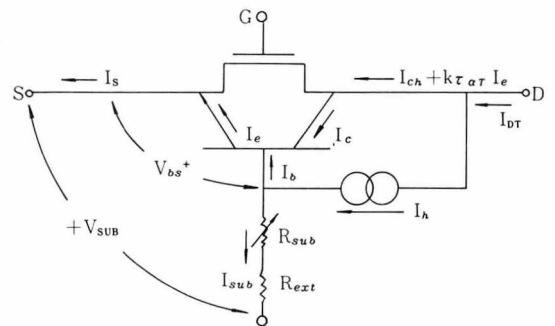
부저항 특성이 나타난다.



〈그림 3〉 Breakdown 후의 Short Channel n-MOSFET 와 등가회로

2. Short Channel n-MOSFET의 전류특성⁽⁴⁾

Parasitic lateral npn tr. 이 turn-on 되었을 때 short channel n-MOSFET는 〈그림 4〉와 같은 등가 회로로 나타낼 수 있다.



〈그림 4〉 Breakdown이 일어났을 때 n-MOSFET의 등가회로

〈그림 4〉로부터 소오스와 substrate 사이의 전압, V_{bs} 는

$$V_{bs} = I_{sub}(R_{sub} + R_{ext}) - V_{sub} \quad \dots\dots\dots (1)$$

이다. 이때 substrate 전류, 소오스 전류, hole 전류는 다음과 같다.

$$\begin{aligned} I_{sub} &= I_h - I_b \\ &= I_h - (I_e - I_c) \\ &= I_h - (1 - \gamma\alpha_T)I_e \quad \dots\dots\dots (2) \end{aligned}$$

여기서 γ : Injection efficiency of the source junction

α_T : Base transport factor

$$I_s = I_{ch} + I_e \quad \dots\dots\dots (3)$$

$$I_h = (M^* - 1) (I_{ch} + k\gamma\alpha_T \cdot I_e) \quad \dots\dots (4)$$

여기서 k : Electrons that go through the high field drain region

식(4)에서 $I_{ch} + k\gamma\alpha_T \cdot I_e$ 는 공핍 영역에서 impact ionization에 참여하는 seed 전류이다. 식 (1), (2), (3), (4)로부터 전체 드레인 전류 IDT는 다음과 같다.

$$\begin{aligned} IDT &= I_s + I_{sub} \\ &= I_{ch} + I_e - I_h - (1 - \gamma\alpha_T) I_e \\ &= M^*(I_{ch} + k\gamma\alpha_T \cdot I_e) \\ &\quad + \gamma\alpha_T(1 - k) I_e \quad \dots\dots\dots (5) \end{aligned}$$

Short channel n-MOSFET의 breakdown을 위한 조건은 다음과 같다.

1) 소오스-sub. 접합이 turn-on 되어야 한다. 즉,

$$V_{bs} \geq 0.6 \text{ Volts} \quad \dots\dots\dots (6)$$

이때, injection 전류 I_e 는 (1), (2), (4)식으로부터 식(7)이 된다.

$$I_e = \frac{(M^* - 1)I_{ch} (R_{sub} + R_{ext}) - V_{sub} - V_{bs}}{[1 + \gamma\alpha_T - (M^* - 1)k\gamma\alpha_T] [R_{sub} + R_{ext}]} \quad \dots (7)$$

2) Hole 전류에 대한 injection 전류의 positive feedback 효과가 나타나기 위해서, multiplication factor M^* 는 충분히

큰 값이 되어야 한다.

(7)식으로부터, I_e 가 상대적으로 큰 값이 되기 위해서는 분모가 zero로 접근하면 된다.

$$\begin{aligned} \text{즉, } M^* - 1 &= \frac{1 - \gamma\alpha_T}{k\gamma\alpha_T} \\ &= \frac{1}{k\beta} \left(\beta = \frac{\gamma\alpha_T}{1 - \gamma\alpha_T} \right) \quad \dots\dots (8) \end{aligned}$$

Avalanche multiplication factor M^* 는 드레인 접합 근처의 강한 전기장 즉, 드레인과 게이트 전압의 함수이다. 또 M^* 는 산화막 층의 두께, 드레인 접합 깊이, substrate 불순물 농도의 함수이기도 하다.

MOSFET의 hot-electron 전류에 대한 통합 모델을 사용할 때 M^* 는 다음과 같이 표현된다.

$$M^* = 1 / [1 - (A_i) \left(\frac{E_{sd}}{B_i} \exp \left(- \frac{B_i}{E_{sd}} \right) \right)] \quad \dots(9)$$

여기서 $A_i = 2 \times 10 \text{ V/cm}$

$B_i = 1.7 \times 10 \text{ V/cm}$

Drain 영역에서 max. field E_{sd} 는 다음과 같다.

$$E_{sd} = \sqrt{A^2 (V_{DS} - V_{D, sat})^2 + E_{sat}^2}$$

여기서

$$A = \sqrt{\frac{\epsilon_{ox} / \epsilon_{si}}{X_{ox} [X_j + 0.01(V_{DS} - V_{D, sat}) (X_1 - X_j)]}}$$

$$X_1 = \sqrt{\frac{2 \epsilon_o \epsilon_{si} (V_{D, sat} + 2\phi_F)}{qN_{sub}}}$$

3. Short Channel n-MOSFET의 Breakdown Voltage Model 식⁽⁷⁾

Short channel n-MOSFET의 breakdown 전압을 구하기 위하여 2차원 분석에 사용되는 파라미터의 범위는 다음과 같다.

$$L_{eff} ; 0.5 \mu m < L_{eff} < 5 \mu m$$

$$N_a ; 3 \times 10^{14} cm^{-3} < N_a < 10^{17} cm^{-3}$$

$$T_{ox} ; 200 \text{ \AA} < T_{ox} < 2,000 \text{ \AA}$$

$$X_j ; 0.1 \mu m < X_j < 2 \mu m$$

BV_{DS}에 대한 실험식을 유도하기 위해서 간단히 게이트 전압 $V_{GS} = V_T + 1(V)$ 를 택한다.

이때 ionization integral, I_{ion}^* 의 empirical 표현식은 다음과 같이 된다.

$$I_{ion}^* \propto \frac{N_a V_{DS}^3}{X_j T_{OX}^{1/2}} \dots\dots\dots (11)$$

보통 breakdown이 일어났을 때, I_{ion}^* 는 $10^2 < I_{ion}^* < 10^1$ 의 범위에 있게 되므로 (11)식을 다음과 같이 쓸 수 있다.

$$I_{ion}^* \cdot I_s = \frac{V_c + V_{sub}}{R_{sub}} \dots\dots\dots (12)$$

여기서 V_c ; Turn-on voltage of source-sub. junction

I_s ; 소오스 전류

선형, 포화 영역에서 채널 전류는 $L_{eff} \cdot T_{ox}$ 에 반비례 한다. 그러나 breakdown이 발생했을 때, I_s 는 2-Dimensional 분석에 의해 다음과 같이 근사적으로 주어진다.

$$I_s \propto \frac{1}{L_{eff} \cdot T_{ox}} \left(\frac{T_{ox}}{L_{eff} \cdot N_a} \right)^{1/3} [1 + f(N_a, T_{ox})V_c] \dots (13)$$

(13)식에서 마지막 factor는 source-substrate 접합의 순방향 bias 효과 (f는 N_a , T_{ox} 와 관계 있는 substrate bias 상수이다)로 인한 I_s 의 증가를 나타낸다. Substrate 저항 R_{sub} 는 deep substrate 불순물 농도 N'_a 에 반비례 한다는 식 (11), (12), (13)의 2-Dimensional 분석으로부터 식 (14)와 같은 breakdown 전압에 대한 실험식을 얻을 수 있다.

$$BV_{DS} = C_b(V_c + V_{sub})^{1/3} \cdot X_j^{1/3} \cdot L_{eff}^{4/9} \cdot T_{ox}^{2/9} \cdot N_a^{-1/3} \cdot N'_a^{1/3} \dots\dots\dots (14)$$

여기서 $C_b = 2.6 \times 10^5 V^{2/3}/cm$

Ⅲ. 측정 및 모델식 추출

〈그림 5〉로부터 채널 길이가 짧아짐에 따라 breakdown 전압(BV_{DS})은 현저히 감소함을 알 수 있으며, 이 경향이라면 submicron n-MOSFET의 breakdown 전압은 5V 이하로 감소될 수 있음을 예측할 수 있다. Short channel n-MOSFET의 breakdown 전압이 long channel 보다 훨씬 낮은 값을 갖는 것은 short channel에서 드레인-소오스사이의 breakdown 이 단순한 접합 breakdown 이 아니라 소오스로부터 전자 injection 이 수반된 avalanche-induced breakdown 임을 알 수 있다. 따라서 일반적인 1차원적 수식으로는 breakdown 전압을 정확히 예측할 수 없다.

앞에서 설명한 2차원 분석에 의한 완성된 식을 이용하여 계산한 값은 측정치와 많은 차이가 있었으므로 소자 제조 공정과 2차원 분석에 의해 변할 수 있는 C_b , T_{ox} 와 N_a 의 지수항을 변화시켜 차이를 줄여 나갔다. 이 결과 다음과 같은 식을 얻을 수 있었다.

$$BV_{DS} = C_b \cdot V_c^{1/3} \cdot X_j^{1/3} \cdot T_{ox}^{(ETOX)} \cdot N_a^{(ENA)} \cdot N'_a^{1/3} \dots\dots\dots (15)$$

$$X_j = 0.4(\mu m)$$

$$L_{eff} = 1.6(\mu m) \sim 4.6(\mu m)$$

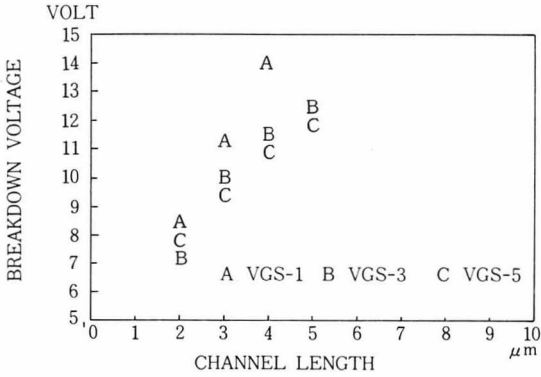
$$T_{ox} = 400(\text{Å})$$

$$N_a = 1 \times 10^{16}(cm^{-3})$$

컴퓨터를 이용하여 구한 각 V_{GS} 에 대한 C_b , ETOX와 ENA는 〈表 1〉에 나타나 있다.

〈表 1〉 V_{GS} 에 대한 C_b , ETOX, ENA

V_{GS} (V)	C_b ($V^{2/3} cm^{-1}$)	Remark
1	2.391×10^5	$V_c = 0.65V$
2	2.226×10^5	$N'_a = 1 \times 10^{15} cm^{-3}$
3	2.136×10^5	ETOX = 0.2222
5	2.186×10^5	ENA = -0.314



〈그림 5〉 채널 길이에 따른 BV_{DS}

식(15)를 이용하여 구한 값을 측정치와 함께 〈그림 6〉에 나타내었으며, 이 그림으로부터 차이가 0.5V 이하임을 알 수 있다.

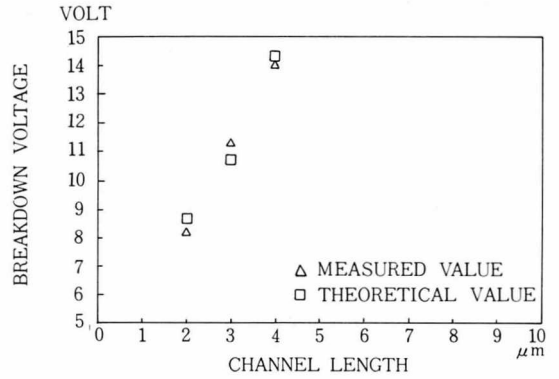
IV. 결 론

Short channel n-MOSFET의 breakdown 전압에 대한 실험식을 2차원 분석적인 모델을 이용하여 구하였으며, 이 식으로 구한 breakdown 전압의 계산치와 측정치의 차이는 0.5V이다. 그러므로 short channel n-MOSFET의 breakdown 현상을 분석하기 위해서 모델식의 사용이 가능함을 알 수 있었다.

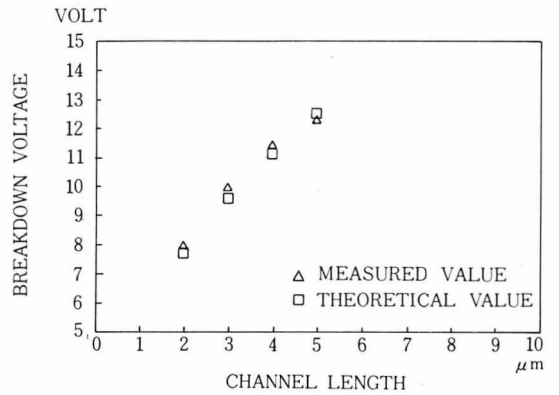
또한 이 식으로부터 채널 길이가 submicron으로 내려갈 경우 breakdown 전압이 5V 이하로 내려가는 것을 예측할 수 있으므로 이에 대한 대응책을 모색해야 할 것이다. 즉, 소오스-드레인 구조를 현재의 일반적인 구조에서 LDD⁽⁸⁾ 구조 및 BLDD⁽⁹⁾ 구조 등으로 개선해야 할 것이다.

〈參 考 文 獻〉

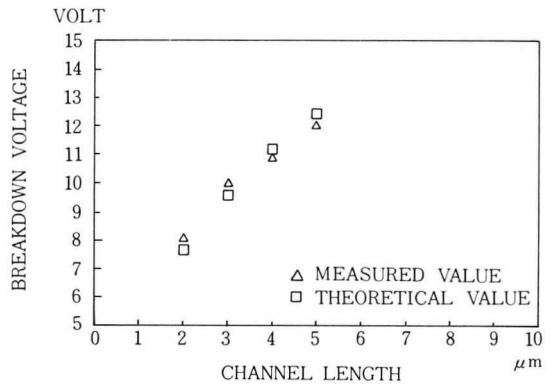
1. B. Eitan and D. Frohman-Bentchkowsky, "Surface Conduction in Short-Channel MOS Devices as a Limitation to VLSI Scaling", IEEE Trans. Electron Devices,



(a) $V_{GS} = 1V$



(b) $V_{GS} = 3V$



(c) $V_{GS} = 5V$

〈그림 6〉 채널 길이에 따른 BV_{DS}

- vol. ED-29, pp. 254~266, Feb. 1982.

2. S. M. Sze, Physics of Semiconductor Devices, Wiley, pp. 44~49, 1981.

3. T. Toyabe, K. Yamaguchi, S. Asai, and M.

- S. Mock, "A Numerical Model of Avalanche Breakdown in MOSFET's", IEEE Trans. Electron Devices, vol. ED-25, pp. 825~832, July 1978.
4. F. C. Hus, R. S. Muller, and C. Hu, "A Simplified Model of Short-Channel MOSFET Characteristics in the Breakdown Mode", IEEE Trans. Electron Devices, vol. ED-30, pp. 571~576, June 1983.
 5. Y. W. Sing and B. Sudlow, "Modeling and VLSI Design Constraints of Substrate Current", IEDM Tech. Dig., pp. 732~735, 1980.
 6. R. R. Troutman, "Low-Level Avalanche Multiplication in IGFET's", IEEE Trans. Electron Devices, vol. ED-23, pp. 419~425, 1976.
 7. T. Toyabe and S. Asai, "Analytical Models of Threshold Voltage and Breakdown Voltage of Short-Channel MOSFET's Derived from Two-Dimensional Analysis", IEEE Trans. Electron Devices, vol. ED-26, pp. 453~461, Apr. 1979.
 8. E. Takeda, H. Kume and T. Toyabe, "Submicrometer MOSFET Structure for Minimizing Hot Carrier Generation", IEEE Trans. Electron Devices, vol ED-29, p. 611, 1982.
 9. M. Nakahara, Y. Hiruta, T. Noguchi, "Relief of Hot Carrier Constraint on Submicron CMOS Devices by Use of a Buried Channel Structure", IEDM, p. 238, 1985.