

## 디지털 신호처리를 위한 VLSI 기술

李文基

(正會員)

延世大學校 工科大學 電子工學科 教授

### I. 서론

디지털 신호처리는 정확하고, 안정하며, 좋은 잡음 특성, 유연성 (flexibility) 그리고 time-multiplexing 등의 아날로그 신호처리에서 기대할 수 없는 특성 때문에 중요한 역할을 하고 있다.

최근 VLSI 기술의 획기적인 발달과 디지털 신호처리 분야에 대한 연구가 활발하여 짐에 따라 여러 가지 범용과 전용 디지털 신호처리용 집적회로가 개발되고 널리 이용되고 있다.

컴퓨터의 대중화 및 정보화 그리고 디지털 신호처리 기술의 보편화와 더불어 반도체 집적회로 기술의 급격한 발전으로 인간과 기계 사이의 자유로운 의사 전달 및 정보교환의 매체로서의 음성신호처리의 필요성이 강조되고 있다.

음성 신호처리 기술에 의한 음성 인식과 합성을 통한 인간과 기계사이의 자유로운 정보교환을 위한 VLSI에 대해 많은 연구가 진행되고 있으며, 실용화가 극히 제한된 부분에서 이루어지고 있고, 현재의 추세를 감안하면, 몇년내에 값싼 음성 신호 처리 기기의 수요가 급증할 것으로 예상된다.

본 문에서는 현재 널리 사용되고 있거나 연구되고 있는 디지털 신호처리 VLSI 아키텍처에 대해 살펴봄으로써, 현황 파악과 앞으로의 연구 방향을 제시하고자 한다. 또한 디지털 신호처리의 중요 응용 분야인 음성 인식용 VLSI에서 가장 핵심적인 부분인 패턴 매칭(matching) 프로세서에 대해 발표된 여러 자료를 소개하고 비교한다.

### II. 디지털 신호처리와 아날로그 신호처리

디지털 신호처리와 아날로그 신호처리를 가장 간

단한 형태의 아날로그 필터 블록 다이어그램과 그에 대응하는 디지털 필터 블록 다이어그램인 그림 1을 가지고 비교해 보자.

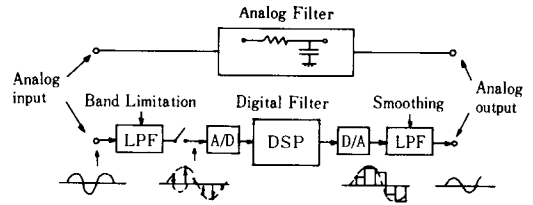
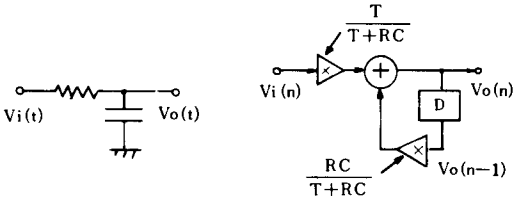


그림 1. 아날로그와 디지털 신호처리 비교

디지털 신호처리의 경우, 아날로그 신호가 먼저 대역 제한 아날로그 필터를 통과하고, 표본화기를 거친다. 표본화 주파수는 입력신호 대역폭에 의해 좌우되기 때문에 대역제한 역할을 하는 저역 통과 필터가 미리 결정된 표본화 주기를 갖는 표본화된 신호에 alias noise를 초래하지 않기 위해서 필요하다. 그리고 나서 표본화된 신호는 이진 비트 집합으로 구성되는 디지털 신호를 만들기 위해 A/D 변환을 거친다. 그리고 디지털 필터에 의해 변환된 신호는 입력단과 반대작용을 거쳐서 아날로그 신호로 바뀌어진다. 가장 간단한 아날로그 필터와 디지털 필터의 형태는 그림 2와 같다.

디지털 필터는 덧셈회로, 곱셈회로와 지연회로로 구성됨을 알 수 있다.

일반적으로 디지털 신호처리와 아날로그 신호처리가 갖는 특징을 비교하면, 표 1과 같다.



(a) 아날로그 필터 (b) 디지털 필터

그림 2. 1차 아날로그 필터와 디지털 필터

표 1. 아날로그와 디지털 신호처리 특성 비교

type	analog signal processing	digital signal processing
characteristics		
hardware	simple	complex
time-multiplexing	impossible	possible
time-variant	impossible	possible
reliability	poor	good
flexibility	poor	good
performance degradation	component tolerance	data bit length
accuracy	poor	good
noise characteristics	poor	good

III. 디지털 신호처리 알고리즘

디지털 신호처리는 크게 두가지 분야로 나눌 수 있다. 그 하나는 디지털 필터이고 다른 하나는 spectrum analysis 분야이다.

디지털 필터는 일반적으로 다음과 같은 수식으로 표시된다.

$$y_n = \sum_{k=0}^M a_k x_{n-k} - \sum_{k=1}^L b_k y_{n-k} \tag{1}$$

여기서  $\{x_n\}$ 은 입력 신호이고,  $\{y_n\}$ 은 출력 신호이다. 그리고  $a_0, a_1, \dots, a_M$ 과  $b_1, b_2, \dots, b_L$ 은 상수이다.

디지털 필터가 바람직한 특성을 만족하도록 필터 계수  $a_k$ 와  $b_k$ 를 설계자가 결정해야 한다.

디지털 필터 식에서  $b_k$  값이 전부 0인 경우는 FIR (finite impulse response) 필터라 하고,  $b_k$  값이 전부 0이 아닌 경우는, IIR(infinite impulse response) 필터라 한다. IIR 필터는 현재 출력 값을 계산하는데 이미 계산된 이전의 출력값이 사용되므로 recur-

sive 필터라 한다. Spectral analysis에서는 다음식과 같은 DFT(discrete Fourier transform)을 이용한다.

$$F_n = \sum_{n=0}^{N-1} f_n W^{nk} \tag{2}$$

여기서  $W = \exp(-j2\pi/N)$ ,  $n, k=0,1,2,\dots,N-1$ 이다.

$\{f_n\}$ 은 시간영역에서 표본화된 값이며,  $\{F_n\}$ 은 주파수 변환된 신호를 나타내며,  $W$ 는 회절인자(twiddle factor)라 한다. 이와 같은 DFT를 계산하기 위해서는, 전체  $N^2$  복소수 곱셈과  $N(N-1)$ 복소수 덧셈이 필요하므로 비현실적으로 많은 연산이 요구된다. 따라서 이와 같은 연산을 VLSI 칩으로 실현하는 것은 실용상 비현실적이다. 이러한 단점을 해결하기 위해, DFT를 고속으로 연산하는 방식으로 복소수 곱셈수를 크게 줄인 fast Fourier transform (FFT)이 spectral analysis에 널리 쓰이고 있다.

N-point FFT 연산은 DFT 연산을  $\log_2 N$  process로 나누고, 각각의 process에서 다음과 같은 버터플라이 연산을 하게 된다.

$$\begin{aligned} f_q(k) &= f_{q-1}(k) + f_{q-1}(k+N/2^q) \cdot W^p \\ f_q(k+N/2^q) &= f_{q-1}(k) - f_{q-1}(k+N/2^q) \cdot W^p \end{aligned} \tag{3}$$

$(k=0,1,\dots,N-1)$

여기서 N은 표본수이고, q는 process 수를 의미하고, p는 회절인자의 지수를 나타낸다. 그림 3은 16-point FFT 연산 흐름도를 보여주고 있는데, 각각의 process에서 버터플라이 연산을 수행해야 할 데이터가 서로 인접하지 않으므로, 두개의 데이터  $f_{q-1}(k)$ 와  $f_{q-1}(k+N/2^q)$ 를 모으는 data shuffle 과정이 필요하다. 식(3)의 버터플라이 연산은 한번의 복소수 곱셈과 한번의 복소수 덧셈 그리고 한번의 복소수 뺄셈으로 이루어진다. 이러한 연산을 효율적으로 하는 연산회로가 FFT 연산 시간을 좌우하게 된다. 이러한 디지털 신호처리를 하드웨어로 구현 하는데 있어서, 다용도를 위한 범용 디지털 신호 처리 회로와 단일 목적을 위한 전용 디지털 회로로 나눌 수 있다. 범용 디지털 신호 처리 시스템은 융통성이 높고, 다용도로 사용될 수 있다는 장점이 있는데 반해, 속도가 떨어진다는 단점이 있다. 전용 신호처리 시스템은 융통성은 다소 떨어지지만, 적용되는 용도에 최적화 되도록 설계되었으므로 속도가 빨라 실시간 처리가 필요한 분야에 널리 사용되고 있다.<sup>11~13</sup>

디지털 신호처리의 통신 분야에 응용 예를 하나

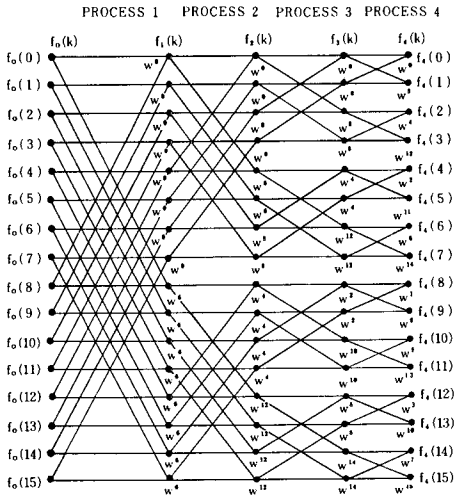


그림 3. FFT 연산 흐름도 (N=16)

들면, 아날로그 다중통신과 디지털 다중 통신 교환기에 사용되는 TDM/FDM 변환 장치에 디지털 필터와 DFT의 변형인 discrete cosine transform (DCT) 등이 응용되고 있다. 그림 4는 대역 통과 필터, DCT, 전대역 통과 필터 등을 VLSI로 실현한 TDM/FDM 변환장치를 나타낸다.<sup>[10]</sup>

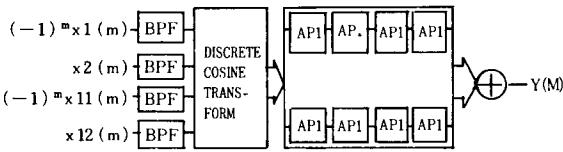


그림 4. All-pass 필터를 이용한 TDM/FDM 변환장치

IV. 디지털 신호처리용 아키텍처

Arithmetic-intensive processing 과 고속 처리 필요성을 만족시키기 위해 대부분의 programmable digital signal processor는 그림 5와 같은 형태로 되어 있다.<sup>[9]</sup>

범용 컴퓨터 구조에 비해 구조상 특징으로는 데이터와 프로그램 메모리를 분리시켜 속도 증대를 얻으며, 데이터 메모리 자체도 다수개의 포트를 갖거나 또는 여러개로 분리시켜 data rate를 증가시킨다. 그리고 연산장치는 데이터 연산에만 사용하고 데이터 번지수 계산과 프로그램 제어에는 다른 가산기 또는

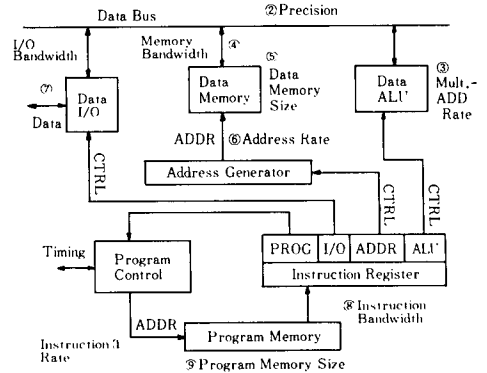


그림 5. 기본적인 디지털 신호처리 회로 구성

연산장치를 사용한다. 데이터 연산 장치는 빠른 연산을 위해 병렬 승산기를 사용하며, 다수개의 버스(buses)를 사용하여 double-ported memory에서 2개의 operand를 동시에 가져올 수 있게 한다. 이와 같은 설계 방식을 사용한 디지털 신호처리 회로는 functional element가 공유되거나 시간에 따라 multiplex 되는 기존 프로세서에 비해 고속처리가 용이하도록 병렬성(parallelism)에 중점을 둔다. 속도 향상을 위한 또하나의 기법은 pipelining을 사용하여, throughput을 높이는 방식이다. 병렬성과 파이프라인 기법을 적절하게 결합해서 사용함으로써 디지털 신호처리는 연산 위주(arithmetic-intensive)와 고속(high speed)의 필요성을 만족시킨다.

표 2는 그림 5의 기본적인 DSP 블록에 표시되어 있는 숫자에 해당하는 시스템 파라미터를 설명하는데 DSP 시스템의 성능평가에 이용할 수 있다.

현재까지 개발되고 있는 디지털 신호처리 회로는 그림 5를 기본으로 하여 필요한 기능을 구현하는데 일반적으로 4 가지 형태를 취한다.

- a. 기능별 building blocks
- b. Programmable one-chip digital processor
- c. 전용 processor
- d. Multi-processor 를 이용한 digital signal processor

4 가지 신호처리 회로에 대해서 구조적인 측면에서 살펴본다.

1. 기능별 Building Blocks

서로 독립된 블록을 결합시켜 하나의 디지털 신호처리 시스템을 구현하는 방식으로 각각은 독립적으로 programmable 될 수 없고 상호연결을 통해서만 작동을 하게 된다. 구조적인 측면에서 볼 때 ALU

표 2. 디지털 신호처리 회로의 시스템 파라미터

Signal Processing System Parameters	
1. Instruction execution rate	Instructions/ $\mu$ sec
2. Data precision, Basic system data bus and data memory width	Bytes.
3. Data processing rate, rate of a multiply and an addition operation at system precision	Multi-Add/ $\mu$ sec
4. Data memory bandwidth	Bytes/ $\mu$ sec.
5. Data memory size, Cumulative rate if multiple memories and buses	Address space in K bytes
6. Address processing rate. rate of an increment compare and concatenate operation for a data memory address, cumulative if multiple memories with independent addressers	Add-CMP- !! / $\mu$ sec
7. Data input/output bandwidth	Bytes/ $\mu$ sec
8. instruction bandwidth	Bytes/ $\mu$ sec
9. Program memory size	Address space in K bytes

의 주된 구성 성분인 승산기에 대해 많은 연구가 이루어졌으며, FFT와 같은 특별한 어드레싱이 필요한 신호처리 알고리즘을 위한 디바이스들이 발표되고 있다. 즉 이와 같은 설계방식은 DSP 시스템을 구성하는 각각의 블락을 최적화 하도록 하는 방식이다. 현재 각 회사별로 발표된 기능별 building block은 표 3과 같다.

위와 같은 building 블락도 CMOS 기술이 발달함에 따라 규모가 작아지고, 저전력 소모등의 특징이 나타나게 되었는데 표 4는 공정기술 발전에 따라 DSP 기능 블락의 변화를 보여 준다. 이와 같은 설계 방식으로 구성된 DSP 회로는 기능별 블락의 교체가 용이하지만, off-chip wiring 등 성능 저하 요소가 많아 일반적으로 단일칩 신호처리 회로에 비해 성능이 떨어진다.

2. Programmable One-chip Signal Processors

반도체 기술 특히 MOS 기술이 발전함에 따라 PCB 보드 상에서 기능별 블락(functional block)으로 구성하던 신호처리 회로를 단일칩 안에 집적화한 형태로 그림 5의 구조적 특성을 만족시키도록 설계되었다.

표 5는 지금까지 발표된 단일칩 programmable DSP 회로의 몇가지 예를 보여 주고 있다. 이러한 단일칩 신호처리 회로의 설계 방식은 연산능력이 크

며, 제조가 용이하도록 규모가 작아야 하며, 광범위한 분야에 응용될 수 있도록 flexible 하다. 그러나 단

표 3. 디지털 신호처리를 위한 building blocks

Company	Recent DSP Building Blocks
TRW	TMC 2220 CMOS 4x32 bit correlator mask configurable TMC 216H CMOS MPY-16 145nsec TMC 2008/9/10 CMOS MAC-8/12/16 100/35/165 nsec TDC 1030 Bipolar FIFO Memory 64x9 bits
AMD	29325 32b FP ALU & Mult Bipolar 144 Pin 100 nsec 29516A/7A Bipolar MPY-16/uP mult. 45 nsec 29L516/7 Bipolar MPY-16/uP mult. 55ns 29C516/7 CMOS MPY-16/uP mult. 125 nsec 29509 Bipolar MAC-12 29-L/C510 Bipolar & CMOS MAC-16 70/100/140 nsec 29540 Bipolar FFT Addresser
Analog Devices	ADSP 1080/12/16 CMOS MPY-8/12/16 100/130/170 nsec ADSP 1006/09/10 CMOS MPY-8/12/16 120/150/190 nsec ADSP 1024 CMOS MPY-24 84 pin 235, 275nsec ADSP 1110 CMOS 16 bit MAC 28 pin 190, 240 nsec ADSP 1200 CMOS ALU shifter 96 pin. 75ns
TI	74LS1 616 Bipolar 16 bit mult. 55 nsec 74AS888/90 Bipolar 8 bit ALU/Microcontroller 74AS898 Bipolar Register File
Rockwell	CMOS/SOS MAC-16 120 nsec
Synertek	SY 66016B/A/-nMOS MPY-16 90/150/200 nsec
IDT	IDT 7216/17 CMOS MPY-16/uP mult. 75, 90, 145 nsec
Matsushita	MK 9981 CMOS FP Multiplier 80 nsec, 28 pin
Toshiba	T7429 CMOS/SOS MPY-16 27 nsec
NEC	CMOS 16 bit Mult. 45 nsec
Weitek	WTL 1016/A nMOS MPY-16 140/100 nsec WTL 1516/A nMOS uP mult. 140/90 nsec WTL 1032/33 nMOS 32 bit FP Mult/Adder 200 nsec/stage
Logic Devices, Inc	LMU08/12/16 CMOS MPY-8/12/16 bit 90/100/140 nsec LMU8U/13/17 CMOS uP mult. 8/12/16 bit 90/100/140 nsec LRF08 CMOS Multiple Port Register File 5 Ports

표 4. 공정기술 발달에 따른 기능별 building 블록의 특성(예: 승산기)

Device	TRW MPY016A	TRW MPY016H	TRW MPY016K	TRW TMC216H
Process	Bipolar	Bipolar	Bipolar	CMOS
Year described	1977	1980	1983	1984
minum feature size	4 $\mu$ m	2 $\mu$ m	1 $\mu$ m	2 $\mu$ m
Area (sq. mils)	78K	48K	32.5K	29.9K
Number of Transistors	18k	16K	15K	6.5K
Pins	64	64	64	64
Power	5.0 w	4.4 w	4.0 w	0.50 w
Precision	16 $\times$ 16	16 $\times$ 16	16 $\times$ 16	16 $\times$ 16
Speed	230nsec	145nsec	45nsec	145nsec

일칩 회로는 계수값을 저장하기 위해 ROM을 사용하고 변수 값을 저장하기 위해 일반적으로 RAM을 사용하는데, 이러한 기억소자의 크기가 작아 응용에

제한을 받는 경우가 생긴다. 최근에 발표된 몇몇 신호처리 회로는 이러한 제약을 보완하기 위해 단일 칩 신호처리 외부에 추가로 메모리를 두고 이러한 메모리를 액세스(access) 하기 위해 신호처리 회로에 추가의 핀을 두는 방식을 취하고 있는데, 그러한 예가 그림 6에 보여지는 Fujitsu MB 8764이다.

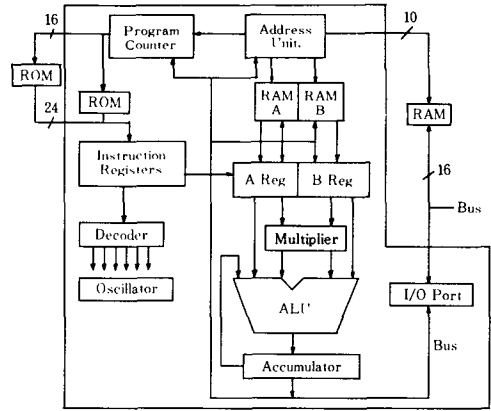


그림 6. CMOS 88-pin Fujitsu MB 8764 블록 다이어그램

표 5. 단일칩 programmable DSP 회로

Device	AMI S2811	AMI 28211/2	Bell DSP-1	Fujitsu MB B764	Hitachi 61810	Intel 2920/21	NEC 7720/P20	NEC 77220	TI 320	Toshiba T6386/7
Process	nMOS	nMOS	nMOS	CMOS	CMOS	EPROM/nMOS	nMOS/EPROM	CMOS	nMOS	nMOS
Minimum Feature Size	4.5 microns	3 microns	4.5 microns	2.3 microns	3 microns	6/4 microns	3 microns	2 microns	2.7 microns	2 microns
Year Described	1978	1983	1980	1983	1982	1978/81	1980	1984	1982	1983
Area(sq. mils)	41,000	-	106,000	145,000	79,000	47,000	44,000	-	70,000	76,000 / 74,000
Number of Transistors	30,000	-	45,000	91,000	55,000	20,000	40,000	-	-	66,000 / 48,000
Pins	28	28 / 64	40	88	40	28	28	-	40	28 / 64
Power	1 W	0.7 W	1.25W	0.290 W	0.200 W	1 W	1 W	-	0.9 W	0.360 W
Precision	16	16	20	16	16FP	25	16	24	16	16
Multiplier	12 $\times$ 12=16	12 $\times$ 12=16	4(4 $\times$ 20)=36	16 $\times$ 16=26	12 $\times$ 12=16	25 $\times$ 1=25	16 $\times$ 16=31	24 $\times$ 24=48	16 $\times$ 16=31	16 $\times$ 16=31
Speed	300 ns	300 ns	4(200) ns	100 ns	250 ns	600 / 400 ns	250 ns	100 ns	200 ns	250 ns
Program Memory	256 $\times$ 17 ROM	512 $\times$ 18 ROM/EXT	1K $\times$ 16 ROM, EXT	1 K $\times$ 24 ROM, EXT	512 $\times$ 22 ROM	192 $\times$ 24 EPROM/ROM	512 $\times$ 23 ROM/EPROM	4096 ROM	4 K $\times$ 16 ROM, EKT	512 $\times$ 16 ROM/EXT
Data RAM	128 $\times$ 16	256 $\times$ 16	128 $\times$ 20	256 $\times$ 16	200 $\times$ 16	40 $\times$ 25	128 $\times$ 16	1024 $\times$ 24	144 $\times$ 16	128 $\times$ 16
Data ROM	128 $\times$ 16	128 $\times$ 16	in program	in program	128 $\times$ 16	16 $\times$ 4	512 $\times$ 13	1024	in program	512 $\times$ 16 ROM/EXT

초기에 연구 개발된 단일칩 신호처리 회로는 host 또는 control microprocessor 없이 독자적으로 동작하도록 설계되었지만, 최근에는 기능을 쉽게 바꾸고, I/O와 주변장치를 효율적으로 제어하기 위해 control processor를 두는 방식을 채택하고 있다. 그리고 단일칩 만으로는 충분하지 않을 경우 여러개의 칩을 연결하여 사용하는 경우가 생기는데 이때에는 칩사이의 데이터 교환과 동기화가 중요하다. 이러한 동기화는 밀접하게 접속된 칩들이 긴 지연시간 없이 데이터 교환이 이루어 질수 있도록 기본 시스템 클락으로 동작해야 한다.

3. 전용 Processor

광범위한 응용을 목적으로 설계된 신호처리 회로는 많은 redundancy를 포함하고 있으므로, 특별한 응용을 목적으로 하는 경우에는 거의 사용하기 힘들다. 따라서 최근에는 단일 응용을 위한 칩이 많이 설계되고 있는데, 한가지 예로 그림 7에 보여지는 NEC- $\mu$ PD 7764 음성 인식용 신호처리 칩이다. 이 칩에는 6개의 다른 형태의 메모리와 5가지 연산 기능 블락, 2개의 I/O제어기 등의 특별한 구조로 되어 있다. 이러한 특별한 구조에 의해 기존의 범용 신호처리 회로가 할 수 없는 고속의 음성인식을 효율적으로 수행할 수 있다. 또 하나의 구조상 특징으로는 음성 인식 기술의 발전에 대처하기 위해, 프로그램 메모리 내에 RAM을 두고 그 내용을 바꾸어 줄 수 있게 함으로써, 작업과 알고리즘 변화에 대해 flexibility를 가능케 하였다.

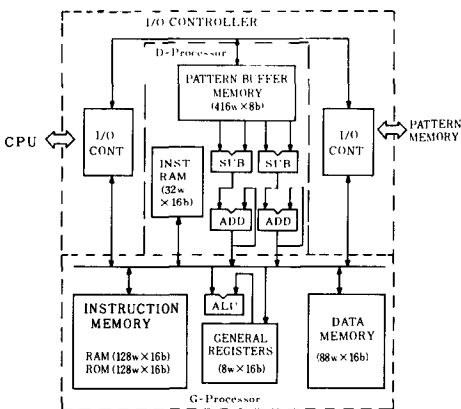


그림 7. 단일 응용 디지털 신호처리 회로 (NEC  $\mu$ DD 7764)

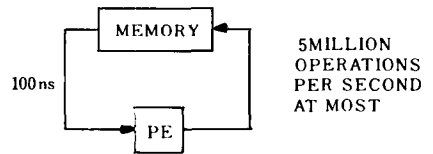
4. Multi-Processor를 이용한 Digital Signal Processor

앞에서 기술한 3가지 신호처리 회로는 융통성이 좋으며 소규모의 데이터에 대해서 고속처리가 가능하다. 그러나 하드웨어 아키텍처의 제약 때문에 데이터의 병렬 연산이 제한되고, 응용 목적에 따라 방대한 프로그램을 작성해야 하고, 장래에 예상되는 광대한 데이터를 실시간으로 처리하는데 제약이 따른다. 따라서 대량의 데이터에 대해서 실시간 연산을 하기 위해서는 processing element (PE)가 하나가 아닌 다수개를 병렬로 사용하는 방식이 주목을 받고 있다. 그중에서도 크게 3가지 방식, systolic 아키텍처, wavefront 아키텍처 그리고 tree 아키텍처에 대해 많은 연구가 이루어지고 있으며, 가까운 장래에 wafer scale integration (WSI) 기술이 발달하면 널리 실용화되리라 생각한다.

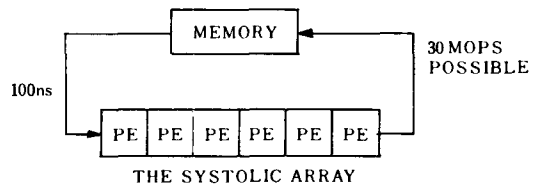
1) 시스토릭 아키텍처

시스토릭 아키텍처는 많은 인접한 PE들로 구성되어 있는데, 각각의 PE는 단지 몇가지 단순한 연산만을 한다. 이러한 구조는 local communication, regular data flow 등의 특징을 갖고 연산시에는 파이프라인과 병렬처리를 사용하므로 고속처리가 가능하다. 그림 8은 기존의 단일 PE를 사용하는 Von-Neumann 방식과 systolic 아키텍처 사이의 구조상의 차이를 보여준다.<sup>1)</sup>

PE는 연산을 하고 데이터를 보내는 모양이 신체 내의 심장이 피를 규칙적으로 보내는 모습과 유사하



(a) Von-Neumann 방식



(b) Systolic array 방식

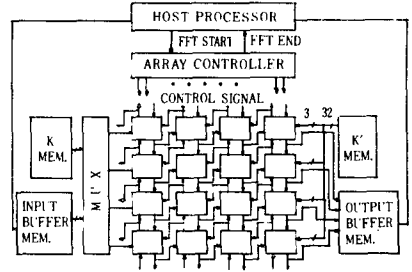
그림 8. 시스토릭 아키텍처의 기본원리

다고 해서 “systolic” 이라는 말이 붙게 되었다. 이와 같은 시스토크 아키텍처를 이용하여 FFT (fast Fourier transform) 연산을 하드웨어로 구현하는 연구가 외국에서는 군사 목적으로 이루어지고 있고, 국내에서는 연세대학교에서 수행되고 있다.<sup>[7~15]</sup> 개발되고 있는 FFT 회로는 시스토크 셀에 회절인자(twiddle factor)를 look-up table로 고정시켜서 16-point FFT 연산만을 수행하도록 한 방식과 시스토크 셀의 규칙적인 배열확장에 의해 임의의 points FFT 연산을 가능케 하도록 회절인자 값을 외부 메모리 K와 K'에 두는 2가지 방식이 연구되었다. 전체 동작이 병렬 처리와 파이프라인 처리로 이루어지므로 고속처리가 가능해서 실시간 처리가 필요한 분야에 적용 가능하다. 그림 9는 규칙적인 확장이 가능하도록 설계된 시스토크 FFT 프로세서의 블록 다이어그램, 시스토크 셀 그리고 레이아웃을 각각 나타내고 있다.<sup>[11]</sup>

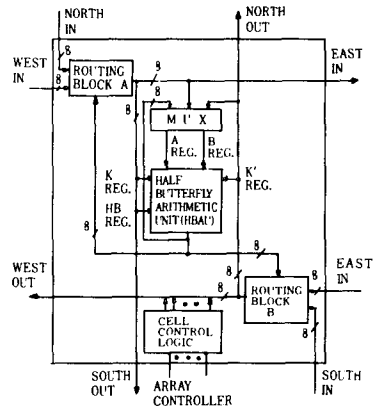
그림9(a)에서 보는 바와 같이 각각의 셀은 인접한 셀과 연결되어 있으며, 따라서 데이터의 이동은 시스토크 셀내의 데이터 이동 블록을 통해 이루어진다. 그 결과 그림 3의 FFT 연산 흐름도에서의 global communication 문제를 해결하였다. 그리고 버터플라이 연산 회로는 연산시간과 칩면적을 고려하여 distributed 연산과 merged 연산을 결합한 형태이다. 하드웨어 구성은 규칙적인 구조를 갖고 있으며 확장이 용이한 binary lookahead carry (BLC) 가산기를 사용한 2 adder-based 구조를 갖고 있다. 다른 방식인 16-point FFT 프로세서는 시스토크 셀내에 회절인자 값을 두었으며, 16개 시스토크 셀을 단일칩화 하여 최대의 성능을 얻음을 목적으로 하고 있다.<sup>[15]</sup> 이와 같은 2가지 형식의 FFT 프로세서의 특성은 표 6과 같다. 이러한 연구에서 사용된 데이터 이동 블록은 2개의 multiplexer와 레지스터로 구성되어 있는데, 이차원 시스토크 어레이를 사용하는 다른 알고리즘을 구현하는데 쉽게 응용될 수 있으리라 생각한다. 레이아웃시 시스토크 셀의 가장 큰 문제인 clock skew 문제를 해결하기 위해 H-tree 레이아웃 기법을 사용하였다. 이 연구는 시스토크 아키텍처를 사용하여 디지털 신호처리 알고리즘을 VLSI로 구현한 실제적인 예이다.

2) Wavefront array processor

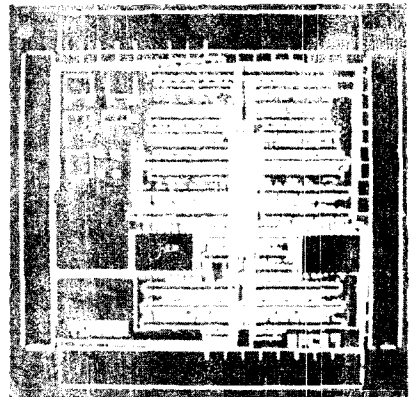
시스토크 어레이에서 문제점으로는 data movements가 global timing reference “beat”에 의해서 제어된다는 점이다. 시스토크 어레이에서는 동작의



(a) 시스토크 FFT 프로세서 블럭다이어그램



(b) 시스토크 셀



(c) 시스토크 셀의 레이아웃(4.3×3.6mm<sup>2</sup>)

그림 9. 규칙적 확장이 가능한 시스토크 FFT 프로세서

동기화를 위해 일반적으로 여분의 지연소자가 추가되어 타이밍을 맞추게 된다.

더구나 전체 computing network를 동기화 시켜야 한다는 문제는 VLSI 또는 WSI (wafer scale integration)에서는 큰 문제가 될 수 있다.

표 6. 2 가지 시스토크 FFT 프로세서 특성 비교

type	expansible	16-point
characteristics	FFT processor	FFT processor
technology	2 $\mu$ m p-well CMOS process	2 $\mu$ m p-well CMOS process
system clock	10(MHz)	20(MHz)
butterfly arithmetic time	1( $\mu$ s)	0.5( $\mu$ s)
16-point FFT computation times	8000(ns)	4400(ns)
Data representation	2's complement 16 bit data	2's complement 16 bit data
Number of cells on chip	1	16
Number of transistors	6000 *	50,000 **
number of pins	68	82
chip area	4.3 $\times$ 3.6(mm <sup>2</sup> )	8.8 $\times$ 8.7(mm <sup>2</sup> )
range of computation	2 <sup>n</sup> arbitrary points, flexible	16-point, fixed

(주 : \*는 단일칩에 하나의 시스토크 셀로 이루어지며, \*\*는 단일칩이 16개의 시스토크 셀로 구성됨)

이와 같은 난점을 해결하는 방법으로 data-flow locality에 control-flow locality를 추가한 방식이 wavefront architecture 인데, 이것은 systolic array 와 data flow architecture 를 결합한 형태이다. Self-timed clocking 을 사용하기 때문에, clock skew 문제가 해결 될 수 있어, 규칙적인 확장이 가능하다는 장점이 있으나, 비동기적인 동작으로 설계와 제어가 어렵다는 난점이 해결해야 할 과제이다.

그림10은 wavefront array 프로세서가 동작하는 모습을 보여준다.<sup>(16)</sup>

Wavefront array에서 computational wavefront라는 말은, 각각의 processor가 wavefront 전파에 대해 2 차적인 source 역할을 하는 모양이 전자파의 wavefront 와 유사하다는 점에서 붙여진 이름이다.

3) Tree 아키텍처

Tree machine 아키텍처는 binary tree로 연결된 단순한 computing element의 집합이다.<sup>(17)</sup>

이러한 아키텍처에서는 global communication이 존재하지 않고, parents와 그것의 child node사이에서만 communication이 이루어진다.

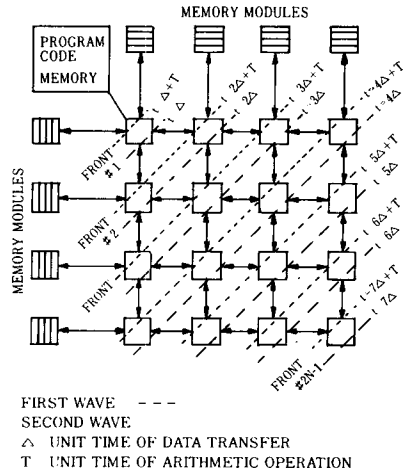


그림10. Wavefront array processor의 동작 원리

이와 같은 tree machine 아키텍처의 대표적인 예가, 버클리대학에서 연구하고 있는 X-tree이다.

X-tree는 X-node라 불리는 modular components로 구성되어 있으며, half 또는 full-ring tree를 구성하기 위해 추가적인 link를 갖는 binary tree이다.

그림11에 보는 바와 같이, node n의 children은 node address 2n과 2n+1을 갖고 있으며, tree를 통한 모든 communication은 메시지의 형태를 취한다. 따라서 효율적인 routing을 위해, 완전한 메시지는 node address와 node내의 메모리 번지를 가리키는 address를 포함한다.

한이는 node에서 다른 node로 message를 보내기 위해서는, target node address와 leading bits가 모두 일치하는 상위 node까지 message가 tree 윗 방향으로 움직이고, 거기에서부터 목적지까지 메시지는 내려가게 되는 message routing 기법을 사용한다.

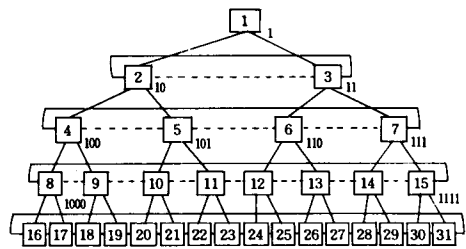


그림11. X-tree 아키텍처



### V. 디지털 음성 인식 VLSI

음성 신호처리 분야의 가장 중요한 부분의 하나인 음성 인식 기술은 인식하고자 하는 음성의 형태에 따라 격리단어 인식, 연결단어 인식 및 연속 음성인식등으로 구분할 수 있으며, 말하는 사람의 부류에 따라 화자종속, 화자 독립 음성 인식으로 나눌 수 있다.

최근 반도체기술의 급격한 발전으로 과거에 범용 칩(chip)을 사용하여 소프트웨어로 신호처리를 하던 방식을 탈피하여, 실시간 처리를 위해 성능이 향상되고 가격이 저렴한 음성 신호 처리 전용 집적회로에 대한 요구가 점차 증가하고 있다. 이러한 요구에 적합한 음성신호 처리 시스템을 초대형 집적회로(VLSI) 기술로 하면 신호 처리속도, 계산 능력 및 인식 어휘량 측면에서 우수할 뿐 아니라 시스템 하드웨어의 크기를 줄일 수 있다는 장점이 있으므로 가격이 저렴한 음성신호 처리 시스템의 구현이 가능하다.

음성 신호 처리용 VLSI에 대한 연구는 광범위하므로, 여기서는 가장 핵심적인 부분인 음성 인식용 패턴 매칭(matching) 프로세서를 중점적으로 다루고자 한다.

그림12는 음성 인식 시스템의 기본 구성도이다.

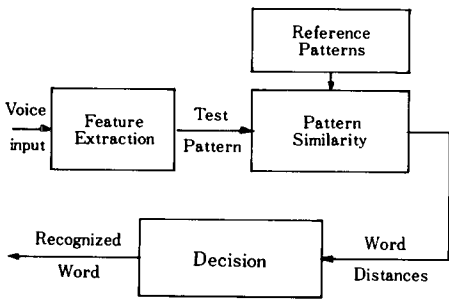


그림12. 음성 인식 시스템의 기본 구성도

이러한 음성 인식용 VLSI칩은 대부분 전력소모 측면에서 우수한 CMOS 기술로 구현되어 있고, 칩 implementation 시에는 칩 면적, 전달지연(propagation delay), packaging, testing 등의 공정 제한 조건을 반드시 고려하여야 한다.

다음은 몇가지 패턴 매칭 프로세서에 대한 예이다.

#### 1. 격리단어 패턴 매칭 프로세서

Siemens사의 격리단어 패턴 매칭 프로세서는 기준어의 특징 vector를 추출하여 template 메모리에 저장하는 훈련단계(training stage)와 unknown speech 패턴과 기준 패턴을 비교하는 인식 단계(recognition stage) 등의 2가지 동작형태로 구분되어 있다. 패턴 매칭프로세서는 그림13과 같이 vector distance 계산부와 시간축상의 정합(alignment)을 위한 DTW(dynamic time wrap) 알고리즘 수행부로 구성되어 있다.<sup>[22]</sup>

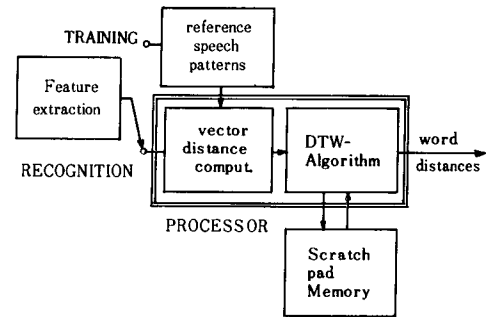


그림13. Siemens 패턴 매칭 프로세서

Vector distance 계산은 3가지 가능한 음성신호(voiced, unvoiced, pause)의 조합에 대하여 weight factor를 프로그래밍 할 수 있도록 하고, DTW 알고리즘 수행부는 계산량을 줄이기 위하여 기율기 제한 조건을 적용하였다.<sup>[19]</sup>

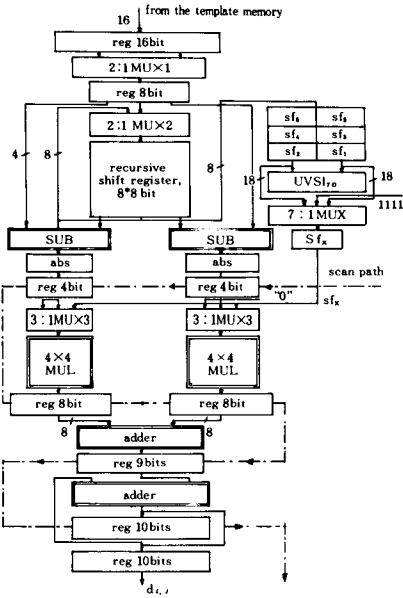
그림14(a)는 vector distance 계산을 위한 하드웨어 구성도를 나타내고 있으며, 그림14(b)는 DTW 알고리즘 수행부의 데이터 path를 나타내고 있다.

그림14의 하드웨어는 pipeline architecture로 구성되어 있고, 그림15와 같이 3가지 상태를 가지는 control logic에 의하여 data path가 제어된다.<sup>[20,21]</sup>

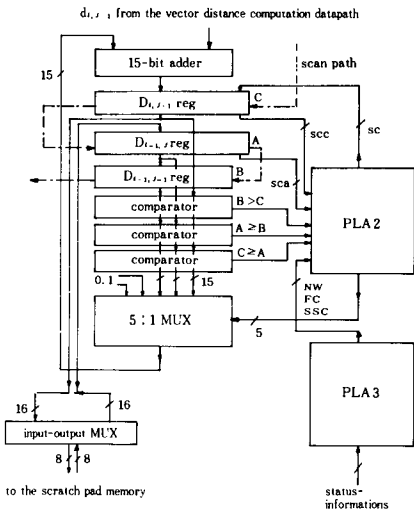
위에서 언급한 Siemens사의 단일칩 격리단어 패턴 매칭 프로세서의 특징을 요약하면 표7과 같다.

#### 2. 격리/연결단어 인식용 LSI

Hitachi사의 격리/연결단어 인식 패턴 매칭 프로세서는 그림16과 같이 distance 계산 LSI, NL-LSI와 interface LSI로 구성되어 있고, 각각의 LSI를 독립적으로 사용하였을 경우 vocabulary size가 60단어였던 것을 단일칩 LSI(VRP-LSI)로 구현함



(a) Vector distance 계산부 하드웨어



(b) DTW 알고리즘 수행부 하드웨어

그림 14. 패턴 매칭 프로세서의 하드웨어

으로써 어휘량을 512단어로 증가 시켰다. 표 8 은 단일칩 VRP-LSI의 특성을 보여주고 있다.

VRP-LSI 회로의 아키텍처 7개의 기능별 block으로 구분된다(그림 17). Distance 계산부는 Chebyshev norm ( $d(i,j)$ )을 계산하고, NL-LOGIC 회로는

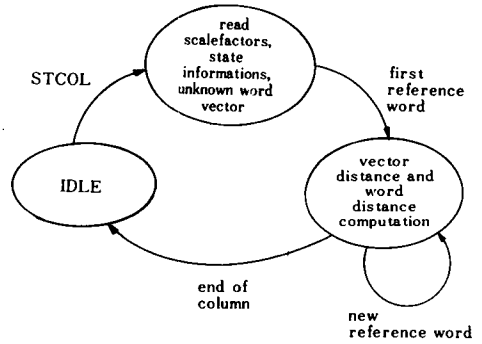


그림 15. 패턴 매칭 프로세서의 제어 상태도

표 7. Siemens 패턴 매칭 프로세서의 특성

Vocabulary Size	1000-word/isolated
clock frequency	10MHz
template memory access	20ns
공정 기술	2 $\mu$ m CMOS
chip size	20r $m^2$
트랜지스터수	100,000EA
전력 소모	60mW

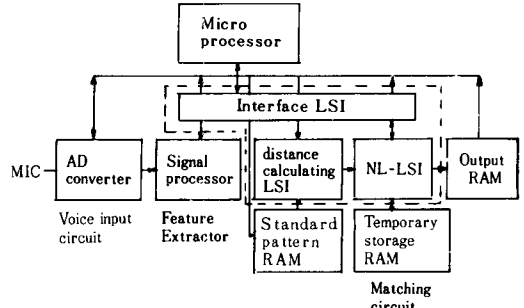


그림 16. Hitachi 음성 인식 시스템 (점선내는 패턴 매칭 프로세서)

최종 매칭값  $Mn(i,j)$ 을 출력 시킨다. Memory interface 회로는 reference pattern의 address를 제어하고 계산 능력을 향상시키기 위하여 random logic gate로 구성하였다. VRP-LSI의 성능은 표 9와 같고, 기능면에서 기존 600개의 IC와 같은 기능을 수행한다.

표 8. VRP LSI Specifications

Matching mode	Continuous non-linear matching/Ordinary non-linear matching
Output mode	Less than equal threshold value
Operating mode	Control parameter { Matching mode Standard pattern number threshold value
Specity	
Ability	2560 frames(stander pattern/input pattern frame)
LSI Process	CMOS 2 $\mu$ m Process
Clock frequency	16MHz(machine cycle 250 ns)
Bit depth	16 bits(I/O 8 bits)
Chip size	9.0mm $\times$ 9.0mm
Packaging	68Pin Pin Grid Array Package, Vcc=5V

표 9. VRP LSI performance

Speech manner	Isolated/Connected
Vocabulary	512/128
Speed	about 3000 frames/20ms
Control	Operating mode specify by Control Parameter
Bit depth	I/O 8bits. Arithmetic 16 bits
Integration	44,000TRS (ROM512 $\times$ 20, 256 $\times$ 16, RAM $\frac{16 \times 8}{16 \times 16}$ )
Interface	TTL Compatible
Power	5V, 15mA(Ta=25 $^{\circ}$ C, f=16MHz)
Packaging	68Pin Pin Grid Array Package
Testing	Internal Test ROM

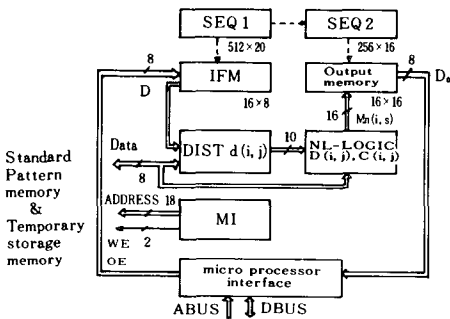


그림17. VRP-LSI 회로 구성도

성 입력부, 분석부, 스펙트럼 normalizing 부, segmenting 부, template 메모리와 decision 부등 7 개의 기능별 block 으로 구성되어 있으며, 이것을 단일 칩 으로 구현하였다(그림18).

음성 입력부는 3.4KHz cut-off low pass filter, 8-bit A/D converter(8KHz) 와 증폭기로 구성되어 있다.

분석부에서는 디지털화된 신호가 대역통과 filter 를 통과하면서 8 개 구간으로 나누어지고, 주파수 성분을 추출하기 위하여 절대값을 취하고 매 16msec 마다 평균값을 취한다.

스펙트럼 normalizing 부는 각기 다른 음색을 가진 임의의 화자의 utterance variation 을 least square fit 방식에 의하여 스펙트럼을 normalization 한다.

Speech segmentation 부는 frame power P(j)의 threshold value 에 대한 상대값에 따라 시작점과 끝 점(end point) 을 검출한다.

3. 단일칩 화자 독립 음성인식 프로세서  
OKI Electric Industry 사의 화자독립 (speaker independent) 음성인식 프로세서 (MSM 6250) 는 음

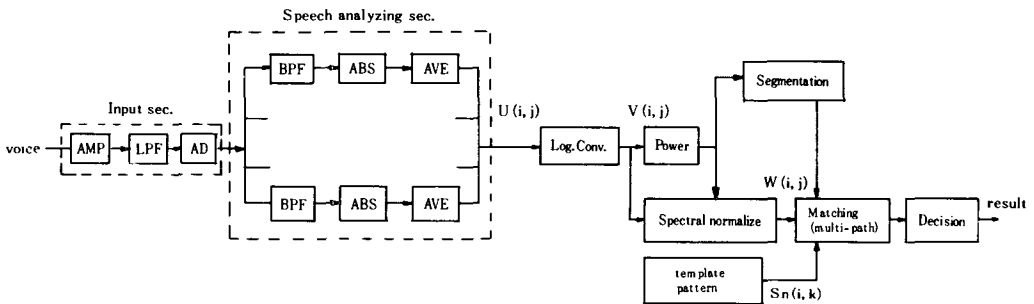


그림18. 화자독립 음성 인식 프로세서(MSM 6250) 구성도

Template memory는 masked-ROM을 사용하였고 20개의 template 패턴(48Kbits capability)을 저장할 수 있다.

Multi-Data linear matching부는 계산량이 많고, 처리속도가 낮은 dynamic programming 방법을 쓰지 않고 linear pattern matching 방법을 채택함으로써 하드웨어 구성을 간단히 하였다.<sup>[23]</sup>

언어 분석부의 특성은 표10과 같고 단일칩 음성 인식 프로세서 MSM 6250 하드웨어 특성은 표11과 같다.

표10. Speech analyzer 특성

Input condition	Input medium : Microphone Method of utterance : isolated Speaker : Speaker independent Number of Recognition word : 8 word (or extensible)
Frequency analysis	Analog-to digital conversion : 8KHz sampling, 8 bit Sampling frequency : 8KHz Digital filter composition : 8ch. second order, bit-slice method Center frequency range : 250~2500Hz Frame period : 16ms
Recognition	Matching method : Linear matching with multiple paths Reference pattern : averaged male & female reference pattern, male/female

표11. MSM 6250 하드웨어 특성

Process	3μ Si-CMOS
Chip size	6.34×6.3mm <sup>2</sup>
Number of transistors	7000 Gate 720 bits RAM 48k bits ROM AD converter
Power supply range	5 V
Power supply current	10mA (MAX)
Clock frequency	4.19304MHz (TYP)
Package	28 pin DIP

4. Systolic 아키텍처를 이용한 패턴 매칭 프로세서 실시간 처리를 위한 performance를 높이고, 저 가격의 음성 인식 시스템은 VLSI 구현에 의하여 가능하다.

이때 고려하여야 하는 중요한 3 가지 문제는  
 i) Template 메모리 용량과 access time  
 ii) 계산부와 메모리 사이의 통신속도  
 iii) 실시간 거리계산과 분류(classification) 과정에서 요구되는 계산량 등을 고려해야 하며 이중 패턴 비교 과정의 유사거리 계산부에서의 계산속도가 전체계산 능력을 좌우하므로 vector distance 계산부의 구조를 1-D systolic array로 설계하여 계산능력을 향상 시켰다. 그림19는 vector distance 계산부의 element로 two level pipeline architecture로 설계한 것이다.<sup>[24]</sup>

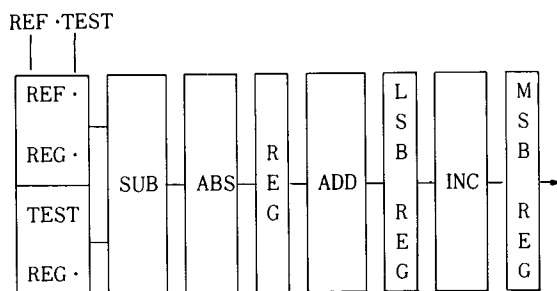


그림19. Vector distance element (DE)

DE는 면적이 1.21/mm<sup>2</sup>, 트랜지스터 2500개로 구성되어 있고, clock 주파수는 20MHz, 10msec의 1-frame 동안 20,000 vector를 처리 할 수 있다.

이러한 몇개의 DE로 1-D systolic array를 구성하여, I/O를 증가 시키지 않고도 계산량이 많은 vector distance processor (VDP)를 구성하였으며 VDP는 VQ(vector quantization) mode와 DPM(dynamic pattern matching) mode에서 동작 할 수 있도록 설계되어 있다(그림20).

Dynamic programming 수행부는 기율기 제한 조건과 cost function 계산 방식을 채택하여 합(addition)과 비교 과정에서 생기는 complexity를 줄였다.

위에서 설명한 DE와 CE(cost element) cell에 의한 dynamic pattern matching(DPM) 프로세서는 macro cell 방식으로 구현하였다. 그림21은 하나의 macrocell DPM 아키텍처를 나타내고 있다.

이 macrocell은 칩 면적 2.0mm<sup>2</sup>이고 트랜지스터 갯수는 4,800개이다. 전체 DPM 칩은 그림22와 같고, 전체 칩은 13개의 macrocell로 구성되어 있다.

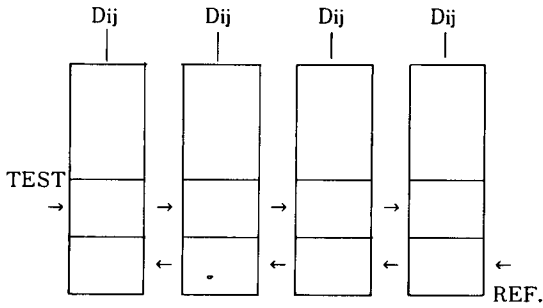


그림20. 1-D systolic array VDP

DE cell	INTER		CE cell								
	F	ROUT	B	B	B	B	B	B	B	B	B
	O	&	S	S	S	S	S	S	S	S	S
	R		P	P	P	P	P	P	P	P	P
	M	CONT									

그림21. DPM 아키텍처

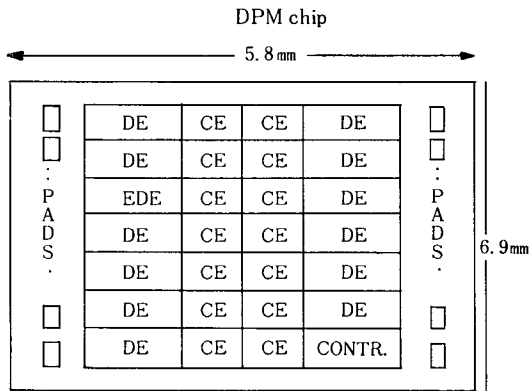


그림22. DPM 칩 floor-plan

VI. 결 론

본문에서는 최근 많은 연구가 진행되고 있는 디지털 신호처리를 위한 VLSI 아키텍처에 대하여 살펴 보았다. 아키텍처 설계 방법의 추세는 범용 칩을 사용하여 소프트웨어로 신호처리를 하는 방식을 탈피하여, 실시간 신호처리를 위해 성능이 향상되고 고속처리가 가능한 전용(dedicated) 신호 처리 회로설

계 및 VLSI 칩 구현이 강조되고 있다.

그리고 신호처리 회로 설계시는 디지털 신호처리에서 기본적으로 요구되는 고속 연산기능 이외에도 유연성, 프로그래밍의 용이성, 정확성, 다른 시스템과의 인터페이스 및 공정제한 요소(칩면적 packing, testability) 등을 고려하여야 한다. 그 중에서 음성 인식용 VLSI에 대한 연구는 음성 신호의 실시간 처리를 위한 성능을 향상시키기 위하여 기존의 dynamic programming 방법을 개선한 level-building DTW 및 vector quantization 방법등으로 패턴 매칭 과정에서 요구되는 계산량을 줄이는 방법과 함께 bit-slice 또는 systolic 아키텍처 등을 적용함으로써 신호처리 속도를 증가시키며, template 메모리 용량을 크게 함으로써 인식 어휘량을 늘리고, access time을 줄이는 방향의 연구가 진행되고 있다. 이와 같이 신호처리 회로의 VLSI 구현에 의하여 신호처리속도 및 능력이 향상되고 가격이 저렴한 시스템의 구현을 기대할 수 있다.

參 考 文 獻

- [1] H.C. Yung and C.R. Allen, "VLSI architecture for digital signal processing," Technical Report, Univ. of Newcastle.
- [2] Philip. C. Treleaven, "VLSI processor architectures," Computer, June 1982.
- [3] Robert E. Owen, "VLSI architectures for digital signal processing," VLSI Design, June 1984.
- [4] Tokao NISHITANI, "Signal processor design methodology," Design Methodologies.
- [5] Peled and Liu "Digital signal processing," John Wiley & Sons
- [6] H.T. Kung, "Why systolic architectures," Computer, Jan. 1982.
- [7] 이문기, "'87 다목적 공동설계(MPC) 개발에 관한 최종연구보고서," 과학기술처, 1987.
- [8] 이문기, "다목적 공동설계(MPC) 개발에 관한 최종연구보고서," 과학기술처, 1986.
- [9] 이문기, "LSI/VLSI 설계자동화" 대한전자공학회, 8권, 4호, 1981.
- [10] 이광엽, 김봉열, 이문기, "Semi-Custom 방식을 이용한 디지털 필터의 집적회로 설계," 대한전자공학회 논문지, 25권 2호, 1988.

- [11] B.Y. Choi, B.H. Kang, J.K. Lee, K.W. Shin, B.R. Kim and M.K. Lee, "VLSI implementation of two dimensional FFT algorithm on systolic array," Proceeding of TENCON 87, Aug. 25, 1987.
- [12] 정성욱, 신경욱, 강병훈, 이장규, 김봉열, 이문기, "시스토크 아키텍처를 갖는 FFT 프로세서의 기본셀 설계 및 전기적 특성 측정" 대한전자공학회 1987년 추계학술대회 논문집.
- [13] 신경욱, "집적회로화된 FFT용 Systolic Array의 설계" 연세대학교 석사학위 논문, 1986.
- [14] 최병윤, "2 차원 시스토크 FFT 프로세서의 설계" 연세대학교 석사학위 논문, 1987.
- [15] 이장규, "고속 Fourier 변환용 시스토크 FFT 프로세서의 설계" 연세대학교 석사학위 논문, 1988.
- [16] S.Y. Kung, "VLSI array processors," IEEE ASSP Magazines, Jan. 1985.
- [17] S.Y. Kung, H.J. Whitehouse and T. Kailath, "VLSI and Modern Signal Processing," Prentice Hall Inc. 1985.
- [18] J. Beausang and A. Albich, "Incorporation of the BILBO technique within existing chip design," IEEE CICC, 1985.
- [19] S. Saito, I. Nakata, "Fundamentals on Speech Signal Processing," Academic Press, 1985.
- [20] H. Murveit, R.W. Broderson, "An integrated-circuit-based speech recognition system," *IEEE Trans. on ASSP*, vol. 34, Dec. 1986.
- [21] W. Drews, R. Laroia, "A CMOS processor for a 1000 word speech recognition system," IEEE Proceedings of CICC 1987.
- [22] H. Sakoe, S. Chiba, "Dynamic programming algorithm optimization for spoken word recognition," *IEEE Trans. on ASSP*, vol. 24, 1976.
- [23] M. Morito, K. Yamada and M. Takeuchi, "A single-chip speaker independent voice recognition system," Proceedings of ICASSP, Tokyo 1986.
- [24] F. Jutand, N. Demassieux and D. Vicard "VDP: A versatile high performance vector distance processor," Proceedings of ICASSP, Tokyo 1986. ☼

————— 학술발표회 개최 안내 —————

1. 의용전자 및 생체공학연구회 학술발표회  
 일시 : 1988년 5월 20일(금)  
 장소 : 한국과학기술원 존슨강당  
 (의공학회와 공동)
2. 반도체·재료 및 부품연구회, 씨에이디연구회 합동 학술발표회  
 일시 : 1988년 5월 21일(토)  
 장소 : 건국대 사회과학관
3. 마이크로파 및 전파전자연구회, 광파 및 양자전자연구회 합동 학술발표회  
 일시 : 1988년 5월 28일(토)  
 장소 : 한국과학기술원(동부지역)
4. 계측 및 제어연구회 학술발표회  
 일시 : 1988년 5월 28일(토)  
 장소 : 럭키금성 제 1 연구단지  
 (전기학회와 공동)