

## GaAs MESFET의 AC 특성 모델에 관한 연구

## (A Model for AC Characteristics of GaAs MESFET's)

金昌佑\*, 金弘培\*\*, 郭桂達\*

(Chang Woo Kim, Hong Bae Kim and Kae Dal Kwack)

## 要 約

본 논문에서 GaAs MESFET의 소신호 회로에 대한 해석적 모델을 제시하였다. 이 모델은 Gunn-domain의 형성과 공핍 영역의 경계에서 존재하는 천이 영역을 고려하여준 전하 모델이다. 등가 회로 모델 소자들의 해석적 표현식을 이 전하 모델로부터 유도하였으며, 각 회로 소자들의 bias에 대한 의존성도 잘 설명하였다.

본 논문의 계산 결과는 실험 결과와 잘 일치하였다.

## Abstract

A new analytic model for small-signal circuit model of GaAs MESFET's is presented. This model is a charge model which considers the formation of a stationary Gunn-domain and the transition region that exists in the depletion region boundary.

From this charge model the analytic expression of the equivalent circuit elements is derived, and the voltage dependences of each element are explained. The results of the calculation are in good agreement with experimental data.

## I. 서 론

Schottky barrier gate 구조를 갖는 Gallium-Arsenide Metal-Semiconductor Field Effect Transistor (GaAs MESFET, GaAs SBFET)는 high available gain, high power efficiency, low-noise amplification의 특성때문에 microwave FET 회로에 많이 응용되고 있으며, GaAs내 전도 전자의 큰 이동도와 큰 표동 속도에 의한 high switching time 때문에 high speed

digital 회로에도 많이 사용되고 있는 device이다.<sup>[1]</sup>

이 GaAs MESFET의 회로 simulation에 적용시킬 수 있는 적합한 등가 회로 모델이 dc 모델로부터 주파수 대역이 X-band에 이르는 microwave 등가회로 모델로 계속 연구되어지고 있다.

그러나, GaAs MESFET의 내부 구조 해석이 어렵기 때문에 정확한 이론적 모델의 개발에 많은 문제가 된다. 많은 논문에서 Two-dimensional computer analysis로 GaAs MESFET 등가 회로 모델의 회로 소자들과 dimensional, material parameter와의 관계식을 결정하여 그 소자값을 유도해 내고<sup>[2]</sup> 궁극적으로는 각 회로 소자들이 외부 bias 전압에 대한 의존 관계를 유도해냈다.<sup>[3,4]</sup>

이 중 다수는 scattering-parameter measurement method로 구하여지는 실험 data와 잘 일치하였지만, 그 simulation program이 복잡하고 많은 simulation computer time이 요하게 되므로 LSI system에 응용

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng., Hanyang Univ.)

\*\*正會員, 淸州大學校 半導體工學科  
(Dept. of Semiconductor Eng., Chongju Univ.)

接受日字: 1987年 3月 18日

(※ 이 논문은 1986년도 문교부 학술연구조성비에 의하여 연구 되었음.)

하기에 어려움이 따르게 된다.

따라서 simulation computer time이 적게 걸리면서, 측정값과 잘 일치할 수 있는 간편한 모델인 해석적 회로 모델이 제시되었다.<sup>[2-7]</sup>

이 해석적 회로 모델의 표현식을 유도해 내기 위한 접근 방법을 살펴보면, JFET 모델에서 발전된 Schottky 모델로 표현식을 결정하는 방법,<sup>[2]</sup> y-parameter 계산으로 회로 parameter 값을 결정하는 방법,<sup>[6]</sup> 전하 분포의 해석으로 표현식을 유도해 내는 방법<sup>[3,4,7]</sup> 등이 있다.

본 논문에서 제시된 등가 회로 모델은 전하 모델로 GaAs MESFET의 Two-dimensional analysis에서 고려하여 준 천이 영역, 즉 gate 하단부의 공핍 영역과 채널의 중성 영역의 경계 부분에서의 carrier 전하 분포가 급격하지 않고 완만한 분포를 갖는 영역을 포함시켜 표현식을 유도해 내었다.<sup>[8,13]</sup> 또한 Gunn-domain의 형성으로 인한 영향을 상세히 고려하여 회로 모델을 유도하였다.<sup>[4,9]</sup>

이 유도된 등가 회로 모델의 표현식은 doping density, built-in 전압과 같은 material parameter와 gate 길이, active layer 두께 등과 같은 dimensional parameter와의 관계식으로 bias 전압에 의존성을 갖는다.

최종적으로는 각 회로 소자들과 bias 전압과의 관계를 고찰하여 실험 data와 비교 검토하여 잘 일치함을 알아보았다.

II. 소신호 회로모델

본 논문에서 제시한 GaAs MESFET의 소신호 회로 모델은 lumped-element 회로 모델로 이를 물성적 이론을 근거로 각 부분별 소자를 알아보면 그림 1과 같다. 그림 1의 점선 내에 들어있는 부분은 intrinsic 모

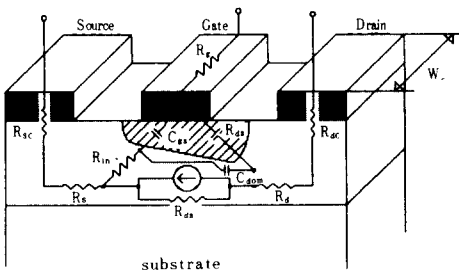


그림 1. 물리적 개념에 입각한 GaAs MESFET의 회로 소자  
Fig. 1. Circuit elements for GaAs MESFET based on physical origin.

델로 gate 하단부 공핍된 영역의 공간 전하 분포에 의한 capacitance인 gate와 source 사이의 capacitance  $C_{gs}$ , drain과 gate 사이의 capacitance  $C_{gd}$ , 채널 부분에서의 voltage-controlled current source element인 transconductance  $g_m$ , drain과 source의 conductance  $g_d$ 와 입력 저항  $R_{in}$ , 높은 전계하에서 형성되는 Gunn-domain의 dipole charge 분포에 의한 dipole layer capacitance  $C_{dom}$  등의 component로 구성된다.<sup>[14]</sup>

점선 밖의 extrinsic circuit 모델 소자로는, drain과 source의 ohmic contact에 의한 저항  $R_{ac}$ 와  $R_{sc}$ , gate 금속 전극 저항  $R_g$ , 채널과 source metal contact을 직렬로 연결하는 저항  $R_s$ , 채널과 drain 금속 전극을 직렬로 연결하는 저항  $R_d$  등의 여러 component가 있다.

여기서 intrinsic circuit 모델에 대한 등가회로를 그림 2에 나타내었다.

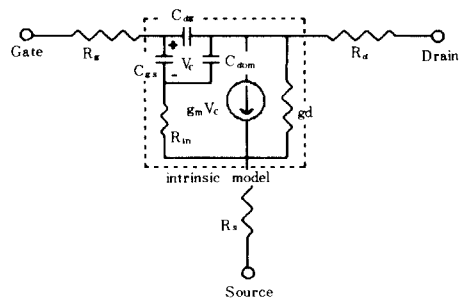


그림 2. GaAs MESFET의 등가 회로  
Fig. 2. Equivalent circuit of a GaAs MESFET.

1) DC 전류-전압 특성과 포화 영역에서의 transconductance

GaAs MESFET의 채널 구조는 그림 3에서 보였다. 이 device의 gate 단자에 역방향 bias 전압  $V_{gs}$ 를 인가하게 되면, mobile carrier (n-type인 경우는 전자)가 금속-반도체 접합으로부터 급격하게 공핍되어 gate 전극 하단부에 공핍층을 형성하게 되고, 그 하단에 mobile carrier 채널이 형성된다. 여기서, 채널 구조를 파악하기 전에 몇가지 가정을 한다.

A. 가정;

1. 형성되는 채널에 흐르는 채널 전류  $I_{ch}$ 는 다수 carrier에 의한 전류로 이루어지며, 소수 carrier에 의한 전류는 무시하였으며, 이 carrier는 채널 내에서 길이 방향에 대한 전계 성분을 갖는다.<sup>[8,13]</sup>

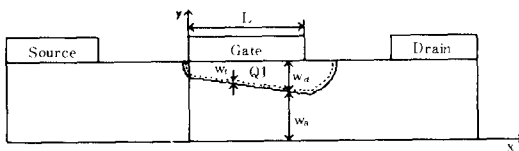
- Diffusion 과정에 있어서 중성 영역과 공핍 영역사이의 경계 부분의 carrier distribution이 급격하지 않고 완만하며, 수 배의 debye length에 해당하는 천이 영역이 존재한다.<sup>[5],[9]</sup>
- Gate 하단부 채널의 전계가 어떤 critical 전계값을 넘어섰을 때, gate 하단부 drain side에 Gunn-domain이 형성된다. 즉, GaAs의 에너지 밴드에서 전도 대역내의 central valley에 있는 전자가 에너지를 얻어 satellite valley로의 upper valley scattering을 일으키는 과정에서 각 valley의 유효질량의 차로서 야기되는 Gunn-effect로 gate 하단부 채널의 drain side에 전자가 축적되게 된다. 이 부분을 Gunn-domain (high-field domain) 이라 하며 이 Gunn-domain의 형성은  $I_{ch}$ 의 포화를 초래하게 된다.<sup>[5,8]</sup> GaAs MESFET의 채널 전류는 채널의 pinch-off 영향보다 high-field domain에 의하여 포화된다.

위의 가정에서 중성 영역과 공핍 영역의 경계를 급격하게 보지않고, carrier 농도가 y-방향(그림3참조)에 대하여 완만하게 변하는 천이 영역이 존재한다고 하였으므로 이 조건을 고려하여 active layer의 전자 밀도 분포를 구하면 다음과 같다.

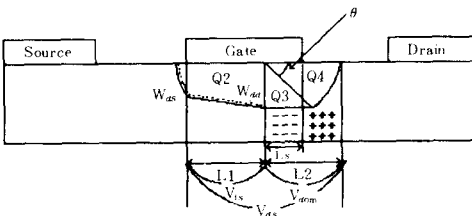
- $0 < y \leq W_n$ ; 완전한 중성 영역에서의 carrier 농도는

$$N(y) = N_d \tag{1}$$

로 일정한 값을 갖는다.



(a) before saturation



(b) after saturation

그림 3. GaAs MESFET 내의 전하분포

Fig. 3. Qualitative charge distribution in a GaAs MESFET.

이때  $N_d$ 는 채널 doping density이다.

- $W_n < y \leq W_n + W_t$ ; 중성 영역과 공핍 영역의 경계인 천이 영역에서의 carrier 농도는

$$N(y) = N_d \left( 1 - \frac{y - W_n}{W_t} \right) \tag{2}$$

여기서,

$$W_t = \left( \frac{2}{\pi} \right) \cdot c \cdot L_d \tag{3}$$

$$L_d \equiv \left( \frac{\epsilon_0 \epsilon k_B T}{q^2 \cdot N_d} \right)^{1/2} \tag{4}$$

$L_d$ 는 (4)식으로 표시되는 debye length이다.

이때 approximation factor,  $c$ 는 two-dimensional analysis에서 "6"으로 주어지는 정수 parameter 이다.<sup>[10]</sup>

- $W_n + W_t < y \leq A$ ; 완전히 전자가 공핍된 영역의 carrier 농도는

$$N(y) = 0 \tag{5}$$

(1), (2), (5)식으로서 각 영역에서의 전자(carrier) 농도는 서로 다른 분포를 나타낸다.

위의 조건으로 poisson 방정식을 1차원에서 표현하면 다음과 같다.

$$\frac{d^2 V}{dy^2} = - \frac{dE}{dy} = - \frac{qN(y)}{\epsilon_0 \epsilon} \Big|_{y\text{-축 방향의 one-dimension}} \tag{6}$$

(6)식에서 천이 영역의 전하 분포에 의한 potential term  $V_t$ 까지 고려하여 적분하면 다음과 같다.

$$V = \frac{V_{po}}{A^2} \{ (A - W_n) (A - W_n - W_t) \} + V_t \Big|_{V_t = \frac{q \cdot N_d \cdot W_t}{6 \epsilon_0 \epsilon}} \\ = \frac{V_{po}}{A^2} \{ (A - W_n) (A - W_n - W_t) + \frac{1}{3} W_t^2 \} \tag{7}$$

$$\text{Pinch-off voltage } V_{po} = \frac{q \cdot N_d \cdot A^2}{\epsilon_0 \epsilon} \tag{8}$$

여기서  $V$ 는 gate junction에서 공핍층까지 걸리는 전압이다.

(7)식으로부터 공핍층 폭  $W_d$ 를 구하면 다음과 같다.

$$W_d = \frac{W_t}{2} + \left( \frac{V_{bi} - V_{gs} + V - \alpha}{V_{po}} \right)^{1/2} \tag{9}$$

$$\alpha = \frac{(W_t \cdot A)^2}{12 V_{po}} \tag{10}$$

여기서  $\alpha$ 는 천이영역 factor로 (10)식으로 정의되는 parameter이며,  $V_{gs}$ 는 gate와 source 간의 전위차이다.

채널의 total 전도 전류는

$$I_{ch} = qW \int_0^A N(y) \cdot v(E) dy \tag{11}$$

로 정의된다.

mobile charge 밀도분포 (1), (2), (5)식과 (9)식을 이용하여  $I_{ch}$ 를 구하여 보면 다음과 같다.

$$\begin{aligned}
I_{ch} &= qW \left[ \int_0^{w_n} N_d v(E) dy + \int_{w_n}^{w_n+w_t} \right. \\
&\quad \left. N_d \cdot \left( 1 - \frac{y-W_n}{W_t} \right) \cdot v(E) dy \right] \\
&= qWNdA \left[ \left[ 1 - \frac{W_t}{2} - \left( \frac{V_{bi}-V_{gs}+V-\alpha}{V_{po}} \right)^{1/2} \right] \cdot v(E) \right. \\
&\quad \left. + \frac{1}{A} \int_{w_n}^{w_n+w_t} \left( 1 - \frac{y-W_n}{W_t} \right) v(E) dy \right] \quad (12)
\end{aligned}$$

채널의 각각의 어느 분야 부분에서나 전도 전류는 전류의 연속성에 의하여 모두 같은 값을 가져야 하고, 채널내의 전자 속도가 포화되었을 때 채널 전류  $I_{ch}$ 가 포화되므로 (12)식에서 전자 포화 속도  $v_s$ 를 이용하여 정리하면, 다음과 같게 된다.

$$I_{sat} = qWNdA A v_s \left\{ 1 - \left( \frac{V_{bi}-V_{gs}+V_{is}-\alpha}{V_{po}} \right)^{1/2} \right\} \quad (13)$$

외부에서 인가해준 gate 역방향 bias 전압  $V_{gs}$ 는

$$V_{gs} = V_{gs} - R_s I_{sat} \quad (14)$$

로 정의되며, (13)식의  $V_{is}$ 는 Fig.3(b)에서의  $L_1$  길이에 대한 전압 강하로 전자 포화 상태에서는 (15)식과 같은 해석적인 식으로 근사시킬 수 있다.<sup>[11],[14]</sup>

$$V_{is} = \frac{V_{po} \beta (1-UG)}{\beta + 1 - UG} \quad (15)$$

여기서

$$\beta = \frac{ES \cdot L}{V_{po}}, \quad UG = \frac{V_{bi}-V_{gs}}{V_{po}} \quad (16)$$

(14), (15)식을 (13)식에 대입하여  $I_{sat}$ 를 구하여 보면 다음과 같다.

$$I_{sat} = I_{fc} \left[ h - \left( h^2 - \frac{1}{V_{po}} \{V_{po} - (V_{bi} + V_{is} - V_{gs} - \alpha)\} \right)^{1/2} \right] \quad (17)$$

이때  $I_{fc}$ 는 full 채널 포화전류로

$$I_{fc} = qW N_d A v_s \quad (18)$$

$$h = 1 + \frac{R_s \cdot I_{fc}}{2V_{po}} \quad (19)$$

로 정의되는 parameter이다.

포화 전류  $I_{sat}$ 를 가지고 drain-source 전압에 의존하는 채널 전류를 구하기 위하여 T. Chen, M. S. Shur<sup>[14]</sup>가 제시한 empirical 모델식을 이용한다.

$$I_{ds} = I_{sat} (1 + \lambda V_{ds}) \tanh(\eta V_{ds}) \quad (20)$$

여기서  $\eta = G_{ch}/I_{sat}$ 이며  $G_{ch}$ 는  $V_{ds} = 0$ 에서 채널 conductance이며  $\lambda$ 는 empirical parameter이다.

채널전류가 포화된 영역에서 transconductance,  $g_m$ 을 구하여 보면 다음과 같다.

$$\begin{aligned}
g_m &= \frac{\partial I_{sat}}{\partial V_{gs}} \Big|_{V_{ds} = \text{const.}} \\
&= \frac{I_{fc}}{2V_{po}} (1 + D_{vis}) \\
&\quad \left[ h^2 - \frac{1}{V_{po}} \{V_{po} - (V_{bi} + V_{is} - V_{gs} - \alpha)\} \right]^{1/2} \quad (21)
\end{aligned}$$

여기서

$$D_{vis} = \left( \frac{E_s \cdot L}{V_{gs} + E_s L - V_{bi} + V_{po}} \right)^2 \quad (22)$$

## 2) Small-signal capacitance

Device의 내부 capacitance는 GaAs device 실현에 매우 중요한 역할을 하고 있다. 이 소신호 capacitance의 해석적 표현식은 device에서 각 부분별로 분포하는 전하량에 의하여 그 식이 결정된다.

그 전하 분포를 그림 3(a),(b)에 나타내었다. 그림 3(a)에서는 채널 전류가 포화 되기전, 즉 high-field domain이 생성되기 전, active layer의 전하 분포 형태를 보였다. 이때 gate 하단부 공핍 영역의 공간 전하를  $Q_1$ 이라 하였다.

High-field domain이 생성된 후의 전하 분포 형태는 그림 3(b)에 나타내었다. 여기에서  $L_1$ 부분에 해당되는 공간 전하를  $Q_2$ , gate penetrated region과 drain side로 extending된 영역에서의 공간 전하량을  $Q_3, Q_4$ 로 나타내었다.

그림 2의 물리적 해석에 의한 등가회로의 회로 소자 중에 gate capacitance로는 gate-to-source capacitance  $C_{gs}$ 와 drain-to-gate capacitance  $C_{dg}$ 가 존재함을 알 수 있다.

High-field domain이 생성되기 전  $C_{gs0}, C_{dg0}$  식을 결정하기 위하여 gate 전극아래 부분 공핍층 내의 전하량  $Q_1$ 을 먼저 구한다.

(9)식으로 부터 천이 영역을 포함한 공핍층의 폭  $W_d$ 가 주어지므로  $Q_1$ 은 다음과 같이 표시된다.

$$Q_1 = qW \int_0^L N_d W_d dX \quad (23)$$

이때 (9)식의  $V_n$ 는

$$E_i = V_i/L \text{에서 } V = E_i \cdot X \quad (24)$$

로 주어지므로 (24)식을 (23)식에 대입하여 적분하면 다음과 같다.

$$\begin{aligned}
Q_1 &= qW NdL \left[ \frac{W_i}{2} + \frac{2}{3} \cdot \frac{A}{V_i \cdot \sqrt{V_{po}}} \right. \\
&\quad \left. \{ (V_i + V_{bi} - V_{gs} - \alpha)^{3/2} - (V_{bi} - V_{gs} - \alpha)^{3/2} \} \right] \quad (25)
\end{aligned}$$

여기서  $V_i$ 는 채널이 포화되기 전 채널내에서의 전압 강하를 나타낸다. (25)식으로 부터  $C_{gs0}, C_{dg0}$ 를 유도하여 정리하면 다음과 같다.

$$\begin{aligned}
C_{gs0} &\equiv \left| \frac{\partial Q_1}{\partial V_{gs}} \right|_{V_{ds} = \text{const.}} \\
&= \frac{2}{3} \cdot \frac{qN_d WLA}{V_i^2 \cdot \sqrt{V_{po}}} \{ (V_i + V_{bi} + V_{gs} - \alpha)^{3/2} \\
&\quad - (V_{bi} - V_{gs} - \alpha)^{3/2} - V_i \cdot (V_{bi} - V_{gs} - \alpha)^{1/2} \} \quad (26)
\end{aligned}$$

$$C_{dso} \equiv \left. \frac{\partial Q_1}{\partial V_{ds}} \right|_{V_{gs} = \text{const.}}$$

$$= \frac{2}{3} \frac{qN_d W L A}{V_i^2 \cdot \sqrt{V_{po}}} \left\{ \frac{3}{2} V_i \cdot (V_i + V_{bi} - V_{gs} - \alpha)^{1/2} \right. \\ \left. - (V_i + V_{bi} - V_{gs} - \alpha)^{3/2} + (V_{bi} - V_{gs} - \alpha)^{3/2} \right\} \quad (27)$$

high-field domain이 생성되기 전 영역에서는

$$V_i \ll V_{bi} - V_{gs} - \alpha \quad (28)$$

의 조건이 타당성을 갖으므로 이 조건을 고려하여 급수 전개시켜 (26), (27)식을 정리하여 표현하면 다음과 같다.

$$C_{gso} = C_{dso} = \frac{qN_d W L}{4\sqrt{V_{po}}} (V_{bi} - V_{gs} - \alpha)^{1/2} \quad (29)$$

bias 전압에 의하여 채널의 drain side에 high-field domain이 형성된 후의 전하 분포는 그림 3(b)와 같은 분포를 가지며, 이때 각 부분의 전하량을 구하면 다음과 같다.

$$Q_2 = \int_0^{W_{dd}} qW L_1 N_d dy - \frac{1}{W_{dd} - W_{ds}}$$

$$\int_{W_{ds}}^{W_{ds}'} qW L_1 N_d \cdot (y - W_{ds}) dy - Q_1(y) \quad (30)$$

여기서,

$$Q_1(y) = \int_0^{W_{ds}/\epsilon} qW L_1 N_d dy \quad (31)$$

$Q_1$ 는 Gunn-domain이 형성된 후의 채널 부분에서의 천이층에 존재하는 전자의 전하량과 Gunn-domain formation에 의하여 축적되는 전자의 전하량이며, 이는  $W_{ds}$ 의 함수로 (31)식과 같이 근사시킬 수 있다.

Domain 윗 부분 공핍 영역에서의 공간 전하를 구하여 보면 다음과 같다.

$$Q_3 = \frac{1}{2} qW N_d W_d d \ell \quad (32)$$

$$Q_4 = \frac{1}{2} qW N_d L_2^2 \theta \quad (33)$$

이때

$$\ell = (L_2^2 - W_{dd}^2)^{1/2} \quad (34)$$

$$\theta = \text{Arctan} \frac{W_{dd}}{\ell} \quad (35)$$

그러므로 채널이 포화상태로 된 후의 capacitance  $C_{gs}$ ,  $C_{dg}$ 는 다음과 같이 정의된다.

$$C_{gs} = \left. \frac{\partial}{\partial V_{gs}} (Q_2 + Q_3 + Q_4) \right|_{V_{ds} = \text{const.}} \quad (36)$$

$$C_{dg} = \left. \frac{\partial}{\partial V_{ds}} (Q_2 + Q_3 + Q_4) \right|_{V_{gs} = \text{const.}} \quad (37)$$

(39), (32), (33)을 정의식에 대입하여  $C_{gs}$ ,  $C_{dg}$ 의 해석적

표현식을 구하면 다음과 같다.

$$C_{gs} = \frac{qW N_d}{2} \left[ \left\{ \frac{W_{dd} kd}{E_s \left[ \left( \frac{\pi kd (V_{ds} - V_{is})}{2AE_s} \right)^2 + 1 \right]^{1/2}} \left( 1 + \frac{2W_{ds}}{3W_{dd}} \right) \right. \right. \right. \\ \left. \left. + \frac{W_{dd} \cdot L_2^2}{2\ell \cdot (V_{ds} - V_{is})} \left( \frac{L_2^2}{\ell^2 + W_{dd}^2} - \frac{2\ell\theta}{W_{dd}} - 1 \right) \right. \right. \\ \left. \left. + \frac{A^2}{2W_{dd} V_{po}} \left( L_1 + \ell + \frac{L_2^2 \cdot \ell}{\ell^2 + W_{dd}^2} \right) + \frac{W_{dd} \cdot A^2}{2\ell V_{po}} \right. \right. \\ \left. \left. \left( \frac{L_2^2}{\ell^2 + W_{dd}^2} - 1 \right) \right\} \left( 1 - \frac{\partial V_{is}}{\partial V_{gs}} \right) + \frac{L_1 \cdot A^2}{3W_{ds} V_{po}} \right] \quad (38)$$

$$C_{dg} = \frac{1}{2} qN_d W W_{dd} \left[ \frac{L_2^2}{2\ell (V_{ds} - V_{is})} \left( 1 - \frac{L_2^2}{\ell^2 + W_{dd}^2} + \frac{2\ell\theta}{W_{dd}} \right) \right. \\ \left. - \frac{kd}{E_s \left[ \left( \frac{\pi kd (V_{ds} - V_{is})}{2AE_s} \right)^2 + 1 \right]^{1/2}} \left( 1 + \frac{2W_{ds}}{3W_{dd}} \right) \right. \\ \left. - \frac{2\epsilon_0 \epsilon}{q \cdot N_d \cdot W_{dd}} \text{Arcsin} \left\{ \left( \frac{V_{bi} - V_{gs} + V_{is}}{V_{bi} - V_{gs} + V_{ds}} \right)^{1/2} \right\} \right] \quad (39)$$

여기서,  $\frac{\partial V_{is}}{\partial V_{gs}}$ 는 (40)식으로 주어진다.

$$\frac{\partial V_{is}}{\partial V_{gs}} = \left( \frac{E_s \cdot L}{E_s \cdot L + V_{gs} - V_{bi} + V_{po}} \right)^2 \quad (40)$$

외부에서 가해주는 bias에 의하여 high-field domain이 형성될 때 이 영역에서 축적되는 dipole 전하를 구하여 보면 다음과 같다.

$$Q_{dom} = \epsilon_0 \epsilon \iint E_m ds = \epsilon_0 \epsilon E_m \cdot W \cdot (A - W_d) \quad (41)$$

여기서 maximum domain 전계  $E_m$ 은<sup>[12]</sup>

$$E_m = \frac{1}{\sqrt{1.89}} \left\{ \frac{q \cdot (N_d \cdot ncr)^{1/2} \cdot V_{dom}}{\epsilon_0 \epsilon} \right\}^{1/2} \quad (42)$$

의  $V_{dom}$ 의 함수로 주어지므로 (41)식에서 domain 총 전하를 구하여 dipole layer capacitance  $C_{dom}$ 을 구하면 다음과 같다.

$$C_{dom} \equiv \left. \frac{\partial Q_{dom}}{\partial V_{ds}} \right|_{V_{gs} = \text{const.}}$$

$$= \frac{1}{2\sqrt{1.89}} \left[ \frac{q \cdot \epsilon_0 \epsilon (N_d \cdot ncr)^{1/2}}{V_{ds} - V_{is}} \right]^{1/2} \cdot W \cdot (A - W_d) \quad (43)$$

Dipole layer로 형성되는 Gunn-domain layer의 내부에 존재하는 전하는 공핍 영역내의 공간 전하에 비하여 상당히 적다는 물성적 이론을 바탕으로 하여 볼 때 앞에서 유도한  $C_{gs}$ 의 값보다  $C_{dom}$ 의 값이 훨씬 작은 값을 갖는다고 추측할 수 있다.

High-field domain이 형성된 상의 drain-source 전압  $V_{ds}$ 의 대부분은 domain내 전압 강하에 참여하게 된다. 만일  $V_{ds}$ 가 채널포화전압  $V_{is}$ 보다 작을 경우 domain의 형성은 없을 것이며, 이때의 capacitance 표현식은 (26), (27)식으로 표현함이 타당하다.

3) 계산 결과 및 고찰

본 논문에서 유도한 표현식의 타당성을 보이기 위하여 계산된 값과 실험값을 서로 비교하여 보았다.

계산에 사용된 parameter 값은 Table 1 과 같다.

표 1. 계산과 실험에서 사용된 parameter<sup>[47]</sup>

Table 1. The parameters used for calculation and experiment.

	symbol		unit
gate width	W	600	$\mu\text{m}$
gate length	L	1.7	$\mu\text{m}$
active layer thickness	A	0.32	$\mu\text{m}$
dielectric constant of GaAs	$\epsilon$	12.9	
built-in voltage	$V_{b1}$	0.7	V
low-field mobility	$\mu_0$	5000	$\text{cm}^2/\text{V sec}$
characteristic value of electric concentration	$n_{cr}$	$3.0\text{E}15$	$\text{cm}^{-3}$
doping density	$N_d$	$8.08\text{E}16$	$\text{cm}^{-3}$
saturation velocity	$v_s$	$1.04\text{E}07$	$\text{cm}/\text{sec}$
domain parameter	$k_d$	0.1	
source series resistance	$R_s$	3.5	ohm

본 논문에서 사용한 실험 data는 H. A. Willing, C. Rausher와 P. Santis<sup>[10]</sup>가 공동으로 texas instruments Inc. 의 GaAs MESFET를 sample로 하여 s-parameter 측정법으로 뽑아낸 측정값으로 정하였음을 밝혀둔다.

그림 4 에서 전류-전압 특성을 나타내었다. 그림5 에서는 채널이 포화된 상태에서의  $g_m$  대  $V_{gs}$ 에 대한 계산 결과와 측정값을 각각 비교하여 나타내었다.

$C_{gs}$ 와  $C_{ds}$ 의 capacitance-voltage 특성은 그림 6 부터 그림11에서 나타내었다. 그림 8, 11은 실험 측정 결과이며,<sup>[10]</sup> 그림 7 과 10은 소신호 영역에서 공핍 영역과 중성 영역 사이에 존재하는 천이 영역의 전하량을 고려하지 않은 결과로써  $C_{gs}$ 의 특성에서 많은 편차를 나타내고 있다. 그림 6 과 9는 천이 영역에 존재하는 전하량을 고려해준 결과로 실험 결과와의 편차가 줄었음을 알 수 있다.

GaAs 내의 물리적 현상중 central valley에서 upper valley로의 intervalley scattering 현상이 특징적인데, 이 현상은 물질내의 전계뿐 아니라 전위차에도 영향을 받는다. 이 전위차가 어떤  $V_{cr}$  보다 작다고 하면, 물질내의 전자 에너지가 central valley의 최소값과 scattering valley의 최소값과의 차, 즉 valley energy gap 보다 작게 되므로 이때는 intervalley scattering 현상이 일어나지 않는다.<sup>[4]</sup> 즉  $V_{ds}$ 가  $V_{is} < V_{ds} < V_{cr}$ 인 영

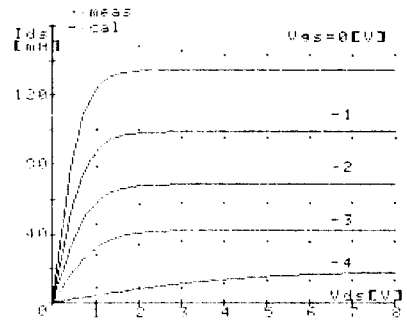


그림 4. 전류-전압곡선

Fig. 4.  $I_{ds}-V_{ds}$  curves for different  $V_{gs}$ .

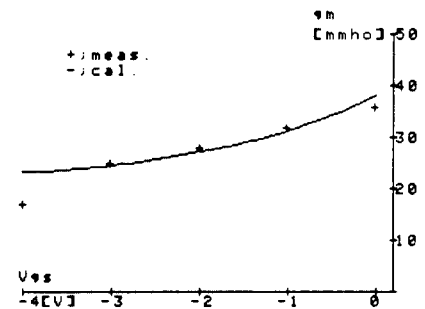


그림 5. Transconductance vs. Gate 전압곡선

Fig. 5. Transconductance vs. Gate voltage curve.

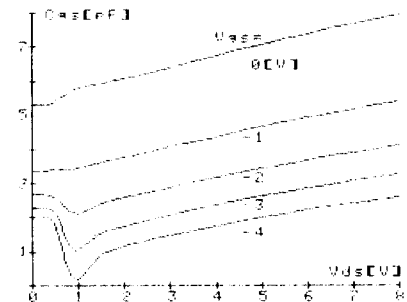


그림 6.  $V_{gs}$ 에 따른 계산된  $C_{gs}-V_{ds}$  곡선 (천이 영역을 고려한 경우)

Fig. 6. The calculated  $C_{gs}-V_{ds}$  curves for different  $V_{ds}$ . (considering transit region)

역에 있을때 본 논문에서 유도한 표현식을 모델화 시킬 수 없다. ( $V_{cr} \approx 1[V]$ )<sup>[7]</sup>

이는 지금까지 연구된 해석적 모델들도 이 영역에서

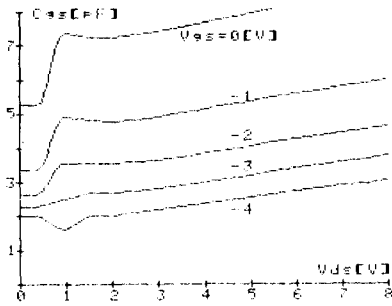


그림 7.  $V_{gs}$ 에 따른 계산된  $C_{gs}-V_{ds}$  곡선  
(천이 영역을 고려하지 않은 경우)  
Fig. 7. The calculated  $C_{gs}-V_{ds}$  curves for  
different  $V_{gs}$ .  
(not considering transit region)

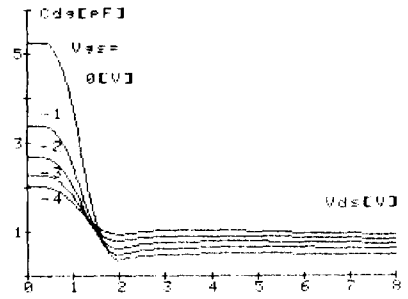


그림 10.  $V_{gs}$ 에 따른 계산된  $C_{dg}-V_{ds}$  곡선  
(천이 영역을 고려하지 않은 경우)  
Fig. 10. The calculated  $C_{dg}-V_{ds}$  curves for  
different  $V_{gs}$ .  
(not considering transit region)

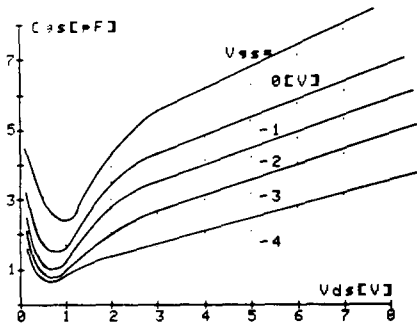


그림 8.  $V_{gs}$ 에 따른 측정된  $C_{dd}-V_{ds}$  곡선<sup>(10)</sup>  
Fig. 8. The measured  $C_{dd}-V_{ds}$  curves for  
different  $V_{gs}$ <sup>(10)</sup>.

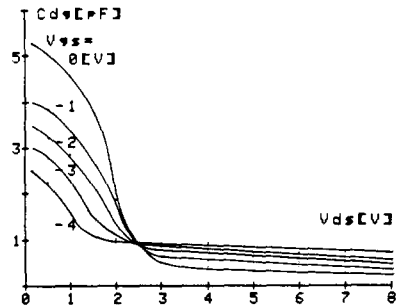


그림 11.  $V_{gs}$ 에 따른 측정된  $C_{dg}-V_{ds}$  곡선<sup>(10)</sup>  
Fig. 11. The measured  $C_{dg}-V_{ds}$  curves for  
different  $V_{gs}$ <sup>(10)</sup>.

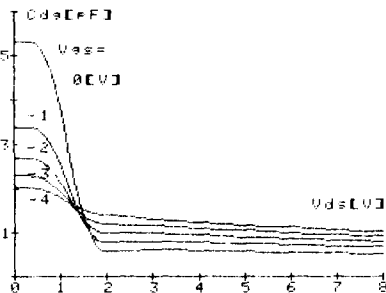


그림 9.  $V_{gs}$ 에 따른 계산된  $C_{dg}-V_{ds}$  곡선  
(천이 영역을 고려한 경우)  
Fig. 9. The calculated  $C_{dg}-V_{ds}$  curves for  
different  $V_{gs}$ .  
(considering transitregion)

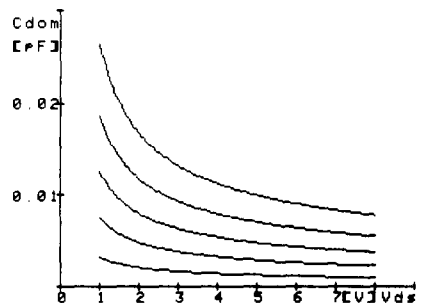


그림 12.  $V_{gs}$ 에 따른 계산된 domain capacitance vs.  
 $V_{ds}$ .  
Fig. 12. The calculated domain capacitance VS.  $V_{ds}$   
for different  $V_{gs}$ .

모델화 시킬 수 없는 까닭에 이 부분의 해석은 interpolation method를 사용하였다. 이 방법은  $V_{ds}=V_{is}$  때와  $V_{ds}=V_{cr}$ 일 때의 capacitance 값을 이용하여 interpolation polynomial을 결정 사용하였다. 이 부분의 상당한 오차도 이 polynomial의 근사에 기인하는 것이다.  $V_{ds}$ 가  $V_{cr}$  보다 클때는 계산값과 실험값이 잘 일치함을 볼 수 있다.

$C_{dom}$ 의 capacitance-voltage 특성은 그림10에 나타내었다. 이 값은  $C_{gs}$ ,  $C_{ds}$  보다 작은 값으로 나타나며, 이는 본론 3절에서 예측한 바와 같은 결과를 산출하였다.

### III. 결 론

본 논문에서 제시한 GaAs MESFET의 소신호 회로 모델은 two-dimensional analysis에서 고려되어진 천이 영역을 해석적으로 풀어 포함시켰으며, high-field domain이 생성된 후 전하 분포를 자세히 연구하여 간단하면서도 정확한 회로 모델 표현식을 유도하여 내었음을 뿐만 아니라, 이 model element들의 외부 bias와의 복잡한 관계를 잘 나타내었다.

또한 이들 계산 결과와 실험적으로 측정된 값과 거의 일치함을 보이고 있다.

그러므로 제안된 model은 GaAs MESFET의 microwave circuit과 high-speed digital integrated circuit의 computer-aided design system에 매우 작은 computer time을 가지고 적용할 수 있으므로 많은 이로움이 따를 것이다.

### 參 考 文 獻

- [1] C.A. Liechti, "Microwave Field-Effect Transistor-1976", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, no. 6, pp. 279-299, June 1976.
- [2] K. Lehovc and R. Zuleeg, "Voltage-current characteristics of J-FET's in the hot electron range," *Solid-St. Electronics*, vol. 13, pp. 1415-1426, 1970
- [3] M.S. Shur, "Analytical model of GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-25, no. 6, pp. 612-618, June 1978.
- [4] M.S. Shur, "Small-signal nonlinear circuit model of GaAs MESFET," *Solid-St. electronics*, vol. 22, pp. 723-728, 1979.
- [5] L.O. Chua and Y.W. Sing, "Nonlinear lumped circuit model of GaAs MESFET," *IEEE Trans. Electron devices*, vol. ED-30, no. 7, July 1983.
- [6] J. Sone and Y. Takayama, "A small-signal analytical theory for GaAs FET at large drain voltages," *IEEE Trans, Electron Devices*, vol. ED-25, no. 3, pp. 329-337, March 1978.
- [7] T. Chen and M.S. Shur, "A capacitance model for GaAs MESFET" *IEEE Trans. Electron Devices*, vol. ED-12, no. 5, pp. 883-891, May 1985.
- [8] R.W.H. Engelman and C.A. Liechti, "Gunn domain formation in the saturated current region of GaAs MESFET's," *IEDM Tech. Dig.*, pp. 351-354, Dec. 1976.
- [9] K. Yamaguchi, S. Asai and H. Kodera, "Two-dimensional numerical analysis of stability criteria of GaAs FET's," *IEEE Trans. Electron Devices*, vol. ED-23, no. 12, pp. 1283-1290, dec. 1976.
- [10] H.A. Willing, C. Rauscher and P. De Santis, "A technique for predicting large-signal performance of a GaAs MESFET," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-26, pp. 1017-1023, Dec. 1978.
- [11] M.S. Shur, "Analytical models of GaAs FET's," *IEEE Trans. Electron Devices*, vol. ED-32, no. 1, pp. 70-72, Jan. 1985.
- [12] L.F. Eastmann, S. Tiwari and M.S. Shur, "Design criteria for GaAs MESFETs related to stationary high field domains," *Solid-St. electronics*, vol. 23, pp. 383-389, 1980.
- [13] K. Yamaguchi and H. Kodera, "Drain conductance of Junction gate FET's in the hot electron range," *IEEE Trans. Electron Devices*, vol. ED-23, no. 6, pp. 545-553, June 1976.
- [14] T. Chen and M.S. Shur, "Analytical models of ion-implanted GaAs FET's," *IEEE Trans. Electron Devices*, vol. ED-32, no. 1, pp. 18-28, Jan. 1985.