

Semi-Custom 방식을 이용한 디지털 필터의 집적회로 설계 (A Design of Digital Filter IC Using a Semi-Custom Design Method)

李 光 燁*, 金 鳳 烈*, 李 文 基*

(Kwang Youb Lee, Bong Ryul Kim and Moon Key Lee)

要 約

반 고객주문형 설계기술을 이용하여 TDM/FDM 변환장치를 구성하는 디지털 필터를 설계 하였다. 변환 장치는 FFT를 사용하는 다상회로로 구성되며 이 장치의 디지털 필터를 전대역 통과필터로 설계하였다. 전대역 통과필터의 병렬연결방식으로 필터를 구성할 경우 적은 계산량, 낮은 양자화잡음, 높은 모듈화의 장점이 있다.

설계시간의 단축과 설계된 필터의 신뢰성을 높이기 위해 실리콘, 콤파일러 시스템을 사용하였다. 필터의 기본 블럭인 1차, 2차 전대역 통과필터의 설계는 CMOS 2 μ m N-well 이중메탈 공정으로 하였다. 설계된 칩의 크기는 1차 필터가 2652 \times 4433 μ m², 2차 필터는 5334 \times 4300 μ m²이다.

Abstract

A semicustom VLSI design of digital filters used in TDM/FDM Transmultiplexer is described. A filter bank composed of only all-pass digital filter sections are implemented with the poly-phase network. The use of all-pass filters as basic building blocks is shown to provide a transmultiplexer structure that has low computational requirements, low quantization noise, and high modularity.

The silicon compiler system is used to reduce the design time and to increase the credibility of designed filters.

As a prototype, 1st and 2nd order all pass filter are designed, using CMOS N-well double metal technology. The chip sizes of first order filter and the second order filter are 2652 x 5333 μ m², 5334 x 4300 μ m², respectively.

I. 서 론

신호처리용 소자는 전자공학에서 매우 중요한 역할을 한다. 이러한 소자를 사용하는 시스템의 구성을 신뢰성이 좋고 경제적으로 하기 위해서는 집적회로가 요구된다.

필터의 설계는 system level에서 layout level 까지 전 영역을 고려하기 때문에 매우 복잡하다.

본 논문에서는 아날로그 다중통신과 디지털 다중통신의 교환기에 사용되는 TDM (time division multiplexer)/FDM (frequency division multiplexer) 변환장치¹⁾용 디지털 필터 집적회로를 설계하였다. TDM/FDM 변환방식은 크게 FFT (fast fourier transform) 방식과 비 FFT 방식으로 구분되는데²⁾ 본 연구에서도 처리속도가 빠른 다상회로와 DCT (descrete cosine

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)
接受日字: 1987年 8月 27日

transform)를 이용하는 FFT 방식 TDM/FDM 변환 장치의 채널필터를 VLSI로 설계하였다. 필터 bank 를 구성하는 채널필터의 원시형 필터인 저역통과 필터를 구성하는 방식으로 전달함수를 낮은 차수의 곱셈으로 표현이 가능하며, 같은 비트수에서 데이터의 손실이 적은 IIR 필터를 택하였다. 특히 타원형(Elliptic type) IIR 필터는 다른 형태의 필터에 비해 적은 차수로써 같은 특성을 얻을 수 있다. 특히 높은 모듈화에 의한 설계시간 단축, 적은 계산양, 낮은 양자화 잡음의 장점을 갖도록¹³⁾ 채널필터의 원시형(prototype) 필터를 2차의 전대역 통과 필터(all-pass filter)로 구성하였다.

이 방식은 systolic array FFT 프로세서¹⁴⁾를 이용하여 TDM/FDM 변환장치의 DSP블럭을 구성하는데 용이하다. 따라서 본 연구에서는 채널필터의 기본블럭이 되는 1차, 2차 전대역 통과 필터 집적회로를 설계하였다. 설계시간 단축과 설계된 필터의 신뢰성을 높이기 위해 실리콘. 콤팩트릴러를 이용하고 설계는 CMOS 2μm N-well 이중메탈 공정으로 하였다.

II. 전대역 통과 필터에 의한 TDM/FDM 변환장치

TDM/FDM 변환장치의 주된 동작은 DSP블럭내에서 원하는 채널의 입력신호를 선택하는 것이다. 여기에는 SSB 변조방식과 다상회로에 의한 방식이 있다.

다상회로를 사용할 경우 구조는 복잡하지만 계산양이 감소하여 변화가 빠르다¹⁵⁾ 다상회로를 이용한 24 채널 변환장치는 4-52KHz에 12개의 입력신호가 들어가며 112KHz로 샘플링된다. 0-4KHz와 52-56KHz는 보호대역이 된다. 그림1과 같이 원하는 채널의 신호를 얻으려면 각 채널에 맞는 중심 주파수를 갖는 대역통과 필터가 설계되어야 하나 원시형의 저역통과 필터를 구성하고나서 주파수 변환을 하면된다. 원시형 필터의 전달함수는 다음과 같이 표시되며

$$H(Z) = \sum_{k=0}^{2n-1} 2^{-k} \cdot H_k(Z^{2^k}) \quad (n : \text{채널수})$$

$\pm W_n$ 으로 주파수 이동된 채널 필터의 전달함수 $G_n(Z)$ 은

$$G_n(Z) = H(Z \cdot e^{jW_n}) + H(Z \cdot e^{-jW_n})$$

이다. 따라서 FDM 신호 $Y(m)$ 은 G_n 에 의해 추출된 sideband 신호의 합으로 얻게 된다.

$$\begin{aligned} Y(Z) &= \sum_{n=0}^{N-1} X_n(Z^N) \cdot G_n(Z) \\ &= \sum_{k=0}^{2n-1} Z^{-k} \cdot H_k(-Z^{2^k}) \cdot \sum_{n=0}^{N-1} 2 \cos(K \cdot W_n) \cdot X_n(Z^N) \end{aligned} \quad (1)$$

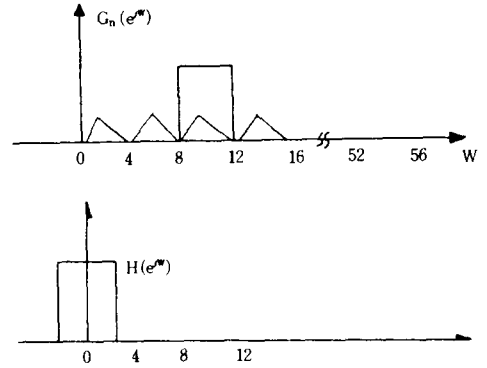


그림 1. 채널필터와 원시형 필터
Fig. 1. Channel filter and prototype filter.

이며, 두번째항을 time indexm에서 다시표현 하면

$$V_k(m) = \sum_{n=0}^{N-1} 2 \cos(K \cdot W_n) X_n(m), \quad K=0,1,\dots,2N-1 \quad (2)$$

이다.

식(2)는 N입력신호를 갖는 DCT가 된다.

TDM 신호를 FDM 신호로 얻기 위해서는 위 식(1)을 계산하면 되는데 이것을 DCT와 필터 bank로써 구현할 수 있다. 그림2는 DCT와 채널 필터로 구성되는 TDM/FDM 변환장치 블럭다이어그램이다. 이때 채널 필터는 대역통과 필터와 interpolation 필터로 분리될 수 있다. High sampling rate는 계산이 복잡하기 때문에 low sampling rate로 대역통과 필터와 DCT 블럭거친후 sampling rate를 증가시키면 회로가 좀더 간단하게된다.¹⁶⁾ 한편 대역통과 필터를 IIR전대역통과 필터의 병렬연결로 구성하게되면 계산양은 감소하게된다. 그림3은 대역 통과필터와 interpolation 필터를 전대역통과 필터만으로 구성한 TDM/FDM변환장치를 나타낸다.

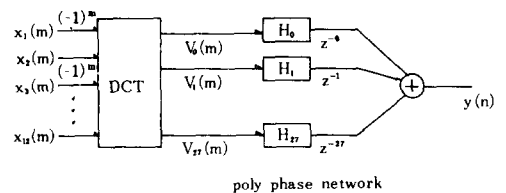


그림 2. 다상회로와 DCT를 이용한 TDM/FDM 변환 장치
Fig. 2. Polyphase network and TDM/FDM transmultiplexer using DCT(discrete cosine transform).

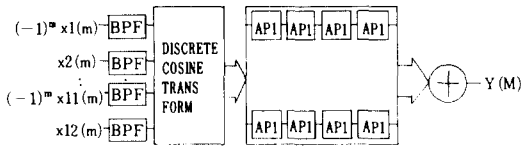


그림 3. All-pass 필터를 이용한 TDM/FDM 변환장치
Fig. 3. TDM/FDM transmultiplexer using all-pass filter.

III. 원시형 필터의 전달함수 계산

본 논문에서는 TDM/FDM 변환장치의 원시형 저역 통과 필터를 두개의 전대역통과 필터를 병렬 연결하여 구성하였다. 필터의 설계 절차는^[7]는 다음과 같다.

1) 필터의 특성 결정

24채널 TDM/FDM 변환장치를 전대역통과 필터를 이용하여 구성할 경우 원시형 저역통과 필터는 CCITT 규정에 따르며 그 특성은 다음과 같으며 그림 4는 그 주파수 특성을 나타낸다.

sampling rate : 4KHz

pass band frequency : 0 - 1.7KHz < 0.25db

stop band frequency : 1.76 - 2.0KHz > 70db

2) 필터의 전달 함수 계산

설계하고자하는 필터는 8차의 타원형 IIR 필터이며 프로그램^[8]에 의해 계산된 pole, zero 값은 표1에 수록되어 있다.

3) Polynomial Q(Z) 계산

계산된 pole, zero 를 이용하여 전달함수 $H(Z) = P(Z)/D(Z)$ 를 구하며 이것을 이용하여 $Q^2(Z) = P^2(Z) - ZD^{-N}(Z^{-1})D(Z)$ 의 값을 갖는 Q(Z) 을 구

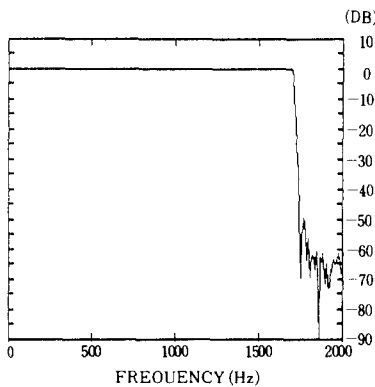


그림 4. 원시형 필터의 주파수 특성
Fig. 4. Frequency characteristic of a prototype filter.

표 1. 원시형 필터의 pole, zero

Table 1. Pole, zero of the prototype filter.

POLES		OUADRATIC FACTORS	
REAL	IMAGINARY	FIRST ORDER	SECOND ORDER
-.881744	.443971	1.763488	.974583
-.829892	.456918	1.659784	.897495
-.684167	.481287	1.368334	.699722
-.314690	.325246	.629380	.204815
ZEROS		OUADRATIC FACTORS	
REAL	IMAGINARY	FIRST ORDER	SECOND ORDER
-.928721	.370780	1.857442	1.000000
-.941699	.336456	1.883398	1.000000
-.968113	.250513	1.936226	1.000000
-.995381	.096005	1.990762	1.000000

한다.^[7] 이때 Q(Z) 은 대칭성의 특성이 있기 때문에 반복적인 방법으로 구할 수 있다.

4) All-pass network 의 전달함수 계산

그림5는 8차의 IIR 필터를 4개의 All-pass network 으로 구성된 블록 다이어그램이다. (4)에서 구한 8개의 pole 은 unit circle 내부와 외부로 분리한다. 이때 전달함수 형태는

$$A_{inner}(Z) = \frac{b_2 + b_1 \cdot Z^{-1} + Z^{-2}}{1 + b_1 \cdot Z^{-1} + b_2 \cdot Z^{-2}}$$

$$A_{outer}(Z) = \frac{1 + b_2 \cdot Z^{-1} + b_1 \cdot Z^{-2}}{b_2 + b_1 \cdot Z^{-1} + Z^{-2}}$$

이며, 내부 pole 은 A1, A2 의 전달함수를 결정하고 외부 pole 은 A3, A4 의 전달함수를 설정한다. 8차의 타원형 저역통과 필터를 구성하는 4개의 all-pass 전달함수는 표2와 같다.

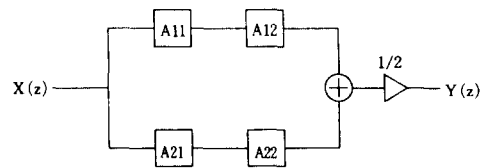


그림 5. All-pass 필터로 구성된 저역통과 필터
Fig. 5. Low pass filter composed of all-pass filter.

표 2. All-pass 필터의 전달함수

Table 2. Transfer function of all-pass filters.

Pole 의 위치	전달함수	b ₂	b ₁
내 부	A11(Z)	0.119487	0.0615239
	A12(Z)	0.36628	0.5539248
외 부	A21(Z)	0.661245	1.8053009
	A22(Z)	1.942132	16.253846

IV. 원시형 필터의 집적회로 설계

일반적인 2차 전대역통과 필터의 전달함수는

$$G_z(Z) = \frac{Z^{-2} - b_2 Z^{-1} + b_3}{1 - b_2 Z^{-1} + b_3 Z^{-2}}$$

로 표시된다. 앞에서 구한 4개의 all-pass network의 전달함수로 부터 각각 b2, b3를 구하게 되고 이 계수는 회로에서 곱셈기의 입력값이 된다. 디지털 전달함수를 회로로 구현하는 데에는 multiplier extraction approach에 바탕을 둔다. 이 방법은 입력과 출력의 관계식을 transfer matrix (tij)로 표현하고 (tij)의 값에 따라 multiplier와 연결상태가 변한다. 따라서 같은 차수의 전달함수를 구현하는데 여러가지 다른 구조가 만들어진다. 같은 전달함수로 구현된 필터구조라도 구조가 달라지면 실제적인 performance에서 차이가 난다. 이것은 주로 곱셈기의 계산결과와 roundoff에 따른 출력에서 발생하는 noise로 비교되며 곱셈양에 따른 지연시간차도 있다. 2차 전대역통과 필터는 16가지의 다른⁽¹⁾ 구조로 구성이 된다. 본 논문의 IIR 필터는 pole position이 r1=0.24804, r2=0.74426 이기 때문에 감쇠 특성과 계산양에 의한 지연시간을 고려하여 그림6의 구조를 택하였다. 집적회로로 구현하기 위한 블럭다이어그램은 그림7, 그림8이 된다. 그림7은 interpolation 필터를 구성하기 위한 1차 전대역통과 필터의 블럭다이어그램이며 그림8은 bandpass 필터구성에 사용되는 2차 전대역통과 필터의 블럭다이어그램이다. 회로내의 데이터 형태는 2's complement와 sign magnitude를 병행하였다. 데이터의 길이는 칩의 면적과 데이터 손실을 고려하여 결정⁽¹¹⁾하여 입력 데이터 13비트, 계수 데이터 11비트로 하였다. 데이터는 fixed-point 형태로 하고 입력 값이나 내부 데이터 값이 항상 1을 초과하지 않도록 scale하고 최종출력에서 복원하는 방식을 택하였다. 곱셈기는 11×13비트의 규모로 설계되었고 4×4비트일때 min 7ns, max 25ns의 지연시간을 갖는다. 전체 회로의 동기화를 위해 덧셈기 입력단에 latch를 사용하기 때문에 따로 precharge시키지 않는다. 지연시간은 sumout이 min 10.1ns, max 11.9ns, carry out은 min 5.3ns, max 13.1ns이다. 회로의 정상동작 검증은 function 시뮬레이터⁽¹¹⁾로 하였으며 2차 order all-pass 필터의 시뮬레이션 결과는 그림9와 같다. 계수를 b2=03Fx, b3=47Ax로 하고 X2bus에 입력 0100x를 넣고 출력 A1bus고 X2bus에 입력 0100x를 넣고 출력 A1bus에서 0100x를 확인하였다.

집적회로의 설계는 실리콘·콤파일러⁽¹²⁾를 이용하고 CMOS 2um N-well 이중메탈 셀로 설계하였다. 설계된 칩의 레이아웃은 그림10, 11에 나타나있다.

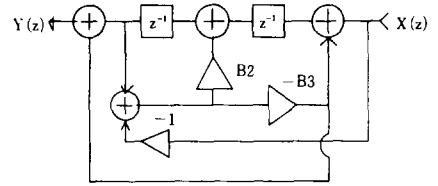


그림 6. 2차 all-pass 회로의 구조
Fig. 6. Structure of 2nd order all-pass network.

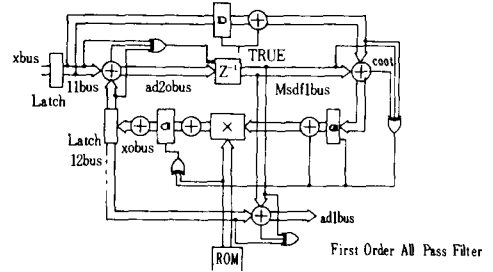


그림 7. 1차 all-pass 필터의 블럭다이어그램
Fig. 7. Block diagram of 1st order all-pass filter.

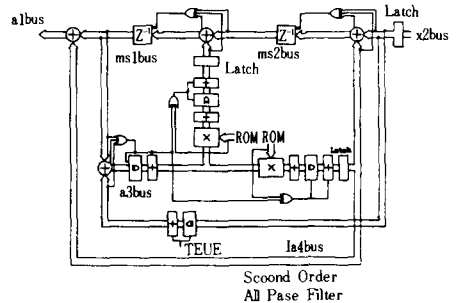


그림 8. 2차 all-pass 필터의 블럭다이어그램
Fig. 8. Block diagram of 2nd order all-pass filter.

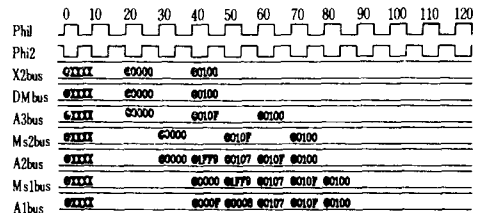


그림 9. 2차 all-pass 필터에 대한 function simulation 결과
Fig. 9. Result of function simulation for the 2nd order all-pass filter.

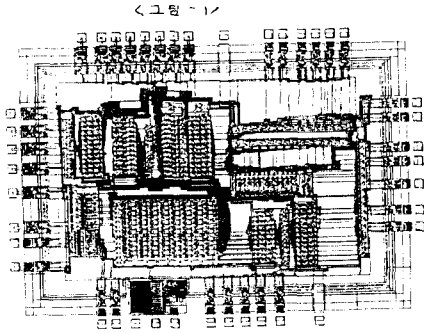


그림10. 1차 all-pass 필터의 레이아웃
Fig. 10. Layout of the 1st order all-pass filter.

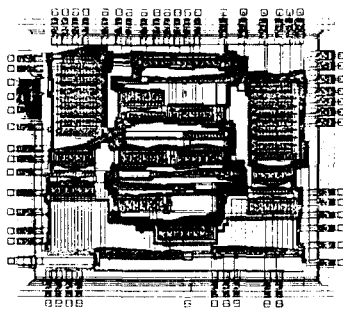


그림11. 2차 all-pass 필터의 레이아웃
Fig. 11. Layout of the 2nd order all-pass filter.

V. 결과 고찰

1차, 2차 all-pass 필터는 실리콘·컴파일러^[11]의 timing analyzer를 이용하여 검증하였으며, 결과는 표 3와 같다. 1차, 2차 필터는 레이아웃 면적과 핀의 갯수를 고려할 때 각기 단일칩으로 제작이 가능하다. 4KHz로 입력 데이터를 샘플링할 경우 필요한 필터의 지연시간은 1차 필터가 500ns, 2차 필터는 750ns이다. 따라서 설계된 칩의 지연시간과 비교할때 통신용 칩에서 요구되는 실시간 데이터 처리가 가능하다. 본 연구에서는 VLSI기술로 설계된 필터가 실제 TDM/FDM 변환장치에 사용되면 TTL, LSI, DSP 등으로 제작되는 변환장치보다 소비전력과 시스템 규모면에서 높은 경제성을 얻게되고 소자갯수의 축소로 시스템 신뢰성도 높일 수 있다. 다음 표4에서 각각을 비교하였다.^[13, 14, 15, 16]

VI. 결 론

본 논문에서는 TDM/FDM 변환장치에 사용되는 채널필터의 원시형 지역통과 필터를 all-pass 필터로 구

표 3. 필터의 설계결과

Fig. 3. Result of designed filter.

	1차필터	2차필터
레이아웃면적	2652 × 4433μm	5334 × 4300μm
핀 갯수	41	56
Tr 갯수	7530	12370
소비전력	37.9mW	51.3mW
지연시간	Min 19.7ns Max 337.6ns	Min 11.4ns Max 349.7ns

표 4. 필터의 설계방식에 따른 TDM/FDM 변환장치의 비교

Fig. 4. Comparison of TDM/FDM transmultiplexer according to the method of the design of the filters.

구 성 방 법	규 모	소비전력
1982, VERSUIK TTL (Low Power Schottky) (60 channel)	Board 31개 SSI MSI : 980개 RAM ROM	170W
1982, ROSSITER LSI (12channel)	9개/1ch 필터	1.5W/channel
1982, WAKABAYASHI DSP FFT 1개 (12 channel)	Filter 49개	15W
1982, GAZSI Intel 2920	1개/4ch	0.7W
VLSI (12channel)	VLSI 25개 DCT : 예상	0.5W/channel

상하고, 기본 블록이 되는 1차, 2차 all-pass 필터의 집적회로를 설계하였다. All-pass 필터를 이용한 다상회로의 구현으로 전체시스템의 계산량은 0.176x10 Multiplication/Second. Channel로 다른 구성방식보다 적은 계산량을 요구하므로 속도가 개선된다. 설계된 칩의 소비전력과 지연시간을 고려할때 24채널 TDM/FDM 변환장치를 설계할 경우 TTL, LSI, DSP를 이용한 방식보다 경제적이고 신뢰성 높은 시스템이 구현된다. 본 논문에서 설계된 칩은 실리콘·컴파일러의 Random Logic 과 Block 을 이용하여 다소면적의 증가를 가져왔으나 향후 parallel datapath 방식으로 구성된다면 면적의 감소를 얻을 수 있다. 또한 처리속도가 개선된 bit-serial 데이터 처리방식을 이용하여 필터를 설계한다.^[17, 18, 19]

參 考 文 獻

- [1] Helmut Scheuerman, "A comprehensive survey of digital transmultiplexing methods," *Proc of IEEE*, vol. 69, pp. 1419-1450, Nov, 1981.
- [2] Freeny, "TDM/FDM Translation as an application of digital signal processing," *IEEE COMM Mag*, pp. 5-15, Jan, 1980.
- [3] Bede Liu, "Transmultiplexer design using all-pass filters," *IEEE Trans on COM*, COM 30, July, 1982.
- [4] 최병윤, "2차원 시스템의 FFT 프로세스 설계," 연세대학교 석사학위 논문 1986
- [5] Bellanger, "TDM/FDM Transmultiplexer: digital polyphase and FFT," *IEEE Trans on COM*, COM 22, pp. 1199-1204, Sept, 1974.
- [6] Bellanger, "Digital filtering by polyphase network: application to samplerate alteration and filter banks," *IEEE Trans on ASSP*, ASSP 24, April, 1976.
- [7] Vailanathan, "A new approach to the realization of lowsensitivity IIR digital filters," *IEEE Trans on ASSP*, ASSP 34, April, 1986.
- [8] *Ils User's Manual*, Signal Technology, Inc, February, 1985.
- [9] Mitra, "Digital all-pass networks," *IEEE Trans on CAS*, CAS 21, Sept, 1974.
- [10] Bellanger, "On computational complexity in digital transmultiplexer filters," *IEEE Trans on COM*, COM 30, July, 1982.
- [11] Genesil Silicon Comfiler Function Simulator, Korea Silicon Tech. CO.
- [12] Genesil Function Set VOL-I, II, III USER's MANUAL, Korea Silicon Tech. CO.
- [13] Rossiter, "A Modular transmultiplexer system using custom LSI Devices," *IEEE Trans on COMM*, vol. 30, pp. 1540-1551, July, 1982.
- [14] Wakabayashi, "TDM/FDM Transmultiplexer using a digital signal processor," *IEEE Trans on COMM*, vol 30, pp. 1552-1559, July, 1982.
- [15] Ivar Versvik, "Design of a Digital Transmultiplexer using standard Low-Power Schottky TTL Logic," *IEEE Trans on COMM*, vol. 130, July, 1982.
- [16] Lajos Gazsi, "Single Chip Filter Bank with Wave Digital Filters," *IEEE Trans on ASSP*, vol 130, Oct, 1982.
- [17] 이광엽, 김봉열, 이문기, "TDM/FDM 변환장치용 디지털필터의 집적회로설계" 한국통신학회춘계학술발표논문집, May, 23, 1987. pp. 219-222.
- [18] 이광엽, 김봉열, 이문기, "Semi-Custom 방식에 이용한 통신용 디지털 필터의 집적회로 설계" 대한전자공학회 학술발표논문집, July, 3, 1987. pp. 850-853.
- [19] 이광엽, "TDM/FDM 변환장치용 디지털 필터의 집적회로설계" 연세대학교 대학원전자공학과 석사학위논문, 1987.

— 감사의 말씀 —

본 논문을 친절하고 세심하게 심사하여 몇가지 잘못을 고칠 수 있게 하여 주신 알려지지 않은 심사위원께 감사드립니다.