

최소 지연 시간을 갖는 CMOS buffer 회로의 설계 기법

(The Design Methodology of Minimum-delay CMOS Buffer Circuits)

姜寅燁*, 宋敏圭*, 李竝浩*, 金元燦**

(In Yup Kang, Min Kyu Song, Byoung Ho Lee and Won Chan Kim)

要 約

집적회로의 설계에서 최소 구조를 갖는 트랜지스터로 구성된 논리회로로부터 보통의 출구단(output stage)의 구동 능력을 넘어서는 용량성(capacitive) 부하를 구동시키기 위하여 사용하는 buffer 회로는 시스템 전체의 동작속도(system throughput)에 결정적인 영향을 미치며, 이에 대한 최적화 작업은 중요하다. 본고에서는 구동해야 할 부하가 주어졌을 때 최소 지연 시간을 갖는 CMOS buffer 회로를 설계하는 원칙에 대하여 논한다. 즉, 수동성(passive) 부하를 갖는 nMOS회로에서 최소 지연 시간을 갖는 buffer에 대한 분석을 행한 C. A. Mead 등^{2,3,4}의 방법에서와는 달리, CMOS 인버터의 용량성 부하의 크기가 상승 시간(rise time), 하강 시간(fall time), 지연 시간(delay)에 미치는 영향과 MOS 트랜지스터의 기생 캐패시턴스의 영향을 정확히 분석하여 최소의 지연 시간을 갖는 CMOS buffer의 요구 조건을 계산하였다. 그리고, 큰 용량성 부하를 구동하기 위한 buffer에서는 게이트 폭이 큰 MOS 트랜지스터로 구성된 stage가 요구되는 바 그 폴리실리콘 게이트의 저항이 지연 시간에 미치는 영향도 분석하였다. 또한 본고에서 제안하는 방법으로 buffer를 설계하면 C. A. Mead의 방법의 경우보다 buffer가 차지하는 면적을 줄일 수 있다.

Abstract

In the designs of integrated circuits, the buffer circuits used for driving a large capacitive load from minimum-structured logic circuit outputs have important effects upon system throughputs. Therefore it is important to optimize the buffer circuits. In this paper, the principle of designing CMOS buffer circuits which have the minimum delay and drive the given capacitive load is discussed. That is, the effects of load capacitance upon rise time, fall time, and delay of the CMOS inverter and the effects of parasitic capacitances are finely analysed to calculate the requested minimum-delay CMOS buffer condition. This is different from the method by C.A. Mead et. al.^[2,3,4] which deals with passive-load-nMOS buffers. Large channel width MOS transistor stages are necessary to drive a large capacitive load. The effects of polysilicon gate resistances of such large stages upon delay are also analysed. And, the area of buffer circuits designed by the proposed method is smaller than that of buffer circuits designed by C.A. Mead's method.

I. 서 론

집적회로의 설계에서 최소 구조의 게이트에 의한

논리 처리 결과가 bus line, clock line, word line, 외부 회로 등과 같은 큰 용량성(capacitive) 부하를 구동하여야 할 때, 그 지연 시간을 줄이기 위해서는 그림 1과 같은 buffer chain을 그 사이에 사용하여야 한다.^{1,2}

이러한 buffer chain에서 최소 게이트 구조를 갖

*準會員, **正會員, 서울대학교 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字: 1987年 9月 10日

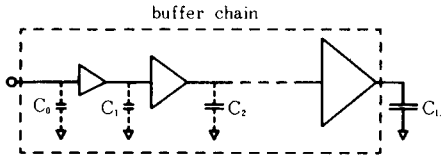


그림 1. 연결된 buffer 단
Fig. 1. Buffer chain.

는 기본 구동단은 이웃한 이보다 큰 buffer 단을 구동하고 이는 또 다시 이웃한 더 큰 buffer 단을 구동한다. 이웃한 buffer 단 간의 구동 능력 비율을 작게 하면, 앞단의 구동 능력에 대한 뒷단의 입구(input) 캐패시턴스가 줄어들어 각 단계에서의 지연 시간이 줄어들지만, 주어진 부하 C_L 을 구동하기 위해서는 단수를 늘려야 하므로 그만큼 전체적인 지연 시간은 늘어나는 요인이 생긴다. 따라서, 이러한 trade-off 을 고려할 때 전체적인 지연 시간을 최소화 하는 buffer chain 을 고안할 수 있을 것으로 기대된다.

그림 1 과 같은 buffer chain 에 대한 최초의 분석은 H. C. Lin 과 L. W. Linholm 에 의해 행해졌으나¹⁾ 이들은 각 단계에서의 지연 시간과 전체적인 면적의 최적화에 논점을 두었으며 전체 지연 시간의 최소화 문제는 다루지 않았다.

전체적인 지연 시간을 최소화 하는 buffer chain 설계 기법에 대한 고찰은 C. A. Mead 등에 의하여 이루어졌다.^{2,3,4)}

그러나, 이상의 분석들은 하나의 buffer 가 구동하는 용량성 부하가 f 배 커지면 그 buffer 에서의 지연 시간도 f 배 증가 한다는 가정하에서 고찰된 것들이었다. 이 가정은 1 차적인 근사로서 흔히 사용되고 있지만 정확한 것이 아니다.

Buffer chain 은 그 회로 구성의 방법에 따라 집적도와 지연 시간이 달라지게 된다. 본고에서는 CMOS 인버터에 대해 위의 가정에 정당성 여부를 검토한 후 그 결과와 최근 제안된 바 있는 buffer chain 에서의 기생 캐패시턴스 성분의 영향⁵⁾ 을 보다 정확히 고찰하여 더욱 짧은 지연 시간을 갖는 CMOS 인버터 형태의 buffer chain 을 설계하는 기법을 제안하고자 한다.

II 에서는 CMOS 인버터에서 그 용량성 부하의 크기가 출구(output) 전위의 상승 시간, 하강 시간, 지연 시간에 미치는 영향을 고찰하겠다. III 에서는 II 에서 얻은 결론과 MOS 트랜지스터의 기생 캐패시

턴스의 영향을 정확히 분석하여 최소 지연 시간을 갖는 CMOS 인버터 chain 을 설계하는 기법을 제안하고자 한다. IV 에서는 그 설계 조건에 II 의 효과와 기생 캐패시턴스가 미치는 영향을 비교 검토하겠으며 V 에서는 큰 게이트 폭으로 인한 폴리실리콘 게이트의 저항의 영향을 분석하고 이를 통한 설계 기법을 제안하고자 한다.

II. CMOS 인버터의 상승 시간, 하강 시간 및 지연 시간

용량성 부하 C 를 구동하는 CMOS 인버터에서 그 입구 게이트에 step 신호가 가해지는 경우를 살펴보자.

그 입구 신호가 $t = 0$ 에서 $0V$ 로부터 V_{DD} (공급전압) 로 높아지는 step 신호라면, pMOS 트랜지스터는 $t = 0^+$ 에서 off 되고, nMOS 트랜지스터는 출구 전위가 $V_{DD} - V_{Tn}$ (V_{Tn} 은 nMOS 트랜지스터의 threshold 전압) 로 떨어질 때 까지는 포화영역에서 동작하며 출구 전위가 $V_{DD} - V_{Tn}$ 보다 더 떨어지면 선형영역에서 동작한다.

출구 전압이 $0.9V_{DD}$ 에서 $0.1V_{DD}$ 로 떨어질 때까지의 시간인 하강 시간(fall time) 은

$$\tau_f = R_n C \tag{1}$$

이며, 여기서

$$R_n = \frac{2}{\beta_n (V_{DD} - V_{Tn})} \left[\frac{V_{Tn} - 0.1V_{DD}}{V_{DD} - V_{Tn}} + \frac{1}{2} \ln \left(\frac{19V_{DD} - 20V_{Tn}}{V_{DD}} \right) \right] \tag{2}$$

이다 ($\beta_n = \mu_n C'_{ox} W_n / L_n$, μ_n 은 nMOS 트랜지스터 채널에서의 전자 이동도, C'_{ox} 은 게이트의 단위 면적당 절연물 캐패시턴스, W_n 은 채널의 폭, L_n 은 채널의 길이)⁶⁾

마찬가지로 CMOS 인버터의 입구에 $t = 0$ 에서 V_{DD} 로부터 $0V$ 로 떨어지는 step 신호가 가해질 때, 출구전압이 $0.1V_{DD}$ 에서 $0.9V_{DD}$ 로 높아질 때까지의 시간인 상승 시간(rise time) 은 다음과 같이 표시된다.

$$\tau_r = R_p C \tag{3}$$

여기서

$$R_p = \frac{2}{\beta_p (V_{DD} - |V_{Tp}|)} \left[\frac{|V_{Tp}| - 0.1V_{DD}}{V_{DD} - |V_{Tp}|} + \frac{1}{2} \ln \left(\frac{19V_{DD} - 20|V_{Tp}|}{V_{DD}} \right) \right] \tag{4}$$

이다 (V_{Tp} 는 pMOS 트랜지스터의 threshold 전압, β_p

는 nMOS 트랜지스터의 경우와 마찬가지로 정의된다.).

또, 출구전압이 $0.5V_{DD}$ 에 도달하기 까지의 시간인 지연 시간(delay)은 다음과 같이 근사된다.¹⁷⁾

$$\tau_d = R_e C \tag{5}$$

여기서

$$R_e \approx \frac{0.9}{V_{DD}} \left[\frac{1}{\beta_n \left(1 - \frac{V_{Tn}}{V_{DD}}\right)^2} + \frac{1}{\beta_p \left(1 - \frac{|V_{Tp}|}{V_{DD}}\right)^2} \right] \tag{6}$$

이다.

그러나 이상의 수식은 인버터의 입구에 step 신호가 가해질 때의 경우에 유도된 것이다. 실제 회로에서는 입구에 유한한 기울기를 갖고 상승(또는 하강)하는 신호가 가해진다. 또, 인버터 chain에서 첫 단 입구에는 step 신호가 가해진다 할지라도 둘째 단 이상에서는 그 입구신호가 유한한 기울기를 갖게 된다.

이러한 경우에 CMOS 인버터는 다음과 같이 일반적으로 다섯 동작 상태 단계를 거치게 된다.

- (a) pMOS : 선형영역, nMOS : off
- (b) pMOS : 선형영역, nMOS : 포화영역

$$-C \frac{dV_o}{dt} = \frac{\beta_n}{2} [V_{in}(t) - V_{Tn}]^2 - \beta_p \left[(V_{DD} - V_{in}(t) - |V_{Tp}|) (V_{DD} - V_o) - \frac{(V_{DD} - V_o)^2}{2} \right] \tag{7}$$

- (c) pMOS : 포화영역, nMOS : 포화영역

$$-C \frac{dV_o}{dt} = \frac{\beta_n}{2} [V_{in}(t) - V_{Tn}]^2 - \frac{\beta_p}{2} [V_{DD} - V_{in}(t) - |V_{Tp}|]^2 \tag{8}$$

- (d) pMOS : 포화영역, nMOS : 선형영역

$$-C \frac{dV_o}{dt} = \frac{\beta_n}{2} \left[(V_{in}(t) - V_{Tn}) V_o - \frac{V_o^2}{2} \right] - \frac{\beta_p}{2} [V_{DD} - V_{in}(t) - |V_{Tp}|]^2 \tag{9}$$

- (e) pMOS : off, nMOS : 선형영역

$$-C \frac{dV_o}{dt} = \frac{\beta_n}{2} \left[(V_{in}(t) - V_{Tn}) V_o - \frac{V_o^2}{2} \right] \tag{10}$$

여기서 $V_{in}(t)$ 는 CMOS 인버터의 입구 전위를, V_o 는 출구 전위를 나타낸다.

변이가 일어나는 중간에 pMOS 트랜지스터와 nMOS 트랜지스터가 모두 on되는 경우가 생기므로 p-

MOS(또는 nMOS) 트랜지스터가 부하를 충전(또는 방전)시키는 효율이 입구에 step 신호가 가해질 때의 경우보다 낮아지기 때문에 τ_f , τ_r , τ_d 는 (1) - (6)보다 길어진다.

그림 2와 같이 동일한 CMOS 인버터가 연속된 chain에서 첫 단 입구에 step 신호를 가했을 때 각 단에서의 τ_f , τ_r , τ_d 를 SPICE simulation (level : 2)에 의해 계산한 결과를 그림 3에 나타냈다($\beta_p/\beta_n = 0.99$, $V_{Tn} = 0.7V$, $V_{Tp} = -0.7V$).

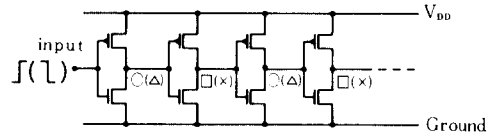


그림 2. 동일한 CMOS 인버터가 연속된 chain
Fig. 2. The chain of the same CMOS inverters.

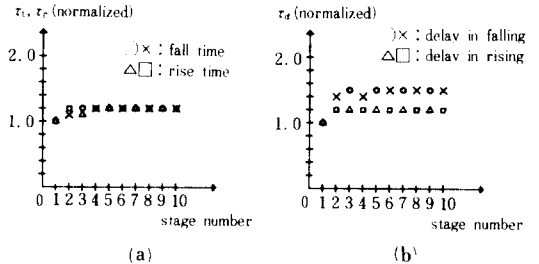


그림 3. 그림 2의 회로에서 첫째 단 입구에 step 신호가 걸릴 때의 각 단에서의 τ_f , τ_r , τ_d .

Fig. 3. τ_f , τ_r , τ_d of each stage of fig.2 when the first stage of fig.2 is driven by the step signal.
(a) τ_f and τ_r . (b) τ_d .

τ_d 는 지연 시간으로서 입구 신호가 최대신호의 50%가 되는 순간부터 출구 신호가 최대 신호의 50%가 될 때까지의 시간을 뜻한다. τ_f , τ_r , τ_d 는 각각 첫째단(입구에 step 신호가 걸릴 때)의 값에 대해 규격화(normalize) 하였다. '0'와 'X'로 표시된 것은 출구 node가 nMOS 트랜지스터에 의해 방전되는 경우이며 '△'와 '□'로 표시된 것은 출구 node가 pMOS 트랜지스터에 의해 충전되는 경우이다.

그림 3에서 둘째 단 이상에서의 τ_f , τ_r , τ_{dn} , τ_{dp}

(τ_{an} 은 nMOS 트랜지스터에 의해 출구 node가 방전될 때의 지연 시간, τ_{dp} 는 pMOS 트랜지스터에 의해 출구 node가 충전될 때의 지연 시간)는 첫째 단(step 신호로 구동)의 τ_f , τ_r , τ_{an} , τ_{dp} 보다 크지만, stage 번호와는 거의 무관히 일정함을 볼 수 있다. 즉, CMOS 인버터의 입구 신호의 기울기가 유한할 때의 τ_f , τ_r , τ_{an} , τ_{dp} 는 입구 신호가 step 형일 때의 그것들보다 크지만, 몇 단을 지나도 그리 변하지 않음을 알 수 있다. 기본 CMOS 인버터의 입구 캐패시턴스의 30,000배 되는 부하를 C. A. Mead의 방법^[2]으로 구동할 때에도 stage 수는 10개가 필요한 것을 고려하면 그림 3으로부터 충분히 유용한 stage 수들에 대해

$$\tau_f = k_f \tau_{fo} \tag{11}$$

$$\tau_r = k_r \tau_{ro} \tag{12}$$

$$\tau_{an} = k_{an} \tau_{ano}, \quad \tau_{dp} = k_{dp} \tau_{dpo} \tag{13}$$

로 표시됨을 볼 수 있다. 여기서 τ_{fo} , τ_{ro} , τ_{ano} , τ_{dpo} 는 (1)-(6)으로 표시되는 값이며 k_f , k_r , k_{an} , k_{dp} 는 교정 계수로서 β_p/β_n , V_{Tn} , V_{Tp} 의 함수이다. 따라서 k_f , k_r , k_{an} , k_{dp} 는 정해진 공정과 β_p/β_n 의 값을 이용한 SPICE simulation으로부터 얻어내야 한다. 그림 3의 경우에는 $k_f=1.2$, $k_r=1.2$, $k_{an}=1.5$, $k_{dp}=1.2$ 이다.

이제 CMOS 인버터의 구동 능력에 대한 용량성 부하의 크기가 달라질 때 τ_f , τ_r , τ_{an} , τ_{dp} 가 어떻게 변하는지를 살펴보자.

식 (7)-(10)의 좌, 우변에 같은 숫자를 곱하여도 등식은 성립하므로 CMOS 인버터의 구동 능력을 1/K 배로 하고 용량성 부하를 K배로 하면 출구 파형은 동일함을 알 수 있다. 이는 SPICE simulation을 통하여서도 확인하였다. 그러나, CMOS 인버터의 구동 능력만을 1/K 배로 또는 용량성 부하만을 K배로(이 두 경우의 출구 파형은 동일하다.) 하였을 때 그 CMOS 인버터의 τ_f , τ_r , τ_{an} , τ_{dp} 는 흔히 믿어지는 것처럼^[3] K배로 되지는 않는다. 그 이유는 입구 파형이 시간의 함수이기 때문이다. 즉, 이는 동일한 입구 파형에 대해 용량성 부하만 K배 되면 CMOS 인버터의 동작 상태 경계가 그림 4와 같이 바뀌게('→'로 표시) 되므로 입구 신호의 A, B 부분에서의 CMOS 인버터의 방전(또는 충전)능력이 달라지기 때문이다.

그림 5는 이러한 경우에 대한 SPICE simulation 결과를 나타낸 것이다. 실선이 흔히 믿어지며 실제에 사용되는 관계식이나 이는 CMOS 인버터의 구동

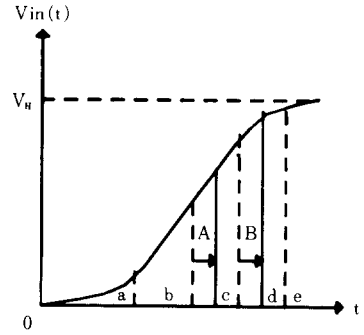


그림 4. CMOS 인버터의 입구 파형에 표시한 CMOS 인버터의 동작 상태

- (a) pMOS : 선형영역, nMOS : off
- (b) pMOS : 선형영역, nMOS : 포화영역
- (c) pMOS : 포화영역, nMOS : 포화영역
- (d) pMOS : 포화영역, nMOS : 선형영역
- (e) pMOS : off, nMOS : 선형영역

Fig. 4. The operation modes of a CMOS inverter indicated on the input signal of the CMOS inverter.

- (a) pMOS : linear, nMOS : off.
- (b) pMOS : linear, nMOS : saturated.
- (c) pMOS : saturated, nMOS : saturated.
- (d) pMOS : saturated, nMOS : linear.
- (e) pMOS : off, nMOS : linear.

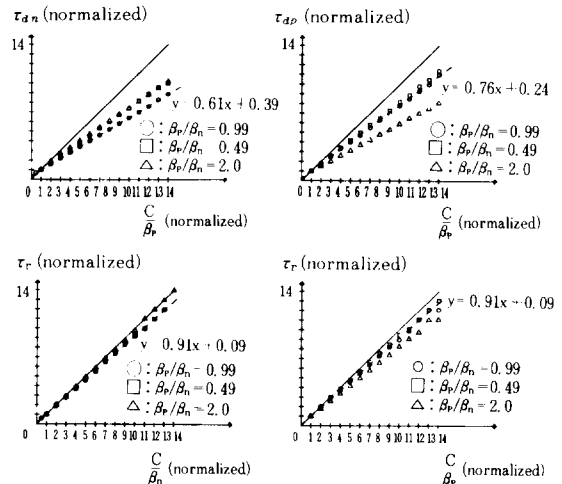


그림 5. CMOS 인버터의 구동능력에 대한 용량성 부하의 크기와 τ_f , τ_r , τ_{an} , τ_{dp} 의 관계

Fig. 5. The relation between the capacitance of the load to the driving capability of the CMOS inverter and τ_f , τ_r , τ_{an} , τ_{dp} .

능력비에 대한 용량성부하의 크기가 커질수록 정확하지 못함을 볼 수 있다(MOS 트랜지스터의 기생 캐패시턴스 모두 0으로 하고 simulation 하였다.). 이 simulation은 step 신호를 CMOS 인버터 두 단을 거쳐 유한한 기울기를 갖게 한 다음 이를 관찰하고자 하는 CMOS 인버터의 입구에 가하는 방법을 통해 이루어졌다. 그림 3의 결과를 고려할 때 그림 5의 결과는 특정한 stage의 경우에만 국한된 것이 아니라고 볼 수 있다.

CMOS 인버터의 구동 능력에 대한 용량성 부하의 크기와 τ_f , τ_r , τ_{dn} , τ_{dp} 간에는 흔히 믿어지는 것과는 다르지만 선형적인 관계가 있음을 볼 수 있다. $\beta_p/\beta_n=0.99$ 인 경우에 대한 선형 근사를 그림 5에 점선으로 나타내었으며 그 근사식은 다음과 같다.

$$\frac{\tau_f}{\tau_{f1}} = a_f x + b_f \tag{14}$$

$$\frac{\tau_r}{\tau_{r1}} = a_r x + b_r \tag{15}$$

$$\frac{\tau_{dn}}{\tau_{dn1}} = a_{dn} x + b_{dn} \tag{16}$$

$$\frac{\tau_{dp}}{\tau_{dp1}} = a_{dp} x + b_{dp} \tag{17}$$

여기서 x는 용량성 부하의 CMOS 인버터의 구동 능력에 대한 비율을 기준에 대해 규격화시킨 것이다. 기본 CMOS 인버터의 입구 게이트 캐패시턴스의 기본 CMOS 인버터의 구동 능력에 대한 비율을 그 기준으로 삼았다. τ_{f1} , τ_{r1} , τ_{dn1} , τ_{dp1} 은 그 기준 CMOS 인버터와 부하에 대한 τ_f , τ_r , τ_{dn} , τ_{dp} 를 나타낸다($a_f=0.91$, $b_f=0.09$, $a_r=0.91$, $b_r=0.09$, $a_{dn}=0.61$, $b_{dn}=0.39$, $a_{dp}=0.76$, $b_{dp}=0.24$).

III. 최소 지연시간을 갖는 CMOS buffer 회로의 설계 기법

CMOS 인버터 chain에서 다음과 같이 기호를 정의하기로 한다.

- f_1 : 둘째단의 첫째단에 대한 게이트 폭의 비
- f_2 : 세째단의 둘째단에 대한 게이트 폭의 비
- ⋮
- f_{N-1} : N째단의 (N-1)째단에 대한 게이트 폭의 비
- f_N : 부하 C_L 의 N째 단 입구 게이트 캐패시턴스에 대한 비

$C'_{jsw n}$: nMOS 트랜지스터 드레인(쏘오스)의 단위 길이당 sidewall 캐패시턴스

C'_{agn} : nMOS 트랜지스터 드레인과 기판(또는 p-well) 간의 단위 면적당 junction 캐패시턴스

C'_{sgn} : nMOS 트랜지스터 쏘오스와 게이트 간의 단위 길이당 overlap 캐패시턴스

W_{n1} : i 째 단 인버터의 nMOS 트랜지스터 채널 폭

L_{n1} : 첫째 단 인버터의 nMOS 트랜지스터 채널 길이

$$C_{gn1} = C'_{ox} W_{n1} L_{n1}$$

L_d : 드레인(쏘오스)의 폭
pMOS 트랜지스터에 대하여서도 비슷한 방법으로 기호를 정의하기로 한다.

i 째 단의 출구 캐패시턴스 $C_o(i)$ 는 다음과 같이 표시된다.

$$C_o(i) = C_{on}(i) + C_{op}(i) \tag{18}$$

여기서 $C_{on}(i)$ 는 i 째 단 nMOS 트랜지스터의 출구 캐패시턴스를 뜻하며 이는 다음과 같이 표시된다.

$$C_{on}(i) = K_{eqn} (C'_{agn} L_d W_{n1} + C'_{jsw n} (2L_d + 2W_{n1})) + 2C'_{sgn} W_{n1} \tag{19}$$

식 (19)에서 C'_{agn} 앞에 2가 곱해진 것은 입구 전위와 출구 전위가 반대로 변하기 때문이다. K_{eqn} 은 n-MOS 트랜지스터의 경우 전압의 영향을 받는 기생 캐패시턴스를 동등한 효과를 가지며 전압에 무관한 캐패시턴스로 바꾸어 주는 상수이다. 일반적으로 전압의 영향을 받는 junction 캐패시턴스 $C_j(V)$ 를 전압과 무관하며 동등한 효과를 갖는 캐패시턴스 C_{eq} 로 다음과 같이 바꿀 수 있다.⁹⁾

$$C_{eq} = \frac{\Delta Q}{\Delta V}$$

여기서

$$\Delta Q = \int_{V_1}^{V_2} C_j(V) dV = \int_{V_1}^{V_2} C_{jo} \left(1 - \frac{V}{\phi_{bn}}\right)^{-m} dV \tag{20}$$

이고 $\Delta V = V_2 - V_1$ 이므로

$$K_{eqn} = \left| \frac{\phi_{bn}}{(V_2 - V_1)(1-m)} \left[\left(1 - \frac{V_2}{\phi_{bn}}\right)^{1-m} - \left(1 - \frac{V_1}{\phi_{bn}}\right)^{1-m} \right] \right|$$

이다(V_2 와 V_1 은 V_{DD} 와 ground를 뜻하며 ϕ_{bn} 은 jun-

ction의 built-in 전위차, m 은 junction grading 계수, C_{j0} 는 junction 양단간에 외부에서 가해준 전위차가 0일때의 junction 캐패시턴스이다.)

pMOS 트랜지스터에 대하여도 비슷한 식들이 성립한다.

i 째 nMOS 트랜지스터의 채널 폭은

$$W_{n1} = f_1 f_2 \cdots f_{i-1} W_{n1} \quad (21)$$

이므로 식 (19)는 다음과 같이 고친다.

$$C_{on}(i) = (K_{eqn} C'_{dbn} L_d + 2K_{eqn} C'_{jsw n} + 2C'_{dgn}) f_1 f_2 \cdots f_{i-1} W_{n1} + 2K_{eqn} C'_{jsw n} L_d \quad (22)$$

pMOS 트랜지스터에 대하여도 비슷한 식이 성립하므로

$$C_o(i) = A f_1 f_2 \cdots f_{i-1} + 2(K_{eqp} C'_{jsw p} + K_{eqp} C'_{jsw p}) L_d$$

이다. 여기서 L_d 는 nMOS 트랜지스터와 pMOS 트랜지스터의 경우에 모두 같다고 가정했으며

$$A = (K_{eqn} C'_{dbn} L_d + 2K_{eqn} C'_{jsw n} + 2C'_{dgn}) W_{n1} + (K_{eqp} C'_{dbp} L_d + 2K_{eqp} C'_{jsw p} + 2C'_{dgp}) W_{p1} \quad (23)$$

이다.

$i+1$ 째 단의 입구 캐패시턴스는 다음과 같다.

$$C_{in}(i+1) = f_1 f_2 \cdots f_i [C_{gn1} + C_{gp1} + (2C'_{dgn} + C'_{sgn}) W_{n1} + (2C'_{dgp} + C'_{sgp}) W_{p1}] \quad (24)$$

식 (24)에서 C'_{dgn} 과 C'_{dgp} 앞에 2가 곱해진 것은 입구 전위와 출구 전위가 반대로 변하기 때문이다. 따라서 i 째 단의 전체 출구 캐패시턴스 C_i 는 다음과 같다(그림 6).

$$C_i = C_o(i) + C_{in}(i+1) = A f_1 f_2 \cdots f_{i-1} + B f_1 f_2 \cdots f_i + C \quad (25)$$

여기서

$$B = C_{gn1} + C_{gp1} + (2C'_{dgn} + C'_{sgn}) W_{n1} + (2C'_{dgp} + C'_{sgp}) W_{p1} \quad (26)$$

$$C = 2(K_{eqn} C'_{jsw n} + K_{eqp} C'_{jsw p}) L_d \quad (27)$$

이다.

II의 결과를 이용하면 전체 지연 시간은 다음과 같은 식으로 표시된다.

$$T = \sum_{i=1}^N \tau_{d1} = \sum_{i: \text{odd}}^N k_{dn} \tau_{dno} (a_{dn} x_i + b_{dn}) + \sum_{i: \text{even}}^N k_{dp} \tau_{dpo} (a_{dp} x_i + b_{dp}) \quad (28)$$

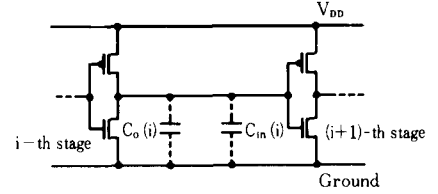


그림 6. CMOS 인버터의 캐패시턴스
Fig. 6. The capacitances of CMOS inverters.

여기서 x_i 는 i 째 단에서의 구동능력에 대한 i 째 단 출구 캐패시턴스의 비를 기본 구동단의 구동 능력에 대한 기본 구동단의 입구 게이트 캐패시턴스의 비로 규격화시킨 값으로 다음과 같이 표시된다(τ_{dno} , τ_{dpo} 는 기본 인버터가 동일한 인버터를 구동할 때의 하강, 상승시 지연시간).

$$x_i = \frac{A f_1 f_2 \cdots f_{i-1} + B f_1 f_2 \cdots f_i + C}{f_1 f_2 \cdots f_{i-1} (C_{gn1} + C_{gp1})} \approx \frac{A}{C_{gn1} + C_{gp1}} + \frac{B}{C_{gn1} + C_{gp1}} f_i \quad (29)$$

생략된 항은 가장 큰 경우에도 다른 항의 1/10 이하이다. 식 (29)에서

$$A' = \frac{A}{C_{gn1} + C_{gp1}}, \quad B' = \frac{B}{C_{gn1} + C_{gp1}} \quad (30)$$

라 하고

$$q = \frac{k_{dp} \tau_{dpo}}{k_{dn} \tau_{dno}}$$

라 표시하면

$$T = k_{dn} \tau_{dno} \left[\sum_{i: \text{odd}}^N (a_{dn} A' + b_{dn} + a_{dn} B' f_i) + q \sum_{i: \text{even}}^N (a_{dp} A' + b_{dp} + a_{dp} B' f_i) \right] \quad (31)$$

를 얻는다. 그런데

$$f_1 f_2 \cdots f_N = \frac{C_L}{C_{gn1} + C_{gp1}} \equiv Y \quad (32)$$

여야 하므로

$$\prod_{i: \text{odd}} f_i = \frac{Y}{\prod_{i: \text{even}} f_i}$$

라는 구속 조건이 생긴다. 일정한 $\prod_{i: \text{odd}} f_i$ 에 대해 $\sum_{i: \text{odd}}^N (a_{dn} A' + b_{dn} + a_{dn} B' f_i)$ 은 $f_1 = f_3 = \cdots$ 일때 최소가 된다. 마찬가지로 전체 지연 시간을 최소로 하

기 위해서는 $f_2 = f_4 = \dots \leq f'$ 여야 한다. 이 경우 N이 짝수일 때 전체 지연 시간은 다음과 같다.

$$T = \frac{k_{an}\tau_{ano}}{2} N(a_{an}A' + b_{an} + a_{an}B'f + qa_{ap}A' + qb_{ap} + qa_{ap}B'f) \quad (33)$$

부하 C_L 의 전위가 상승할 때의 전체 지연 시간과 하강할 때의 전체 지연 시간이 같아지게 하려면

$$a_{an}A' + b_{an} + a_{an}B'f + qa_{ap}A' + qb_{ap} + qa_{ap}B'f' = a_{an}A' + b_{an} + a_{an}B'f' + qa_{ap}A' + qb_{ap} + qa_{ap}B'f$$

여야 하므로

$$B'(a_{an} - qa_{ap})(f - f') = 0$$

가 되어야 한다. 일반적으로 $a_{an} \neq qa_{ap}$ 이므로 $f = f'$ 으로 설계해야 한다. 즉, 이웃한 stage 간의 게이트 폭 비율은 일정하게 설계해야 한다. N이 홀수일 때에도 일반적으로 $f = f'$ 로 설계해야 함도 비슷한 방법으로 보일 수 있다. N이 짝수일 경우 전체 지연 시간은 다음과 같이 표시된다.

$$T = \frac{k_{an}\tau_{ano}}{2} N(a_{an}A' + b_{an} + qa_{ap}A' + qb_{ap} + (a_{an} + qa_{ap})B'f) = \frac{k_{an}\tau_{ano}}{2} N(V + Wf) \quad (34)$$

여기서

$$V = a_{an}A' + b_{an} + qa_{ap}A' + qb_{ap} \quad (35)$$

$$W = (a_{an} + qa_{ap})B' \quad (36)$$

이다.

식 (32)로부터

$$f^N = Y$$

여야 하므로 $f = Y^{\frac{1}{N}}$ (37)

를 얻는다. 식 (37)을 식 (34)에 대입하면 다음 식을 얻는다.

$$T = \frac{k_{an}\tau_{ano}}{2} N(V + WY^{\frac{1}{N}}) \quad (38)$$

T를 최소로 하는 N은 다음과 같이 구할 수 있다.

$$\frac{dT}{dN} = \frac{k_{an}\tau_{ano}}{2} \left[V + WY^{\frac{1}{N}} + NWY^{\frac{1}{N}} \left(-\frac{1}{N^2} \right) \ln Y \right] = 0$$

$$V + WY^{\frac{1}{N}} - \frac{WY^{\frac{1}{N}}}{N} \ln Y = 0 \quad (39)$$

식 (39)를 만족시키는 N은 일반적으로 정수가 아니다. N은 stage 수로서 정수여야 하므로 식 (39)를 만족시키는 N과 가까운 두 정수 중에서 식 (38)을 더 작게 하는 값을 N의 값으로 취해야 한다. 그리고, f는 이러한 N에 대해 식 (37)로부터 계산해야한다.

식 (38)은 N이 짝수일 때 계산된 전체 지연 시간이다. N이 홀수일 때에는 식이 복잡해져 손쉬운 계산은 불가능하나 식 (38)로 근사하여도 큰 오차를 나타내지는 않는다.

그림 7은 이상의 방법으로 설계된 buffer와 C. A. Mead의 방법으로 설계된 buffer를 SPICE simulation으로 비교한 것이다(+ 표시: 본고에서 제안한 방법, = 표시: C. A. Mead의 방법). 사용한 parameter는 다음과 같다. 비교를 쉽게 하기 위해 후자의 방법의 경우(stage 수가 짝수)의 입구 신호는 전자의 방법의 경우(stage 수가 홀수)의 입구 신호가 반전된 신호로 하였다.

$$a_{an} = 0.61, \quad a_{ap} = 0.76, \quad b_{an} = 0.39, \quad b_{ap} = 0.24, \\ C_{gn1} + C_{gp1} = 0.031 \text{pF}, \quad K_{en} = 0.410, \quad K_{ep} = 0.407, \\ A = 1.94E-14, \quad B = 4.90E-14, \quad V = 1.28, \\ W = 1.82, \quad Y = 50, \quad N = 3, \quad f = 3.7 \quad (\text{C. A. Mead의 방법: } f = 2.7, \quad N = 4)$$

그림 7에서 6% 정도의 지연 시간의 감소가 생긴 것을 볼 수 있다. 그림 8은 그림 7의 parameter에 대한 식 (38)의 그래프를 규격화시켜 나타낸 것이다. 'X'와 '□'로 표시된 것은 그림 7에서 얻은 결과를 표시한 것이다. 오차는 수식상으로 결정되는 무한소 수 f에 대해 이를 소숫점 이하 첫째 자리까지로 근사시키고 W를 design rule에 맞게 맞추어 기인한 것이다.

그러나 그림 7에서 상승 시간과 하강 시간은 C. A. Mead의 방법보다 큼을 볼 수 있다. 이는 본고에서 제안하는 방법이 C. A. Mead의 방법보다 f를 크게 택하기 때문이다. CMOS 인버터의 용량성 부하가 커질 때 그 지연 시간이 늘어나는 정도가 C. A. Mead의 가정보다 작기 때문에 f를 C. A. Mead의 방법보다 조금 더 크게 하고 따라서 stage 수를 줄이는 것이 전체 지연 시간을 더욱 작게 만든다. 그러나, 최종 구동단의 구동 능력에 대한 용량성 부하의 값이 본고의 방법의 경우가 C. A. Mead의 방법의 경우보다 크므로 상승 시간과 하강 시간이 C. A. Mead의 경우보다 크다. 따라서, 최종 stage는 요구되는 상승(하강) 시간을 만족시킬 수 있도록 W/L을 정해줘야 한다.^[10] 이 최종 stage를 구동하는 stage들은 최종 stage 입구 캐패시턴스를 주어진 부하로 생각하여 앞에서 제안한 방법을 이용하여 설계하면 요구되는

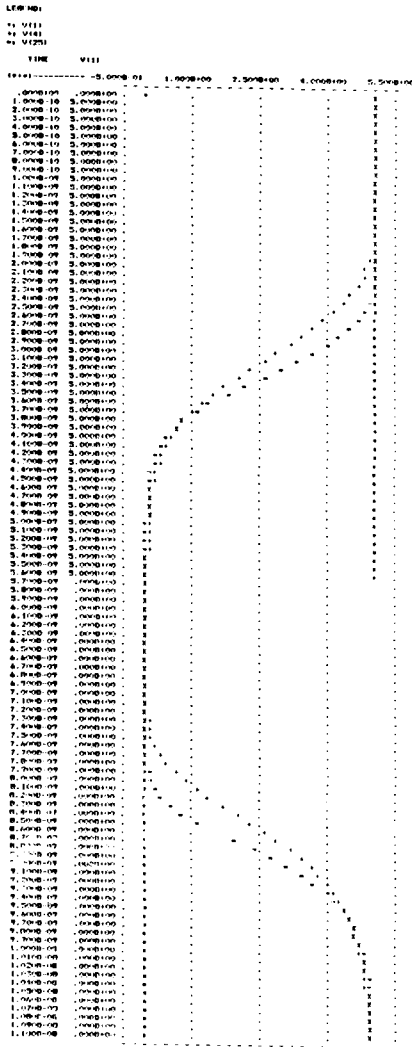


그림 7. SPICE simulation 의 예
Fig. 7. An example of SPICE simulation.

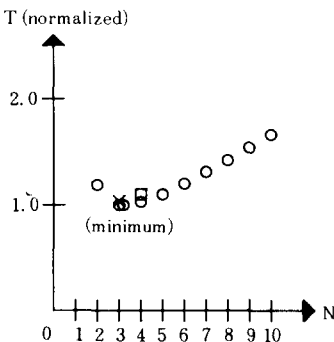


그림 8. 그림 7의 parameter에 대한 식 (39)의 그래프
Fig. 8. The graphs of eq. (38) under the parameter of fig. 7.

상승(하강) 시간을 만족시키면서 지연 시간이 최소가 되는 buffer 를 설계할 수 있다. 최종 stage는 그림 5의 τ_r , τ_f 의 선형근사의 식을 이용하여 설계해야 한다.

그림 9는 상승(하강) 시간이 기본 상승(하강) 시간의 1.5배 이내가 되도록 설계한 최소 지연 시간을 갖는 buffer 회로를 같은 상승(하강) 시간을 갖도록 최종 stage의 W/L을 정하고 그 이전의 stage에 대하여는 C. A. Mead의 방법을 택한 회로와 비교한 S-PICE simulation 결과의 예이다. 비교를 쉽게 하기

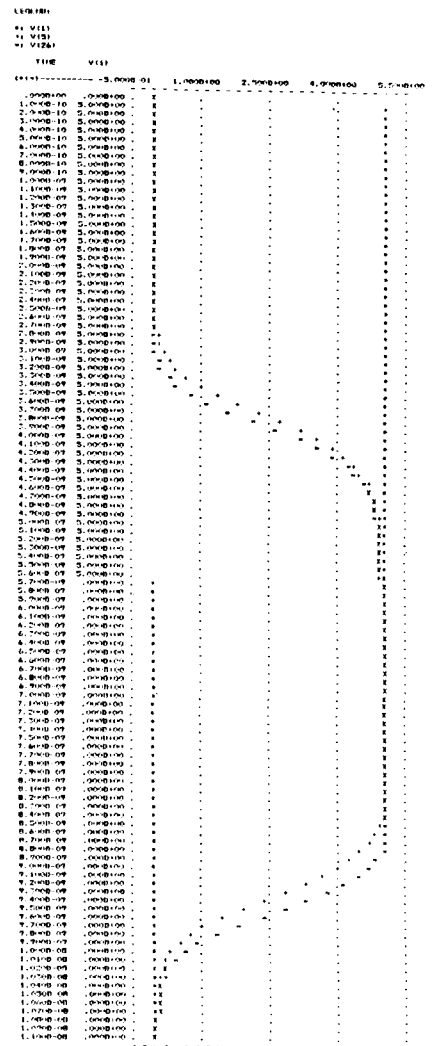


그림 9. 요구되는 상승(하강) 시간에 맞추어 설계한 buffer의 SPICE simulation 의 예
Fig. 9. An example of SPICE simulation of buffers which satisfy the requested rise (fall) time.

위해 후자의 방법에 의한 경우(stage 수가 홀수)의 입구 신호는 전자의 방법에 의한 경우(stage 수가 짝수)의 입구 신호가 반전된 신호로 하였다. $Y=75$ 이며 다른 parameter는 그림 7의 경우와 같다. 본고에서 제안하는 방법이 C. A. Mead의 방법보다 지연 시간을 5% 정도 감소시킴을 볼 수 있다($N=4, f_1=f_2=f_3=3.7, f_4=1.5$, C. A. Mead의 방법: $f_1=f_2=f_3=f_4=2.7, f_5=1.5, N=5$).

그리고, 본고에서 제안하는 방법에 의하면 C. A. Mead의 방법에 의한 경우보다 buffer가 차지하는 면적이 줄어든다. 이는 다음과 같이 살펴볼 수 있다.

첫째 단 CMOS 인버터의 면적을 J라 하고 각 단 사이의 면적을 I라 하면 buffer의 면적 M은

$$M = (1 + f + f^2 + \dots + f^{N-1})J + NI$$

$$= \frac{1-f^N}{1-f} J + NI \quad (40)$$

와 같다.

표 1은 여러가지 Y 값에 대하여 본고에서 제안한 그림 7에서와 같은 방법과 C. A. Mead의 방법에 대한 SPICE simulation 결과와 buffer 면적을 비교한 것이다.

표 1. SPICE simulation에 의한 지연 시간과 buffer의 면적

Table 1. The delays by SPICE simulation and the buffer area.

Y	제안된 방법		Mead의 방법		지연 시간의 감소(%)	buffer 면적의 감소(%)	
	N	f	N	f		$\frac{1-f^N}{1-f}J$ 의 감소	NI의 감소
40	3	3.4	4	2.7	10	48	25
50	3	3.7	4	2.7	6	42	25
100	4	3.2	5	2.7	9	44	20
300	5	3.1	6	2.7	7	39	17
500	5	3.5	6	2.7	3	8.7	17
800	6	3.0	7	2.7	5	41	14
1000	6	3.2	7	2.7	5	20	14

표 1에서 본고에서 제안한 방법에 의하면 C. A. Mead의 방법에 의한 설계의 경우보다 지연 시간을 3~10% 줄일 수 있고 buffer가 차지하는 면적도 상당히 줄일 수 있음을 볼 수 있다.

이상에서 고찰한 바와 같은 지연 시간 감소 기법은 CMOS 논리회로와 domino logic에도 응용될 수 있을 것으로 기대된다.

IV. 지연 시간의 비단순성과 기생 캐패시턴스의 영향의 상대적 비교

III에서 제안된 최소 지연시간을 갖는 CMOS buffer 회로의 설계 기법에는 기생 캐패시턴스의 영향과 II에서 고찰한 지연 시간의 비단순성(용량성 부하의 변화에 따른 지연 시간의 변화가 흔히 사용되는 근사와 차이를 나타내는 현상)의 영향이 모두 고려되었다. 이 장에서는 이러한 두 가지 요소가 지연 시간에 미치는 상대적 영향을 살펴보겠다.

1. 기생 캐패시턴스의 영향

표 2는 $C'_{abn}, C'_{abp}, C'_{jsw}, C'_{jswp}$ 의 전형적인 크기들^[11]이 A'와 V의 크기에 기여하는 정도를 나타낸 것이다($L_a=8\mu m, W_{n1}=4\mu m, W_{p1}=11\mu m, K_{eqn}=0.410, K_{eqp}=0.407, a_{an}=0.61, a_{ap}=0.76, b_{an}=0.39, b_{ap}=0.24, q=0.71$).

pMOS의 기생 캐패시턴스의 영향이 nMOS의 기생 캐패시턴스의 영향보다 큼을 볼 수 있다. 이는 각 단에서 pMOS의 W가 nMOS의 W보다 커서 pMOS의 드레인(쏘오스) 면적이 nMOS의 그것보다 커야하기 때문이다.

2. 지연 시간의 비단순성의 영향

$a_{an}, b_{an}, a_{ap}, b_{ap}$ 는 사용하는 공정과 설계하는 β_p/β_n 값의 영향을 받는다. 표 3은 몇가지 a_{an}, a_{ap} 값에 대한 V, W의 영향을 나타낸 것이다($A'=0.626, B'=1.58, q=0.71$).

기생 캐패시턴스와 지연 시간의 비단순성은 복합되어 V에 영향을 미치지만, 표 2와 표 3을 비교해 볼 때 대체로 후자의 변화가 더 큰 영향을 준다고 볼 수 있다.

연결된 CMOS 인버터에서 각 단의 β_p/β_n 을 1로 맞추지 않으면서도 지연 시간은 작게 유지하는 방법도 가능하다.^[12] 이는 이웃한 CMOS 인버터 단에서 pMOS 트랜지스터는 이웃한 nMOS 트랜지스터와 짝이 되어 구동되기 때문에 가능하다. 이러한 방법을 이용하면 지연 시간은 작게 유지하면서도 CMOS 인버터가 차지하는 면적을 줄일 수 있다. 그러나 이 방법을 이용하려면 β_p/β_n 값이 $a_{an}, b_{an}, a_{ap}, b_{ap}$ 에 미치는 영향이 자세히 조사되어야 한다. 이는 CMOS cascaded logic gate에도 응용될 수 있는 것으로 앞으로의 연구가 필요할 것으로 생각된다.

V. 폴리실리콘 게이트의 저항의 영향

큰 용량성 부하를 구동하기 위한 CMOS 인버터 stage에서는 게이트 폭이 커야하므로 폴리실리콘 게

표 2. 기생 캐패시턴스가 A'와 V에 미치는 영향
Table 2. The parasitic capacitance effects on A' and V.

	C' dbn (F/m ²)				C' dbp (F/m ²)			
	0	0.8E-4	0.9E-4	1.0E-4	0	0.8E-4	0.9E-4	1.0E-4
A'	+0	+0.034	+0.038	+0.042	+0	+0.092	+0.10	+0.12
V	+0	+0.039	+0.044	+0.048	+0	+0.11	+0.11	+0.14

	C' jsw n (F/m)				C' jsw p (F/m)			
	0	2.45E-10	7.0E-10	9.0E-10	0	2.45E-10	6.0E-10	8.0E-10
A'	+0	+0.026	+0.074	+0.095	+0	+0.071	+0.17	+0.23
V	+0	+0.030	+0.056	+0.072	+0	+0.082	+0.20	+0.26

표 3. a_{dn}, a_{dp}가 V, W에 미치는 영향
Table 3. The effects of a_{dn} and a_{dp} on V and W.

	a _{dn}				a _{dp}			
	0.5	0.61	0.8	1.0	0.5	0.6	0.76	1.0
V	+0.31	+0.38	+0.50	+0.63	+0.22	+0.27	+0.34	+0.44
W	+0.79	+0.96	+1.3	+1.6	+0.56	+0.67	+0.85	+1.1

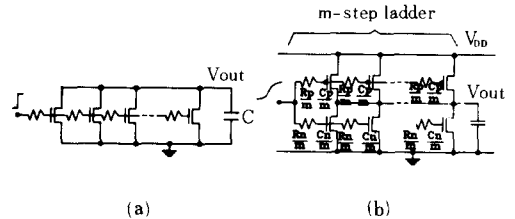


그림 11. GERDE simulation에 사용한 회로
(a) T. Sakurai 등이 사용한 회로
(b) 본고에서 사용한 회로
Fig. 11. The circuits used in GERDE simulation.
(a) Used by T. Sakurai et. al.
(b) Used in this paper.

이트의 저항의 영향이 나타날 것으로 생각된다(그림 10).

이는 MOS 트랜지스터의 게이트가 RC 지연을 갖고 구동되기 때문에 생기는 영향과 각 stage가 구동해야 하는 부하가 distributed RC 형태를 갖기 때문에 생기는 영향으로 구분할 수 있다.

1. MOS 트랜지스터의 게이트가 RC지연을 갖고 구동되기 때문에 생기는 영향

이러한 현상(GERDE : gate electrode RC delay effects)은 H. C. Lin 등에 의해 처음으로 지적되었고⁽¹³⁾ T. Sakurai와 T. Iizuka가 자세히 분석하였다.⁽¹⁴⁾ T. Sakurai 등은 그림 11(a)와 같은 회로를 SPICE simulation 하였다. 본고에서는 그림 11(b)와 같은 회로로 simulation을 하였다.

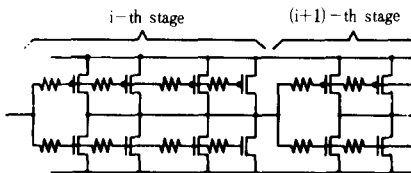


그림 10. 폴리실리콘 게이트의 저항의 영향
Fig. 10. The effects of polysilicon gates.

Ladder는 9-step으로 하여 정확한 distributed RC 게이트의 경우의 V_{out}에 대한 상대오차가 0.25% 이하가 되게 하였다.⁽¹⁴⁾ 이웃한 stage간의 게이트 폭의 비가 1일 때 (R_nC_n+R_pC_p)/τ₀는 0.4 이하이다 (R_n, C_n, R_p, C_p의 정의는 그림 11참조, 폴리실리콘 게이트 캐패시턴스는 30Ω/□로 계산하였음, τ₀는 GERDE가 없을 경우의 V_{out}의 상승 시간, 하강 시간, 지연 시간 등을 뜻함). 이웃한 stage간의 게이트 폭의 비가 커지면 커질수록 이 값은 작아진다. T. Sakurai 등에 의하면 이 값이 1보다 클 때에만 GERDE가 의미를 가질 정도로 나타난다.⁽¹⁴⁾ 따라서, GERDE는 본 buffer의 설계에는 별 영향을 미치지 않는다. 이는 그림 12에서 확인할 수 있다. 그림 12는 1에서 6의 f값에 대해 GERDE의 영향을 simulation한 결과이다. degradation factor는 게이트 저항이 없을 때의 V_{out}의 상승(하강 또는 지연) 시간에 대한 상대오차를 나타낸다.

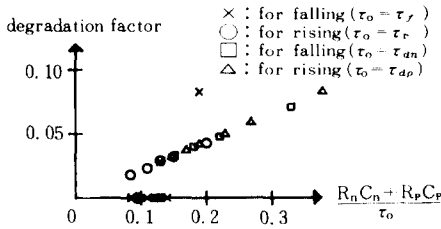


그림12. CMOS buffer에서의 GERDE
Fig.12. GERDE of CMOS buffers.

2. 각 stage의 부하가 distributed RC 형태이기 때문에 생기는 영향

그림 10에서 보듯이 각 stage는 distributed RC 형태의 다음 stage의 게이트를 구동한다. 구동 하는 MOS 트랜지스터 게이트의 distributed RC 형태의 영향은 본고에서 고찰하는 buffer 설계에서는 무시할 수 있음을 앞에서 보았으므로 그림 13과 같이 간략화된 회로에 대한 분석을 하면 족하다.

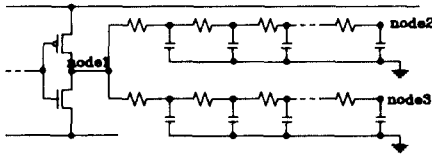


그림13. distributed RC 부하를 갖는 CMOS 인버터
Fig.13. A CMOS inverter which has a distributed RC load.

앞 단(구동 단)의 게이트 폭에 대한 뒷 단(그림 13에서 RC ladder로 표시)의 게이트 폭의 비율이 f일 때 뒷 단에서 node 1으로부터 node 2,3까지의 지연 시간은 f^2 에 비례한다.^[15,16] 그러나, 본고에서 고찰하는 buffer의 경우 node 1의 동일한 파형에 대해 뒷단이 distributed RC 형태를 갖는 것과 게이트 저항이 없는 인버터인 것과의 차이가 그 다음 단의 지연 시간에는 별 영향을 주지 않는다. 따라서, 고찰을 요하는 것은 앞 단으로부터 구동되는 node 1이 뒷단이 distributed RC 형태인 경우와 게이트 저항이 없는 인버터 형태인 경우 어떠한 차이를 갖고 전위 변동을 하는가 하는 점이다. 앞단의 기생캐패시턴스를 0으로 하고 simulation 했을 때의 결과를 그림14에 나타냈다. 2에서 5의 f에 대하여서는 node1의 지연시간이 별 차이가 없음을 볼 수 있다(폴리실리콘 게이트의 저항은 $30\Omega/\square$).

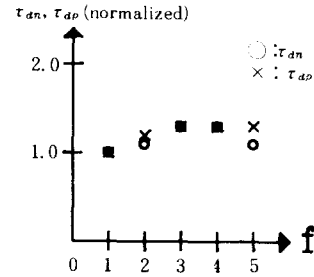


그림14. 그림 13의 node 1의 지연 시간 (구동단의 기생 캐패시턴스 무시)

Fig.14. The delay of node 1 in fig. 13. (The parasitic capacitances of driving stage ignored).

그러나 앞단의 기생 캐패시턴스를 넣어 simulation 한 결과(그림 15)는 지연 시간과 f와는 선형 관계가 있음을 보여주고 있다(기생 캐패시턴스들의 크기는 IV에서와 같게 하였다). 그 근사식은 다음과 같다.

$$\tau_{an} = \gamma_{an}f + \delta_{an} \quad (41)$$

$$\tau_{dp} = \gamma_{dp}f + \delta_{dp} \quad (42)$$

τ_{an} 은 node 1의 전위가 하강할 때의 지연 시간, τ_{dp} 는 node 1의 전위가 상승할 때의 지연 시간을 뜻한다. $\gamma_{an}=0.13$, $\delta_{an}=0.87$, $\gamma_{dp}=0.15$, $\delta_{dp}=0.85$. 따라서 전체 지연 시간은 식 (38)과 유사한 다음의 식으로 표시된다.

$$T = \frac{k_{an} \tau_{ano}}{2} N[(\gamma_{an} + \gamma_{dp})f + \delta_{an} + \delta_{dp}] = \frac{k_{an} \tau_{ano}}{2} N(V' + W'Y^{\frac{1}{N}}) \quad (43)$$

여기서

$$V' = \delta_{an} + \delta_{dp}, \quad W' = \gamma_{an} + \gamma_{dp} \quad (44)$$

이다. 그림 16은 식 (43)을 최소로 하는 N과 f로 설계한 buffer의 simulation의 예이다($Y=50$, $V'=1.72$, $W'=0.28$). +표시가 본 장에서 제안한 방법 ($N=2$, $f=7.1$)에 의한 경우를 나타내며 = 표시는 distributed RC 효과를 고려하지 않고 IV에서의 방법에 따른 경우($N=3$, $f=3.7$), \$표시는 C.A.Mead의 방법에 의한 경우($N=4$, $f=2.7$)를 나타낸다. 비교를 쉽게하기 위해 둘째 방법의 경우(단 수가 홀수)에는 첫 단 입구에 다른 방법의 경우의 입구 신호를 반전시킨 신호를 가하였다. 본 장에서 제안한 방법

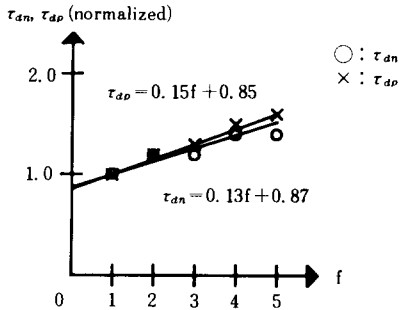


그림 15. 그림 13의 node 1의 지연 시간 (구동단의 기생 캐패시턴스의 영향 포함)
 Fig. 15. The delay of node 1 in fig. 13. (The parasitic capacitance effects of driving stage involved).

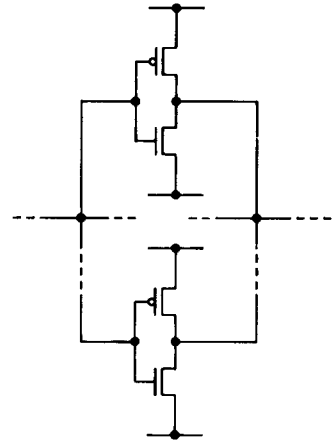


그림 17. distributed RC 효과를 피하는 방법
 Fig. 17. The method avoiding distributed RC effects.

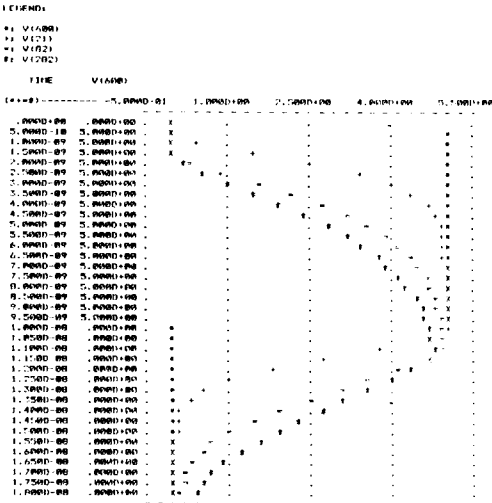


그림 16. SPICE simulation의 예
 Fig. 16. An example of a SPICE simulation.

에 의하면 전체 지연 시간이 C. A. Mead의 경우보다 56% 정도 감소함을 볼 수 있다.

Distributed RC 효과를 피하는 방법으로 각 구동단을 그림 17과 같이 병렬로 쪼개어 구성하는 방법이 가능하나 이는 sidewall 캐패시턴스의 증가와 소모 면적의 증가를 초래하므로 그 장단점은 앞으로 검토되어야 할 것으로 생각된다.

VI. 결 론

CMOS 인버터 chain을 써서 큰 용량성 부하를 구동할 때 그 지연 시간을 최소화 하기 위해서는 다음

사항이 고려되어야 한다.

- 가) CMOS 인버터 지연 시간의 용량성 부하 크기에 대한 비단순성.
- 나) MOS 트랜지스터의 기생 캐패시턴스의 영향
 - 가)는 II에서 고찰한 바와 같이 선형성을 가지며 그 parameter는 사용할 공정과 β_p/β_n 에 대하여 SPICE simulation을 수행하여 얻어야 한다.
 - 가)와 나)의 영향을 모두 고려하여 유도된 식 (38)을 최소로 하는 자연수 N이 사용되어야 할 stage의 수이며 stage간의 게이트 폭의 비는 식 (37)에 의해 정해야 한다.

구동되는 부하의 상승(하강) 시간에 제약이 요구될 때는 최종 stage는 이 요구에 맞도록 II에서 고찰한 선형성을 이용해 설계되어야 하며 그 이전의 stage들에 대하여는 최종단의 입구 캐패시턴스를 주어진 구동해야 할 부하로 삼아 앞의 방법을 통해 설계해야 한다.

구동해야 할 용량성 부하가 크면 stage의 게이트 폭이 커야하며 이 때에는 다음의 효과가 생긴다.

- 다) 각 stage의 부하가 distributed RC 형태이기 때문에 생기는 영향
 - 이 영향에 대하여는 V.2에서 고찰한 바와 같은 방법으로 SPICE simulation을 하여 식 (41), (42)와 같은 선형적 근사식을 찾아야 한다.

그리고, 이 영향이 포함된 식 (43)을 최소로 하는 자연수 N을 사용 단 수로 해야하며 stage간의 게이트 폭의 비는 식 (37)에 의해 정해야 한다.

參 考 文 獻

- [1] H. C. Lin, and L. W. Linholm, "An optimized output stage for MOS integrated circuits," *IEEE J. Solid-State Circuits*, vol. SC-10, no. 2, pp. 106-109, Apr. 1975.
- [2] A.M. Mohsen, and C.A. Mead, "Delay-time optimization for driving and sensing of signals on high-capacitance paths of VLSI systems," *IEEE J. Solid-State Circuits*, vol. SC-14, pp. 462-470, Apr. 1979.
- [3] C.A. Mead, and M. Rem, "Cost and performance of VLSI computing structures," *IEEE J. Solid-State Circuits*, vol. SC-14, pp. 445-462, Apr. 1979.
- [4] C. Mead, and L. Conway, *Introduction to VLSI system*, Addison wesley, pp. 12-14, 1980.
- [5] 장인엽, 송민규, 김원찬, "최소 delay 를 갖는 buffer 회로의 설계," 1987年度 電氣·電子工學 學術大會 論文集, vol. II, pp. 1512-1515, 1987. 7.
- [6] N. Weste, and K. Eshraghian, *Principles of CMOS VLSI design - a systems perspective*, Addison Wesley, pp. 137-141, 1985.
- [7] M. I. Elmasry, *Digital MOS Integrated Circuits*, IEEE Press, New York, pp. 18-19, 1981.
- [8] N. Weste, and K. Eshraghian, op. cit., pp. 197-199.
- [9] D. A. Hodges, and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, McGRAW-Hill, New York, p. 137, 1983.
- [10] N. Weste, and K. Eshraghian, op. cit., p.143.
- [11] N. Weste, and K. Eshraghian, ibid., p.135.
- [12] N. Weste, and K. Eshraghian, ibid., pp. 141-142.
- [13] H. C. Lin, Y. F. Arzoumahian, J. L. Halsor, M. N. Gruliano, and H. F. Benz, "Effect of silicon-gate resistance on the frequency response of MOS transistors," *IEEE Trans. Electron Devices*, vol. ED-22, no.5, pp.255-264, May 1975.
- [14] T. Sakurai, and T. Iizuka, "Gate electrode RC delay effects in VLSI's," *IEEE J. Solid-State Circuits*, vol. SC-20, no.1, pp. 290-294, Feb. 1985.
- [15] N. Weste, and K. Eshraghian, op. cit., pp. 132-133.
- [16] T. Sakurai, "Approximation of wiring delay in MOSFET LSI," *IEEE J. Solid-State Circuits*, vol. SC-18, no.4, pp. 418-426, Aug. 1983.