

# 제조 공정상 랜덤 특성을 고려한 IC 최악 조건 해석

## (IC Worst Case Analysis Considered Random Fluctuations on Fabrication Process)

朴商奉\*, 朴魯京\*, 全興雨\*, 文大哲\*, 車均鉉\*

(Sang Bong Park, Nho Kyung Park, Heung Woo Jun, Dae Tchul Moon,  
and Kyun Hyon Tchah)

### 要 約

제조공정 단계 라이브러리에 있는 공정 모델과 공정 파라미터, 공정 디스터번스, 제어 파라미터 등을 이용하여 CMOS의 물리적 파라미터를 추출하였다. 제조 공정에 있어서 스토캐스틱을 고려한 집적 회로 공정/소자 파라미터 시뮬레이터를 개발하였다. 이것을 이용하여 통계적으로 독립된 랜덤 공정 파라미터에 대한 최악 조건 해석을 하였으며, 이것을 종래의 최악조건 해석 및 몬테칼로 해석과 비교하여 보다 정확한 결과를 얻었다.

본 연구에서 사용된 언어는 C언어이고, IBM PC AT (OPUS)에서 수행하였다.

### Abstract

The CMOS physical parameters are extracted using by processing models in fabrication steps, processing parameters, fabrication disturbances, control parameters. Statistical CMOS process and device simulator is proposed to evaluate the effect of inherent fluctuations in IC fabrication. Using this simulator, we perform Worst Case Analysis in terms of statistically independent disturbances and compare this proposed method to Monte Carlo method, previous Worst Case method.

And simulation results with this proposed method are more accurate than the past worst case analysis.

This package is written in C language and runs on a IBM PC AT (OPUS)

### I. 서 론

집적회로 제조 공정시 제작 공정단계 및 소자 파라미터에 변동이 항상 존재하므로 VLSI 회로의 전기적 특성에 영향을 미친다. 이러한 랜덤변동의 source는 물질의 비균일성 (실리콘 서브스트레이트에 대한 여러 도핑의 확산도는 LOT에 있는 웨이퍼의 칩

\*正會員, 高麗大學校 電子計算機工學科  
(Dept. of Elec. Com. Eng., Korea Univ.)

接受日字: 1987年 9月 7日

(※ 본 연구는 1986년도 서울대학교 반도체공동 연구소 연구비 지원에 의한 것임.)

위치에 관련된다.), 마스크의 부정확한 위치, 공정변수에 있어서 변화 등이다. 이러한 주어진 최악 변동의 콤비네이션을 결정하여서 최악 조건 해석을 시행한다. 일단 이 최악 변동이 결정되면, 이것에 대하여 생산된 회로에 대한 전기적 시뮬레이션을 행하고 제작된 집적 회로의 모집단에서 최악 성능을 시뮬레이션한다. 만약 이 최악 성능이 설계자의 명세서내에 있으면, 실제로 제작된 IC의 분포 별크는 명세서내에 있게 된다.

본 연구에서는 제조 공정단계 라이브러리에 있는 공정모델과 공정 파라미터, 공정 디스턴스, 제어 파라미터등을 이용하여 CMOS의 물리적 파라미터를 추출하였다.<sup>17)</sup> 주어진 소자의 레이아웃 정보를 이용하여 CMOS 트랜지스터의 shichman-hodges의 파라미터와 같은 소자 파라미터를 통계적으로 추출하는 알고리즘을 제안하였다. 이것을 이용하여 제조 공정에 있어서 스토캐스틱 특성을 고려한 통계적 집적회로 공정소자 파라미터 추출 시뮬레이터를 개발하였다.

이 시뮬레이터를 이용하여 통계적으로 서로 독립적인 랜덤 공정 파라미터에 대한 SPICE의 model 파라미터를 추출하고 inverter의 지연시간과 전력 소모를 성능으로 한 최악 조건을 시행하고<sup>18)</sup>, 이것을 이전의 소자 파라미터에 대한 최악 조건 해석과 몬테칼로 법으로 비교하였다.<sup>19)</sup>

II. 집적 회로 공정/소자의 통계적 시뮬레이션에 대한 방법

1. 공정 / 소자의 구조 및 모델링

집적회로 소자의 파라미터는 레이아웃상에 나타나는 소자의 디멘존 값과 공정 파라미터의 값에 따라 변한다. 각 공정단계의 출력은 제어 파라미터와 디스턴스, 이전 공정단계의 출력에 관련된다.(그림1) 랜덤변수 벡터X는 IC소자의 파라미터나 테스트에서 측정된 값이다.

Z1은 온도, 시간, 확산 가스량과 같은 공정제어 파라미터

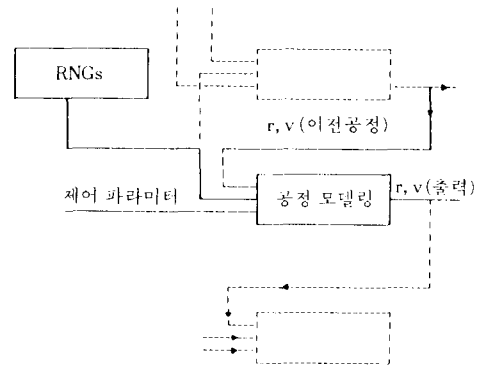
Z2는 마스크 디멘존(트랜지스터의 길이와 폭)

D는 공정에서 제어할 수 없는 디스턴스를 나타내는 랜덤변수라고 하면 통계적 공정 / 소자 시뮬레이터는 그림 2 와 같은 구조를 갖는다.

제조 단계의 모델식은 다음과 같이 정의하였다.

$$\Phi_j = g_j(\hat{\Phi}^j, Z_i, D^j), \quad j=1, \dots, m \quad (1)$$

여기서  $\Phi_j$ 는 제조단계의 출력을 나타내는 물리적 파라미터인 m개의 벡터 요소로서 산화층의 두께, 불순물 파라미터등을 나타낸다.



r, v는 random variable

그림 1. 제조 공정단계와 소자 파라미터의 모델  
Fig. 1. Model of manufacture processing and device parameter.

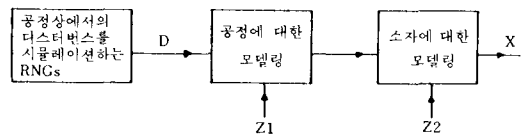


그림 2. 통계적 공정 시뮬레이터의 구조  
Fig. 2. Structure of statistical processing simulator.

$\hat{\Phi}^j$ 는 이전 제조 단계에서 얻은 물리적 파라미터 벡터로서 튜브에서의 임플란테이션 깊이, 불순물의 분포등을 포함한다.  $Z_i, D^j$ 는 j번째 물리적 파라미터에 영향을 미치는  $Z_i$ 과 D의 요소를 포함하는 벡터이다.<sup>14)</sup>

회로 원소의 모델은 다음 식을 가정한다.

$$X_i = h_i(\hat{\Phi}^i, Z_i^j), \quad i=1, \dots, n \quad (2)$$

$X_i$ 는 임계전압, 순수 전도변수와 같은 전기적 파라미터이고, 0과  $Z_i^j$ 는 이 원소에 영향을 미치는  $\hat{\Phi}$ 와  $Z_2$  요소의 부분집합이다.

2. Random Number Genetator (RNG)의 구조

실제 공정에 있어서 칩들 각각은 웨이퍼 상에서 서로 다른 위치를 지니고 있으므로 여러 방법으로 디스턴스의 영향을 받는다.<sup>12)</sup> 반면에 단일 집적회로 칩의 여러 소자들은 매우 가깝게 놓여 있으므로, 비슷한 방법으로 디스턴스의 영향을 받는다.<sup>11)</sup>

그러므로, 칩에 대한 공정 시뮬레이션과 웨이퍼에

대한 시뮬레이션은 서로 다른 디스터번스를 지니도록 RNG를 발생시켜야 한다.

하나의 칩내에서 소자들 사이의 공정조건에 있어서 약간의 부분적 차이를 기술하는 각 소자에 대한 랜덤 요소가 존재하므로, 특정한 칩에 관련된 단일 디스터번스  $D_1$ 는 칩의 모든 소자들에 대한 “평균”을 나타내는 평균값  $mD_1$ 와 공정 조건에서 부분적(칩내의) 변동을 나타내는  $\sigma D_1$  표준편차로 나타낼 수 있다. 따라서 단일 칩내에 관련된 랜덤  $D_1$ 는 평균이  $mD_1$ 이고 표준편차가  $\sigma D_1$ 인 데이터를 발생시키는 RNG로 시뮬레이션 할 수 있다. 다른 칩에 대하여 디스터번스를 시뮬레이션하기 위해서 RNG를 사용하기 위하여 새로운 값  $mD_1$ 와  $\sigma D_1$ 를 구해야 한다. 통계적 시뮬레이터는 칩의 위치와 무관하게 독립적으로 데이터 샘플을 발생해야 하므로, 시뮬레이터는 칩의 위치는 랜덤이라고 가정한다. 그러므로 공정에 있어서 디스터번스는 칩내의 부분적인 것과 전체적인 변동을 발생하는 적어도 2-레벨 RNG로 시뮬레이션 되어야 한다. 그림 3은 세 RNG로 구성된 2-레벨구조를 나타낸다. 이 구조는 웨이퍼에 대한 칩내의 디스터번스를 발생시킬 수 있고 RNG1은 칩내의 디스터번스를 시뮬레이션할 수 있다. 특히 RNG1은 정규화분포된 랜덤 변수  $D_1$ 를 발생한다. RNG2와 RNG3는 칩에 대해서  $D_1$ 의 평균과 표준 편차를 지니는 RNG1을 제공한다.

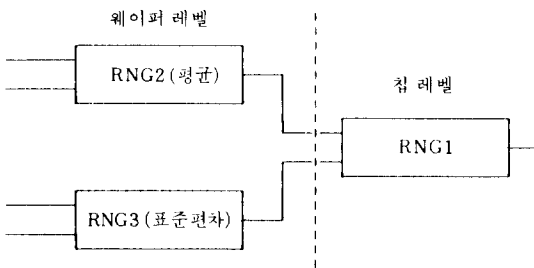


그림 3. 공정 조건에서 부분적(칩내의)이고 전체적(웨이퍼내의) 변동을 시뮬레이션하는 2 레벨 generator

Fig. 3. Two level simulator for fluctuation of chip and wafer.

RNG2는 웨이퍼상의 칩들의 평균들의 평균( $M_m$ )과 웨이퍼에서 평균들의 표준편차( $\sigma_m$ ) 두 파라미터로 제어된다. RNG3는 웨이퍼에 있는 칩의 표준 편차들의 평균( $M_o$ )과 웨이퍼에 있는 칩의 표준 편차들의 표준편차( $\sigma, \sigma$ )를 제어한다.<sup>12)</sup>

### 3. 공정 모델링

공정 모델링은 CMOS 제조 공정의 각 단계를 해석적으로 모델링한 것으로서 각 단계를 함수화하여 공정 흐름도가 주어진 경우 그 순서대로 정리하여 공정 과정을 시뮬레이션한다. 통계적 시뮬레이터에 내장된 공정 모델링은 다음과 같다.

#### (1) 건식 산화에 대한 모델링

박막산화 영역에 대한 건식산화를 다음과 같이 모델링한다.<sup>8)</sup>

$$t = \frac{X_{sto2}}{B} + \frac{X_{sto2}}{B/A} + \frac{Z_1}{B/A} \ln \left| \frac{1 + Zf \exp(-X_{sto2}/Z_1)}{1 + 2f} \right| \quad (3)$$

두 계수 즉 실제 투과 깊이  $Z_1$ 와 성장 가속값  $Zf$ 는 실험치로

$$\begin{aligned} Z_1 &= 1 / (692 - 1.3641T + 0.0006876T) \\ Zf &= 39.965 - 0.08145T + 0.000042552T \end{aligned} \quad (4)$$

이다.

#### (2) 임플란테이션에 대한 모델링

임플란테이션후 불순물 분포는 수직 방향으로는 가우시안 분포로, 측면방향으로는 보수 여러 함수(complementary error function)로 모델링된다.

$$\begin{aligned} C1(x) &= N_{max} \exp(- (X - R_p)^2 / 2\sigma_p^2) \\ C2(x) &= C1(0) \operatorname{erfc}(-y / \sqrt{2} \cdot \sigma_1) \end{aligned} \quad (5)$$

여기서 범위  $R_p$ , straggle  $\sigma_p$ 와 lateral straggle  $\sigma_1$ 은 지수적 근사식을 이용한 것으로 임플란테이션 에너지와 관련된다. 박막 산화층을 통한 임플란테이션인 경우, range  $R_p$ 는 산화층의 두께로 조정되고, 피크농도  $N_{max}$ 는 임플란트도우즈 $Q$ 와 다음과 같은 식으로

$$N_{max} = Q / \left( \sqrt{\pi/2} \sigma_p \left[ 1 + \operatorname{erf} \frac{R_p}{\sigma_p \sqrt{2}} \right] \right) \quad (6)$$

나타내고 erf는 error function이다.

#### (3) 어닐링에 대한 모델링

임플란트된 불순물의 재분포는 공정의 시간과 온도에 따른 재분포나 어닐로 모델화된다. 열적 단계후 확산 길이가  $l_a = \sqrt{D_t}$  이고,  $l_a$ 가 임플란트되는 불순물 분포는  $R_p$ 의 값과 비교할 때 만약  $l_a \ll R_p$ 이면 이 단계는 어닐이라고 가정하고 다음과 같이 모델링된다.

어닐링된 불순물 분포는 수직과 측면 straggle에서 약간의 증가를 가져오고 가우시안 특성을 지니며 공정후 수직과 측면 straggle은

$$\sigma_p = \sqrt{\sigma_p^2 + D_t}, \quad \sigma_1 = \sqrt{\sigma_1^2 + D_t} \quad (7)$$

이 된다. 여기서  $D_1$ 와  $DI_1$ 는 수직과 측면 확산 길이의 제곱근이다.

(4) Predeposition에 대한 모델링<sup>11)</sup>

Predeposition의 목적은 일정한 불순물량을 실리콘 표면에서 주입하는 것이다. 모든 불순물에 대한 predeposition 후 불순물 분포는 보통 보수 에러 함수로 모델화된다.

$$\begin{aligned} C(x) &= N_{surf} X_{erfc}(x/2\sqrt{Dt_p}) \\ C(y) &= N_{surf} X_{erfc}(y/2\sqrt{Dl_p}) \end{aligned} \quad (8)$$

여기서  $t_p$ 는 predeposition 시간이고  $D_1$ 은 측면 확산도이다. 변수  $x$ 와  $y$ 는 수직과 수평거리이고,  $N_{surf}$ 는 표면 농도이다.

(5) 리토그래픽 공정에 대한 모델링<sup>12)</sup>

리토그래픽공정은 실리콘 웨이퍼의 표면에 마스크로 지형적 형태를 전달하는 것이다. 본 시뮬레이터에서는 리토그래픽 부정확도로 인한 소자 차원의 변화는 두 가지 변량을 이용하여 시뮬레이션 할 수 있다.

- 선 폭에 있어서의 변량
- 레이어 사이의 부정확한 배치

$$L_s = L_m - \Delta L \quad (9)$$

여기서  $\Delta L$ 은  $L$ 의 선 폭 변화를 시뮬레이션하는 랜덤 변수이다. 레이어 사이의 부정확한 배치는 소자 차원에서 변량을 시뮬레이션하기 위하여 소자 시뮬레이터를 이용한다.

4. MOS 소자 모델링

다음에 서술하는 내용은 통계적 시뮬레이터에서 트랜지스터 모델인 SPICE2 LEVEL=2의 모델 파라미터이다.<sup>18,11)</sup>

(1)  $L(M)$ ,  $W(M)$ : 소자의 길이와 폭

이 디멘션들은 광리토그래픽으로 인한 변화를 포함한다.

여기서  $L = L_m - L_p$

$$W = W_m - L_n - 2X; f_1 \quad (10)$$

$L_m$ 과  $W_m$ 은 마스크 차원이고,  $L_p$ 는 폴리실리콘의 선-폭 변화이고,  $L_n$ 은 나이트라이드 층의 선폭 변화이다. 폭 방정식에서  $X; f_1$ 은 필드 임플란트의 측면 확산을 나타낸다.

(2)  $AS(M^2)$ ,  $AD(M^2)$ : 소스와 드레인 면적

이 값들은

$$\begin{aligned} AS &= L_{source} \cdot W \\ AD &= L_{drain} \cdot W \end{aligned} \quad (11)$$

여기서  $W$ 는 위에서 주어진 소자의 폭이다. 그리고 소스와 드레인의 길이는 각각

$$\begin{aligned} L_{source} &= (AS)_m / W_m - L_n - M_{p-y} \\ L_{drain} &= (AD)_m / W_m - L_n - M_{p-y} \end{aligned} \quad (12)$$

이 된다.

여기서  $L_n$ 은 나이트라이드 층의 선폭 변화를 나타낸다.  $M_{p-y}$ 는  $Y$ -방향으로 폴리 실리콘 층의 mis-alignment이다. 첨자  $m$ 은 마스크 차원을 나타낸다.

(3) VTO(V): 영-바이어스 임계전압

Enhancement 모드와 depletion 모드 트랜지스터의  $V_{bs}=0V$ 에서 임계전압은 다음과 같이 계산된다.

$$V_{to} = V_{fb} - 2 \cdot \phi_c + r_b^* \sqrt{2 \cdot |\phi_c|} \quad (13)$$

FLAT-BAND 전압은

$$V_{fb} = \phi_{ms} - Q_{ss} / C_{ox} \quad (14)$$

이 된다. 여기서 일함수의 차이는

$$\phi_{ms} = \phi_c - \phi_s \quad (15)$$

이다.  $Q_{ss}$ 는 표면 전하밀도이고  $C_{ox}$ 는  $C_{ox} = \epsilon_{ox} / T_{ox}$ 이다.

$V_{to}$ 와  $\phi_{ms}$ 에 대한 방정식에서 사용되는 채널과 게이트 페르미레벨은 N형 서브스트레이트에 대해서

$$\phi_c = \frac{kT}{q} \ln \left( \frac{N_{sub}}{n_i} \right) \quad (16)$$

이고 P형 서브스트레이트에 대해서

$$\phi_c = \frac{kT}{q} \ln \left( \frac{n_i}{N_{sub}} \right) \quad (17)$$

N형 폴리 실리콘에 대해서

$$\phi_s = \frac{kT}{q} \ln \left( \frac{N_{poly}}{n_i} \right) \quad (18)$$

P형 폴리 실리콘에 대해서

$$\phi_s = \frac{kT}{q} \ln \left( \frac{n_i}{N_{poly}} \right) \quad (19)$$

이 된다. 여기서  $N_{sub}$ 는 채널에서 표현 농도이고  $N_{poly}$ 는 폴리 실리콘 게이트의 농도이다.

POLY 농도에 대한 근사식은

$$N_{poly} = 10^{a^*} \quad a^* = a + B \ln P \quad (20)$$

이다. 여기서 파라미터  $P$ 는 폴리실리콘의 비저항이고, 랜덤 변수로 모델화되고  $a$ 와  $B$ 는  $P$ 의 값에 따라서 변화되는 상수이다.

Enhancement 모드 소자의 임계 전압VTO에 대한

방정식에서의 body effect에 대한 항(Y)을 변화시켜서 모델화한다.

$$\frac{r_b^*}{r} = 1 - \frac{X_j}{L - 2L_d} \left( \sqrt{1 + \frac{2W_d}{X_j}} - 1 \right) \left( 1 + \frac{W_d}{W} \right) \quad (21)$$

여기서 r는 LONG-channel body factor이고, W와 L은 공정후에 소자폭과 길이이고, X<sub>j</sub>는 소스/드레인 길이이고 L<sub>d</sub>는 소스와 드레인의 측면 확산이다. NMOS enhancement 모드 소자는 양의 부호를 지니고, PMOS 소자는 음의 부호를 지닌다.

(4) KP(A/V<sup>1/2</sup>): 순수 전도변수

순수 전도 파라미터 KP는 다음과 같은 식으로 표시된다.

$$KP = U \cdot C_{ox} \quad (22)$$

이다. 여기서 U는 표면 이동도이고 C<sub>ox</sub>는 단위 면적당 게이트 산화커패시턴스이다.

(5) GAMMA(V<sup>1/2</sup>): body factor

Body factor는 다음과 같은 식으로 표시된다.

$$GAMMA = \sqrt{2 \cdot \epsilon_{si} N_{avg} q / C_{ox}^2} \quad (23)$$

이다. 여기서 N<sub>avg</sub>는 채널에서 등가 BOX 프로파일의 농도이다.

C<sub>ox</sub>는 단위 면적당 게이트 산화 커패시턴스이다.

(6) PHI(V): strong 변환에서 표면전위

Strong 변환에서 표면 전위는 페르미 전위의 2배가 되므로 다음과 같은 식으로 표시된다.

$$PHI = 2 \frac{kT}{q} \ln \left( \frac{N_{sub}}{n_i} \right) \quad (24)$$

여기서 N<sub>sub</sub>는 채널에서 표면 농도의 값이다.

(7) PB(V): 소스/드레인-BULK 접합의 BULK 접합 전위

Bulk 접합 전위는 다음과 같은 식으로 표시된다.

$$\phi_b = \frac{kT}{q} \ln \left( \frac{N_{source} \cdot N_b}{n_i^2} \right) \quad (25)$$

여기서 N<sub>source</sub>는 소스/드레인 영역의 표면 농도이다. CMOS 공정에서 소스/드레인 접합 깊이 X<sub>j</sub>에서 P-TUB에 있는 농도가 N<sub>b</sub>이다.

(8) CGSO(F/M), CGDO(f/M), CGBO(F/M):

Overlap 커패시턴스

Overlap 커패시턴스는 다음과 같은 식으로 표시된다.

$$\begin{aligned} C_{gso} &= C_{gdo} = L_d \cdot C_{ox} \\ C_{gbo} &= X_j f_1 \cdot C_{ox} \end{aligned} \quad (26)$$

C<sub>gso</sub>와 C<sub>gdo</sub>에 대한 overlap은 소스/드레인 접합 길이 L<sub>d</sub>와 필드 임플란트 X<sub>j</sub> f<sub>1</sub>의 측면적 확산인 C<sub>gbo</sub>이다. C<sub>ox</sub>는 단위 면적당 게이트 산화 커패시턴스이다.

(9) RSH(Ω/□): 소스와 드레인 확산의 쉬트 저항 소스와 드레인 확산의 쉬트 저항은

$$R_{sh} = \int_0^{x_j} \frac{1}{q \mu N(y)} dy \quad (27)$$

이고, 여기서 X<sub>j</sub>는 접합 깊이이고, U는 이동도이고, N(y)는 소스, 드레인 확산의 불순물 농도이다. 적분 값은 변화된 심프슨 알고리즘에 의하여 수치적으로 계산된다. 만약 불순물 농도가 매우 높으면 실제 값으로 조정된다. 조정은 다음과 같다.

$$N_{eff} = 1.0 \times 10^{10} \sqrt{N} \quad (28)$$

여기서 N<sub>eff</sub>는 N이 높은 경우 변화된 값이다.

(10) CJ(F/M), MJ(-), CJSW(F/M), MJSW(-): 영-바이어스 bottom, 접합 커패시턴스와 경사 계수, 영 바이어스 접합 사이드웰 커패시턴스와 경사계수

접합 bottom 커패시턴스는 다음 방정식으로 모델화한다.

$$C_j = \sqrt{\frac{q \cdot \epsilon_{si} \cdot N_b}{2 \cdot \phi_b}} \quad (29)$$

φ<sub>b</sub>는 벌크 접합 전위이고, N<sub>b</sub>는 벌크나 튜브 농도이다.

접합 사이드 웰 커패시턴스는

$$C_{jsw} = [X_j f_1 - (X_j - X_{j,sr})] \sqrt{\frac{q \epsilon_{si} \cdot N_b}{2 \cdot \phi_b}} \quad (30)$$

N<sub>sr</sub>는 X<sub>j,sr</sub>에서 필드 불순물 분포이고, X<sub>j,sr</sub>는 소스장 접합 깊이이다. X<sub>j</sub> f<sub>1</sub>은 소스/드레인과 필드 임플란트의 overlap 길이이다.

(11) JS(A/M): 소스/드레인 벌크 접합의 역포화 전류밀도

이 파라미터는 역포화 전류에 대한 gummel 식을 사용하여 계산한다.

$$J_s = kT n_i^2 \left( \int_0^{x_j} \frac{N(y)}{U} dy \right)^{-1} \quad (31)$$

여기서 U는 이전에 주어진 이동도 모델에서 사용된 소수 전하의 농도에 따르는 이동도이다.

X<sub>j</sub>는 소스/드레인 접합 깊이이고, N(y)는 소스/드레인 불순물 프로파일이다.

(13) NSUB(/CM<sup>2</sup>): 채널에의 불순물 농도

채널의 표면에서  $N_{sub}$ 의 값은 상대적 프로파일에서 추출한다.

(14)  $NSS (/cm^2)$ ,  $NFS (/cm^2)$  : 표면 상태 밀도와 FAST 표면상태 밀도

이 값은 랜덤 변수로 모델화된다.

(15)  $XJ (m)$ ,  $LD (m)$  : 소스/드레인 프로파일의 접합 깊이, 측면 확산

$X_j$  파라미터는 소스/드레인 프로파일과 서브스트레이트나 튜브프로파일과 같은 값을 지니는 점이다.  $L_d$  파라미터는 채널 표면에서의 불순물과 측면 소스/드레인 프로파일이 같은 점이다.

(16)  $U_o (cm^2/vs)$ ,  $U_{crit} (v/cm)$  : 표면 이동도와 이동도 degradation에 대한 임계 전자장  
채널 소자에 대한 파라미터들은

$$U_o = \frac{U_o}{1 + a \cdot NSS / 1.0 \cdot 10^{11}} \quad (32)$$

여기서  $a = -1.04 \times 10 + 8.38 \times 10 \cdot \ln(N_{sub})$  이고

$$U_o = 3490 - 71.2 \cdot \ln(N_{sub})$$

이다.

### III. 최악 조건해석

반도체 제조공정에서 공정상 제어할 수 없는 물성적 변동은 완성된 칩의 전기적 특성에 변동을 가져온다. 그러므로, 만족할 수 없을 얻기 위해서는 그러한 변동이 있는 경우 설계된 집적회로 특성을 측정하는 것이 필요하고, 반복적으로 설계변수(소자의 차원과 공정조건)을 수정하여야 한다. 공정의 각 단계에서 수율 예측을 할 수 있지만 매우 시간이 많이 걸린다. 여러가지 집적회로 해석방법 중의 하나는 여러가지 공정조건 변동과 물리적 비균일성에 의한 디스터번스의 최악 조건을 구하여 그 상태에서 집적회로의 성능을 계산하여 주어진 설계 사양과 비교하는 방법이다. 이와같이 최악 경우 조건을 구하고, 그에 따른 최악 경우 성능을 구하는 것을 최악 조건해석이라 한다.<sup>[5]</sup>

최악 조건 해석에 대한 과거의 방법은 MOSFET의 임계전압, 트랜스컨덕턴스와 같은 집적 회로소자의 전기적 변수에 대해서 수행하였다. 이 방법은 여러번의 테스트 칩을 통하여 소자 변수 분포를 추측하고, 각 변수에 대한 극한 값을 결정하고 이에 따른 회로 성능의 극한 값을 얻었다. 그런데 이 전기적 변수들은 서로 독립적인 관계가 아니고 통계적으로 랜덤한 변수와 종속적이다. 또한 이와 같은 전기적 변수들이 동시에 극한 값을 지니는 확률은 매우 적으므로 해석 결과는 항상 부정적이었다.

본 연구에서는 통계적으로 서로 독립적인 공정 디스터번스에 대해서 최악 조건해석을 행하였다. 즉 집적회로 공정에서 근본적으로 나타나는 랜덤 변동을 모델화한 공정 조건변화와 레이아웃 소자 차원에 대한 파라미터 샘플을 발생하는 공정과 소자 모델을 포함하는 통계적 시뮬레이터를 이용하여 최악 조건해석을 시행한다.

또한 제안된 최악 조건해석과 소자모델 파라미터에 대한 과거의 최악 조건해석과 몬테칼로 시뮬레이션 결과를 비교해 보았다. 그림 4은 100번의 통계적 시뮬레이션을 하여 소자 파라미터를 구한 후 그 소자 파라미터의 감도를 구한 다음 최악 조건 방향으로 조정하여 최악 조건해석을 하는 과거의 최악조건 해석과 제조 공정상 나타나는 랜덤 디스터번스에 대하여 최악 조건 방향을 구한 후 성능의 최악 조건을 구하는 제안된 최악 조건해석에 대한 순서도이다.

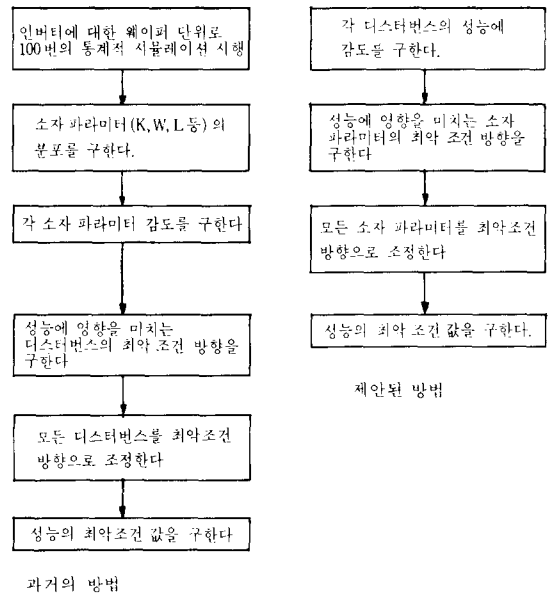


그림 4. 최악 조건해석 순서도  
Fig. 4. Worst case analysis flow chart.

### 3. 실험 예

본 연구에서는 5개의 CMOS inverter chain을 대상으로 소자 파라미터에 대한 최악 조건해석과 몬테칼로 방법, 그리고 제안된 방법을 비교하였다. 이러한 비교에서 주요 초점은 계산되는 시간, 그리고 얻은 결과의 정확성이다.

그림 5는 각 출력에 로드된 5개의 인버터로 구성된 CMOS 인버터체인을 나타낸다. 체인에 펄스 입력이 입력되는 경우 전체 지연시간과 전력 소모를 회로 성능으로 보았다. 비교를 위해서 세 가지 방법으로 최악조건 성능을 계산하였다.

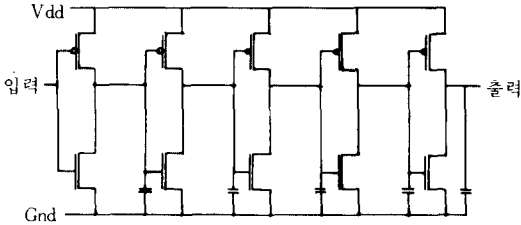


그림 5. 시뮬레이션에 사용된 인버터 체인의 회로  
Fig. 5. An inverter chain circuit for the simulation.

- (1) 소자 파라미터에 대한 최악 조건해석  
각 소자 파라미터(L, W, KP)에 대한 성능의 감도

를 과거의 방법으로 구하고, 최악 조건 방향을 결정하고, 최악 조건 상태의 성능을 시뮬레이션하였다. 최악 조건에서 사용된 소자 파라미터들은 N형과 P형 소자의 채널길이폭, 트랜스컨덕턴스이다. 표1은 소자 파라미터들을 2σ씩 변화시켜서 전체 지연과 체인의 최종 출력단에서의 상승시간, 전력소모에 대한 결과이다.

(2) 공정 디스퍼번스에 대한 최악 조건해석

마스크의 부정확한 배치와 같은 지형적 디스퍼번스와 확산도, 산화 성장율 등의 물리적 비균일성에 의한 디스퍼번스에 대한 감도를 구하고, 최악 조건 방향을 결정한 후 최악 조건 상태의 성능을 시뮬레이션한다. 표2는 공정 디스퍼번스에 대한 최악 조건을 시행하고 나이트라이드에서의 선폭변화, 봉소의 확산도, 선형 건식 산화율을 2σ만큼 변화시킨 경우 최악 조건성능이다.

(3) 각 회로에 대한 몬테칼로 해석

통계적 시뮬레이터를 이용하여 웨이퍼단위로 SPICE 파라미터를 추출하여 각각을 SPICE로 회로 시뮬레이션하여 지연과 전력 분포를 구하였다. 이에 대한 해석을 하기 위하여 절점으로 소자 파라미터분

표 1. 인버터 체인과 소자 파라미터의 성능  
Table 1. Performance of device parameter and inverter chain.

	전체 지연	상승 시간	전체 전력	최악조건 지연	최악조건 전력
N-KP+	7.67NSEC	4.40NSEC	3.03D-08		*
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
N-KP-	8.09NSEC	4.55NSEC	2.85D-08	*	
P-KP+	7.66NSEC	4.30NSEC	2.95D-08		
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
P-KP-	8.03NSEC	4.48NSEC	2.93D-08		
L-P+	8.28NSEC	4.68NSEC	2.94D-08	*	
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
L-P-	7.56NSEC	4.24NSEC	2.94D-08		
L-N+	8.24NSEC	4.60NSEC	2.69D-08	*	
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
L-N-	7.67NSEC	4.41NSEC	2.94D-08		
W-P+	7.60NSEC	4.30NSEC	2.94D-08		
NOMINAL	7.77NSDEC	4.44NSEC	2.94D-08		
W-P-	8.05NSEC	4.60NSEC	2.94D-08	*	
W-N-	7.67NSEC	4.39NSEC	3.03D-08		*
NOMINAL	7.77NSEC	4.44NTSEC	2.94D-08		
W-N+	8.00NSEC	4.60NSEC	2.85D-08	*	
최악 조건지연	10.86NSEC				
최악 조건전력			4.60D-08		

\* 표시는 지연시간과 전력의 최악 조건방향을 나타낸다.

표 2. 인버터 체인과 공정 디스터번스의 성능  
Table 2. Performance of processing disturbance and inverter chain.

	전체 지연	상승 시간	전체 전력	최악 조건지연	최악 조건전력
linenitride +	7.85NSEC	4.45NSEC	2.90D-08	*	
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
linenitride -	7.72NSEC	4.40NSEC	2.98D-08		*
line poly +	7.36NSEC	4.20NSEC	3.08D-08		*
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
line poly -	8.21NSEC	4.76NSEC	2.81D-08	*	
diff. boron +	7.75NSEC	4.40NSEC	1.93D-08		
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		*
diff. boron -	8.12NSEC	4.45NSEC	1.61D-08	*	
lin. dryoxide +	7.79NSEC	4.44NSEC	2.86D-08	*	
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
lin. dryoxide -	7.75NSEC	4.45NSEC	3.02D-08		*
subst concen +	7.62NSEL	4.42NSEC	2.94D-08		
NOMINAL	7.77NSEC	4.44NSEC	2.94D-08		
subst concen -	7.90NSEC	4.45NSEC	2.94D-08	*	
최악조건 지연	8.61NSEC	4.89NSEC	2.60D-08	*	
최악조건 전력	6.71NSEC	4.12NSEC	3.77D-08		*

\* 표시는 지연시간과 전력의 최악 조건 방향을 나타낸다.

만 아니라 공정 디스터번스의 최대 최소값을  $2\sigma$  점을 선택하였다. 소자 파라미터에 대한  $2\sigma$  점은 통계적 시뮬레이터를 실행하여 모든 소자의 분포를 추출하여 구하였다.

그림 6은 통계적 공정소자 시뮬레이터를 사용하여

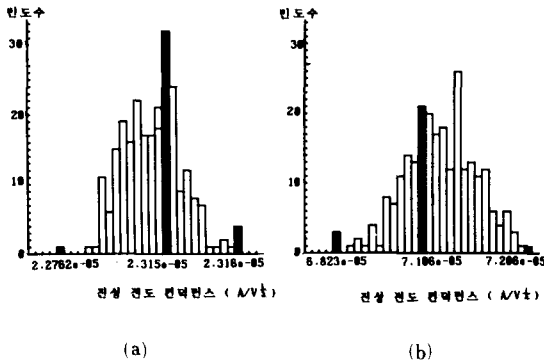


그림 6. (a) P형 전성 전도컨덕턴스 히스토그램  
(b) N형 전성 전도컨덕턴스 히스토그램

Fig. 6. (a) Histogram of P type intrinsic transconductance.  
(b) Histogram of N type intrinsic transconductance.

구한 SPICE 파라미터인 순수전도 컨덕턴스K에 대한 분포 히스토그램이다.

몬테칼로 해석을 이용하여 성능(지연 시간과 전력 소모)을 추출하기 위해서 통계적 시뮬레이터와 SPICE 프로그램을 이용한다. 즉 5개의 인버터가 한 개의 칩이 될 경우 웨이퍼 단위로 통계적 시뮬레이터를 수행하여서 100개의 SPICE 파라미터를 추출하여 이들에 대한 회로 시뮬레이션을 하여 지연과 전력 소모의 분포를 알아본다.

이 때 통계적 시뮬레이터의 디스터번스로는 광 리토그래픽 (photolithographic), 선폭 변량과 마스크의 부정확한 위치등의 지형적 디스터번스와 확산도와 같은 물리적 디스터번스등 모든 디스터번스를 고려하여 해석한다.

(4) 결과비교

표3은 소자 파라미터에 대한 해석과 디스터 번스에 대한 최악 조건해석, 그리고 몬테칼로 방법을 이용한 해석을 비교한 것이다. 전체 지연과 전체 전력에 대한 노미널 성능이 있고, 소자 파라미터와 디스터 번스에 대한 성능의 최악 조건을 나타내었다.

마지막으로 모든 디스터 번스를 고려한 몬테칼로 해석으로 발생되는 확률 분포를 추측한 평균과 표준 편차를 나타낸다. 다른 것과 비교하기 위해서 Cutof 점은



표 3. 인버터 체인에 대한 최악 조건 성능비교  
Table 3. Comparison of worst case performance to inverter chain.

		전 체 지 연	전 체 전 력
공칭치인 경우		7.77NSEC	2.94D-08
이 전 방 법	소자 파라미터에 대해서		
	지연에 대한 최악 조건	10.86NSEC	1.20D-08
	전력에 대한 최악 조건	6.70NSEC	4.60D-08
제 안 된 방 법	디스터번스에 대해서		
	지연에 대한 최악 조건	8.61NSEC	2.60D-08
	전력에 대한 최악 조건	6.71NSEC	3.87D-08
모든 디스터번스를 고려한 몬테칼로 해석			
평 균		7.7783NSEC	2.77D-08
표준 편 차		0.2100NSEC	0.073D-08
5.7σ (지연에 대한)		8.96NSEC	
5.7σ (전력에 대한)			4.20D-08

$$P = (1 - \Phi(2.0))^6 \approx 6.1E-09 \quad (33)$$

는 최악 조건값이 일어나는 확률이므로  $\sigma$ 에 대한 값은

$$\sigma = \Phi^{-1}(P) = \Phi^{-1}(6.1E-09) = 5.7 \quad (34)$$

로 정하였다.

이전의 방법으로 시행된 소자 파라미터에 대한 최악 조건 성능중 지연시간은 10.86nsec 이고, 제안된 방법으로 시행된 공정 디스터번스에 대한 최악 조건 성능중 지연시간은 8.61nsec로서 몬테칼로 해석에서 얻은 8.9nsec 값에 제안된 공정 디스터번스에 대한 최악 조건 해석이 이전의 소자 파라미터에 대한 값보다 더 정확하게 몬테칼로 방법에 근접하였다.

#### IV. 결 론

본 연구에서는 제조 공정상 제어할 수 없는 랜덤 디스터번스를 고려한 CMOS에 대한 통계적 공정/소자 시뮬레이터를 개발하였으며, 통계적으로 서로 독립적인 랜덤 변동에 대한 최악 조건 해석 알고리즘을 제시하였다.

CMOS 인버터 및 기어소자인 RAM에 대해서 지연 시간, 관독시간, 전력등을 회로 성능으로 하여 통계적 공정/소자 시뮬레이터와 SPICE 회로 시뮬레이터를 사용하여 몬테칼로 해석방법과 이전소자 파라미터에 대한 최악 조건해석과 비교 시뮬레이션 결과

제안된 최악 경우 해석이 이전 것보다 정확한 결과를 얻었다.

통계적 시뮬레이터는 웨이퍼의 위치에 따라 디스터번스 값을 고려하였으므로 칩에 대한 회로해석 뿐만 아니라 웨이퍼 단위의 해석도 가능하므로 수율예측, 칩 설계의 최적화 등에 이용할 수 있다.

앞으로 집적 회로의 집적도가 커짐에 따라 몬테칼로 해석법은 많은 시뮬레이션 시간을 요구하므로 제안된 최악 조건해석이 유용하리라 본다.

#### 參 考 文 獻

- [1] Sani R. Nassif, Andrzej J. Strojwas, Stephen W. Director "FABRICS II: Statistically Based IC Fabrication process simulator," *IEEE Trans. on CAD*, vol. CAD-3, no. 1, Jan. 1984.
- [2] Brian W. Kernighan, Dennis M. Ritchie The C Programming language, Prentice-Hall Software Series
- [3] 32 bit UNIX SYSTEM User's Manual opus system
- [4] Wojciech Maly, Andrzej J. Strojwas, Sthephen W. Director "Statistical simulation of the IC manufacturing process," *IEEE Trans. on CAD*, vol. CAD-1, no. 3, July 1982.
- [5] Sani R. Nassif, Andrzej J. Strojwas, Stephen W. Director "A methodology for Worst-Case analysis of integrated circuits," *IEEE Trans. on CAD*, vol. CAD-5, no. 1, Jan. 1986.
- [6] Costas J. Spanos Statistical Parameter Extration for IC Process Characterization Carnegie-Mellon University Dep. of Electrical and Computer Engineering May. 1985.
- [7] John Y. Chen "CMOS-The Emerging VLSI Technology", *IEEE Circuits and Devices Magazine*, March 1986.
- [8] Neil Weste, Kamran Eshraghian, Principles of CMOS VLSI Design Addison-Wesley Publishing Company, 1985.
- [9] Youichi Akasaka and Kazuo Horie, Satoru Kawazu "Lateral spread of boron ions implanted in silicon," *Appl. Phys. Lett.* vol. 21, no. 1, July 1972.
- [10] 이근철, "새로운 난수 발생법에 의한 전자회로 설계용 시뮬레이션 알고리즘 개발에 관한 연구," 고려 대학교 박사학위 논문, 1986.

- [11] S.R. Nassif, A.J. Strojwas, and S.W. Director  
FABRICS II: A Statistical Simulator of the  
IC Fabrication Process User's Manual, SRC-  
CMU Center for Computer Aided Design,  
1983.
- [12] W. Maly, A.J. Strojwas, and S.W. Director  
"Fabrication based statistical circuit design  
of monolithic IC's", in Proc. ISCAS, pp.  
135-138, Apr. 1981.
- [13] D.A. Divekar, "DC statistical circuit  
analysis for bipolar IC's using parameter  
correlations-An experimental example,"  
*IEEE Trans. CAD*, vol. CAD-3, Jan. 1984.
-