

NAND 회로망의 試驗 패턴發生을 위한 D-알고리즘의 효율改善에 관한 연구

(A Study of Efficiency Improvement of the D-algorithm for NAND Circuits)

盧 貞 鎬*, 姜 秉 旭**, 安 光 善***

(Jeong Ho Noh, Byeong Ug Kang and Gwang Seon Ahn)

要 約

本 論文에서는 비계환 組合論理 회로를 NAND 회로망으로 制限하였을 때 絶對徑路의 條件을 充足시킬 수 있도록 逆追跡과 關聯된 노드에 論理값을 効果적으로 定하여 檢索對象 노드數를 줄임으로써 D-알고리즘의 효율을 改善하고자 하였다. 이를 위하여 NAND 회로망에서 絶對徑路 設定에 適合한 LASAR 技法을 適用한 후 變형된 D-알고리즘을 IBM-PC 에서 APL 프로그래밍 言語로 實現시켰다. 그 結果 順방향과 逆방향의 逆追跡 檢索 노드數가 줄어들어 확인되었으며 出力分枝, 재수렴 및 對稱性 構造를 갖는 多數의 NAND 회로망에서는 약 10% 程度 處理 速度가 향상되었다.

Abstract

In this paper, it is tried to improve efficiency of the D-algorithm by assigning the logic values effectively on the nodes related to the critical path for back tracing to reduce the number of search nodes when acyclic combinational logic circuits are composed of NAND gates only.

For that purpose, LASAR algorithm which is suitable for determining a critical path for back tracing is applied to the D-algorithm and it is implemented by IBM-PC with APL language.

The test results on a number of NAND circuits which have multi-fanout, reconvergent and symmetric characteristics show that the modified D-algorithm reduces the number of search nodes in forward and backward tracing and decreases the run time of CPU about 10 percents.

*正會員, 鎭海機械廠

(Chinhae Machine Depot)

**正會員, 嶺南大學校 電算工學科

(Dept. of Comp. Eng., Yeungnam Univ.)

***正會員, 慶北大學校 電氣工學科

(Dept. of Electrical Eng., Kyungpook Nat'l Univ.)

接受日字: 1987年 6月 30日

I. 序 論

論理회로에 대한 缺陷은 주로 固着缺陷 (stuck-at fault) 과 브릿징 缺陷 (bridging fault) 等으로 모델화 될 수 있으나 固着缺陷 이외의 缺陷들도 모두 短絡 狀態의 固着缺陷으로 생각할 수 있기 때문에 VLSI 試驗分野에서는 여기에 重點을 두고 있다.^[1]

論理회로内的 固着缺陷을 檢出하기 위한 시험패턴

발생은 入力段에 인가하는 시험벡터(test vector)를 구하는 것으로서 眞理值表를 基本으로 하되 부울 디퍼런스법(boolean difference method)과 경로감지법(path sensitizing method)으로 兩分된다. 부울 디퍼런스법은 代數技法(algebraic technique) 혹은 심볼操作技法(symbol manipulation technique)으로서 正確性和 完全性是 充分히 立證되었으나 컴퓨터로 具現하는데는 制約點이 많아 1970年代 初 以後에는 큰 進展이 없는 狀態이다.^[2]

경로감지법은 1966年 Roth^[3]에 의하여 提示된 D-알고리즘이 가장 代表的인 것으로서 完璧性, 包括性, 具現의 容易性, 缺陷의 分離性 및 運用의 效率性 때문에 缺陷診斷(fault diagnosis) 側面에서 볼 때 基本的인 자동시험 패턴발생(automatic test pattern generation: 이하 ATPG라 한다.) 알고리즘이 되었다. 그러나 單一 경로감지법에 의하여 單一 固着缺陷을 檢出하는 알고리즘이기 때문에 論理回路內에 출력분지노드(fan-out node)와 재수렴노드(reconvergence node)들을 포함하고 있을 경우 절대경로(critical path)에 따른 逆追跡(back tracing)時 過多하게 時間이 所要된다는 短點이 있다.^[4]

이런 特性은 경로감지법에 의하여 試驗論理값을 出力段으로 傳達하고 逆追跡에 의하여 시험패턴을 決定하기까지 여러개의 경로가 생길 수 있으므로 逆追跡 이전에 이미 設定된 절대경로를 따라 關聯된 노드들을 모두 檢索해보아야 하는 必要性 때문에 나타난 結果이다. 따라서 逆追跡시 논리값의 一致與否를 確認하는 過程에서 要求되는 檢索(search) 回數를 줄일 수 있다면 경로감지 알고리즘의 處理時間의 短縮이 可能할 것이다.

本 論文에서는 非饋還 組合論理回路를 NAND회로망으로 制限하였을 때 절대경로의 條件을 滿足시킬 수 있도록 逆追跡과 關聯된 노드에 論理값을 效果의 으로 정하여 檢索對象 노드수를 줄임으로써 D-알고리즘의 效率를 改善하는데 焦點을 맞추었다. 이를 위하여 NAND 회로망에서 절대경로 設定에 適合한 L-ASAR의 stimulus generation algorithm(이하 SGA라 한다.)^[5]를 D-알고리즘에 適用한 후 여러 종류의 NAND 회로망에 대한 시험패턴 발생에 소요되는 시간을 比較함으로써 處理時間이 短縮됨을 확인하였다.

II. D-알고리즘의 特性

시험패턴의 構成은 入力段의 시험벡터, 内部回路의 論理값 및 出力段의 응답으로 구성된 자극-응답 조합(stimulus-response combination)의 集合形態를

取한다. 이러한 시험패턴 發生에 있어서 實用上의 論理回路는 단일경로의 形態가 아닌 복수경로의 形態를 취하고 있으므로 단일경로 감지법은 복수 경로에 따른 모든 경우의 數를 다 考察하여야 하며 이에 따른 알고리즘 構成은 다음과 같은 세가지 過程을 포함한다.^[2]

첫째: 準備過程(set-up procedure) - 시험좌표의 設定 및 알고리즘의 수행 시작을 위한 準備

둘째: 傳達過程(propagation procedure) - 準備過程으로부터 設定된 시험좌표에서 主出力(primary output: 이하 PO라 한다)까지 경로感知에 의한 缺陷信號의 傳達

셋째: 整列過程(justification procedure) - PO에서 主入力(primary input: 이하 PI라 한다.)까지 singular cover(이하 SC라 한다)를 利用한 경로감지, 즉 逆追跡에 의하여 각 座標의 論理값을 規定하고 一致與否를 確認

D-알고리즘은 이 條件들을 모두 具備한 것으로서 시험패턴 發生의 對象 座標에 無缺陷(fault free)과 缺陷(fault)을 동시에 意味하는 D(혹은 \bar{D})값을 인가하고 PO까지 이 값을 傳達시킨 다음, 빈 座標에 1과 0을 채워넣는 逆追跡에 의하여 시험벡터인 PI값을 算出한다. 이 알고리즘은 AND, NAND, OR, NOR, XOR 들로 構成된 組合論理回路에 適用된다.

對称性和 출력분지를 포함하며 재수렴 特性을 함께 갖고 있는 그림 1의 NAND 회로망을 中心으로 D-알고리즘의 特性을 考察하였다.

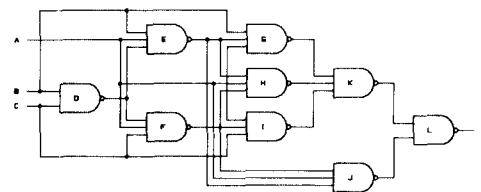


그림 1. NAND 회로망의 예
Fig. 1. An example of NAND circuit.

1. 準備 過程

被試驗 論理回路의 單一 경로감지를 위하여 回路構造를 代表하는 PI, predecessor(이하 前位者라 한다.), successor(이하 後位者라 한다.), 시험좌표의 固着缺陷 狀態등을 定義한다. 예를 들어 그림 1에서 J座標의 stuck-at-1(이하 s-a-1이라 한다.)에 대한 시험패턴 발생을 위해서는 표 1과 같이 初期값을 정한다.

표 1. D-알고리즘의 시작
Table 1. Initialization for D-algorithm.

FACTORS	VALUES
TYPE OF NODE	NAND
PRIMARY INPUT	A, B, C
PRIMARY OUTPUT	L
TEST NODE	J
TYPE OF FAULT	STUCK-AT-1

표 2. 그림 1의 전위자와 후위자의 구성
Table 2. Organization of predecessor and successor.

NODE NUMBER	PREDECESSOR	SUCCESSOR
A	0 0 0	E F H 0 0
B	0 0 0	D E G 0 0
C	0 0 0	D F I 0 0
D	B C 0	E F G I J
E	A B D	G H J 0 0
F	A C D	H I J 0 0
G	B D E	K 0 0 0 0
H	A E F	K 0 0 0 0
I	C D F	K 0 0 0 0
J	D E F	L 0 0 0 0
K	G H I	L 0 0 0 0
L	J K 0	0 0 0 0 0

2. 傳達過程

NAND 게이트는 그림 2와 같이 特有的 論理特性을 갖는 SC를 構成할 수 있으며 이로부터 노드의 前位者에 인가된 D(혹은 \bar{D}) 값을 後位者에 傳達시키기 위한 primitive D-cube (이하 PDC라 한다.)를 定할 수 있다.

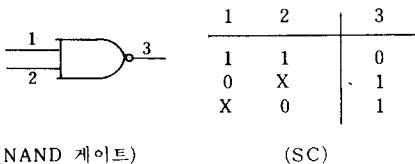


그림 2. 두 입력 NAND 게이트의 SC
Fig. 2. SC of the two input NAND gate.

그림 2에서 SC의 論理 1과 0을 無缺陷일 때의 論理값으로 하고 이를 補數로 取하면 바로 缺陷일 때의 論理값이 된다. 따라서 각 prime implicant 들에 대하여 無缺陷일 때의 것과 缺陷일 때의 것을 交叉(intersection) 시켰을 때 成立되는 것을 擇하여 1이면 D, 0이면 \bar{D} 로 置換함으로써 그림 3과 같은 PDC가 얻어진다.^[5]

1	2	3
D	1	\bar{D}
1	D	\bar{D}

그림 3. 두 입력 NAND 게이트의 PDC
Fig. 3. PDC of two-input NAND gate.

그런데 PDC의 制御값인 1을 除外하고 D를 補數로 取해도 그림 4와 같은 論理가 成立한다. 그림 4에서 $(D D \bar{D}), (\bar{D} \bar{D} D)$ 는 출력분지 노드를 出發한 D(혹은 \bar{D}) 값이 다른 노드들을 經유하여 뒷段의 노드에 同時 入力될 때 나타나는 PDC들 이며 $(D \bar{D} 1), (\bar{D} D 1)$ 과 같은 特異한 境遇도 成立될 수 있다.^[6]

1	2	3	1	2	3
D	1	\bar{D}	\bar{D}	1	D
1	D	\bar{D}	1	\bar{D}	D
D	D	\bar{D}	\bar{D}	\bar{D}	D
D	\bar{D}	1	\bar{D}	D	1

그림 4. 두 입력 NAND 게이트의 PDC 확장
Fig. 4. Extended PDC of two-input NAND gate.

따라서 그림 4의 補數關係를 모두 合한 것이 PDC가 되며 入力數가 많을 수록 이의 가지수도 늘어난다. 論理回路內의 單一 固着缺陷을 試驗하고자 할 때 被試驗座標의 缺陷에 따라 s-a-1이면 \bar{D} 를, s-a-0이면 D를 인가한다. 즉 s-a-1을 시험할 경우는 無缺陷일 때가 0인 \bar{D} 를, s-a-0인 경우는 D를 인가하고 이 座標를 後位者로 하는 論理 게이트의 入力條件을 定한다. 예를 들어 s-a-1 試驗時는 該當 노드의 前位者에 모두 1을, s-a-0인 경우엔 被試驗 노드를 前位者로 하는 後位者쪽 노드의 PDC를 初期 test cube (이하 TC라 한다)로 한다. 이후부터 PO

쪽을 向하여 오름차순에 의거 다음 게이트의 PDC와 現在の TC 를 表 3 과 같은 D-計算式(D-calculus formula)을 利用, 계속 D-交叉(D-intersection) 시켜 缺陷信號를 PO 까지 傳達시킨다.

표 3. D-계산식 도표
Table 3. Table for D-calculus formula.

□	0	1	X	D	\bar{D}
0	0	∅	0	ψ	ψ
1	∅	1	1	ψ	ψ
X	0	1	X	D	\bar{D}
D	ψ	ψ	D	D	ψ
\bar{D}	ψ	ψ	\bar{D}	ψ	\bar{D}

∅ = empty, ψ = undefined

D-交叉는 1, 0, X, D, \bar{D} 의 다섯가지 論理값을 利用하여 경로상에 存在하는 該當 게이트의 座標끼리 比較하였을 때 상충점이 있는지를 D-計算式에 의하여 알아내는 것이며 X값으로 되어 있을 경우 對應되는 論理값으로 채워 넣음을 意味한다. 이때 D(혹은 \bar{D})값이 아닌 1과 0에 의하여 論理값들을 確定지을 수 있으면 遂行하는데 이를 默示的決定(implication)이라 한다.¹⁶⁾ 傳達過程中에 그림 4의 [D \bar{D} 1], [\bar{D} D 1]과 交叉가 不可避할 때나 D 값 傳達 경로상의 前位者에 0 값이 하나라도 存在하면 D 값 傳達가 不可能하여 'no test'의 結果를 招來한다. 이 境遇는 出力 분지가 많은 回路에서 재수렴 特性이 強하면 자주 發生한다. 그런데 경로감지 側面에서 볼 때 다음의 논리게이트와 D-交叉를 위해서는 方向과 順序를 指示하는 벡터가 必要하다. 이를 행위벡터(activity vector)라 하며 오름차순으로 配列되며 다음의 D-交叉는 이 중에서 가장 낮은 番號를 찾아 遂行한다. 이와 같은 方法은 傳達過程中에서 可能한 많은 默示的決定을 하고자 함이며 이로 인하여 整列過程에서의 逆追跡時 檢索 노드 數를 줄이는 데에 目的이 있다. 그림 1에서 J의 s-a-1 시험時 傳達過程이 끝나게 되면 그림 5와 같은 TC를 얻게 된다.¹⁶⁾

	A B C D E F G H I J K L	비 고
TC	X X X 1 1 1 X X X \bar{D} 1 D	PI={A, B, C} PO={L} J번의 s-a-1 시험

그림 5. 그림 1의 전달과정 후 TC
Fig. 5. TC after propagating procedure for fig.1.

3. 整列過程

앞서 언급한 바와 같이 시험벡터는 PI의 論理값들로 構成되므로 그림 5에서 X값인 A, B, C 값을 定할 必要가 있다. 이를 爲해서 PI 座標와 PO座標를 除外한 나머지 座標中에서 1 혹은 0값을 갖는 노드의 SC를 利用하여 論理값을 定한 후 一致與否를 確認하는 것이 整列過程이다.

그림 5의 경우 逆追跡 지정벡터를 C라 할 때 C=[K, F, E, D]의 내림 차순으로 정해지며 결정트리(decision tree)¹⁴⁾에 의하여 SC의 prime implicant를 찾아 비어 있는 論理값을 정할 수 있다. 그림 1의 경우 逆追跡 지정벡터 C, 表 2의 前位者 및 後位者를 利用하여 D-알고리즘의 逆追跡 過程을 SC에 의한 交叉順序로 表示하면 표 4와 같고, 決定트리 概念으로 表示하면 그림 6과 같다.

그림 6에서 보면 I, C, H, A, G, B의 順序로 座標값이 決定되며 I=0으로부터 G=1까지 關係노드들을 14번 檢索하게 된다. 이 때 點線으로 表示된 노드들은 이미 값이 정해져 있거나 값을 정할 수 없더라도 一致與否를 判斷하고 다음번 檢索노드를 골라내기 爲한 作業이 遂行되는 곳을 意味한다.

경로 感知法의 逆追跡에서 빈 座標에 새로운 값이 정해지면 進行中인 檢索方向과 反對方向으로의 檢索이 뒤 따르게 된다. 게이트 入力 즉, 前位者의 값을 定하는 過程을 CB, 게이트의 出力 즉, 後位者의 값을 定하는 過程을 CF라 할 때 檢索은 이 두가지 過程을 反復한다.

만약 CB過程이나 CF過程에서 不一致(inconsistency)가 發生하면 現在の 逆追跡 指定벡터인 K노드의 前位者중 또 비어 있는 座標가 있는지를 찾아 있으면 여기에 0 값을 定하고 이로부터 前과 같은 方法에 의거 檢索을 再開한다. 따라서 일단 不一致가 發生하면 지금까지의 逆追跡 結果는 모두 無効가 되므로 不一致 可能性을 事前에 除去하거나 不一致가 發生하더라도 可能한 빨리 알아내어 더 以上の 不必要한 檢索을 遂行하지 않는 것이 알고리즘 遂行速度를 向上시키는데 重要하다. 不一致 可能性은 出力 분지를 갖는 노드 近處와 再수렴되는 노드에서 發生可能性이 높으므로, 初期에 可能한 많은 論理값을 絶對徑路가 되게 定한다면 檢索노드數가 줄어들기 때문에 D-알고리즘의 수행속도를 향상시킬 수 있다.

III. D-알고리즘의 變形

1971년 Hayes¹⁷⁾에 의하여 모드 論理게이트가 NAND 만으로 置換될 수 있음이 밝혀진 후 NAND 회로망의 PO의 論理값만을 利用, PI 쪽으로 絶대경로를

표 4. 그림 5에 대한 D-알고리즘의 정렬순서
 Table 4. Justification sequence of D-algorithm for fig. 5.

노드번호	A	B	C	D	E	F	G	H	I	J	K	L	역추적 지정 벡터 C={K, F, E, D}	
TC'	x	x	x	1	1	1	x	x	x	\bar{D}	1	D		
정렬순서										0			$C_1 = \{K, F, E, D\}$	
										(set)			$C_2 = \{K, I, F, E, D\}$	
				1									$C_3 = \{K, F, E, D\}$	
				(set)									$C_4 = \{K, H, F, E, D\}$	
													$C_5 = \{K, E, D\}$	
													$C_6 = \{G, E, D\}$	
													$C_7 = \{G, E\}$	
													$C_8 = \{G\}$	
													Consistency	
	TC	0	0	1	1	1	1	1	1	0	\bar{D}	1	D	

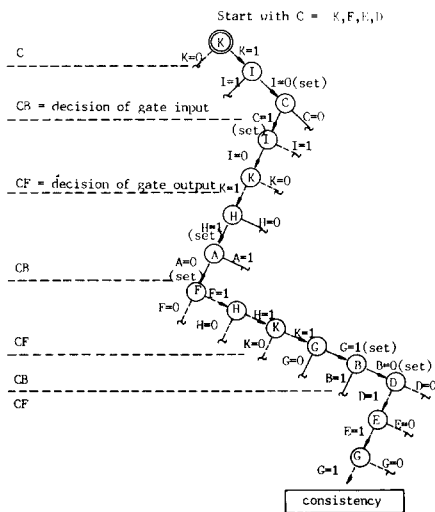


그림 6. 그림 5의 역추적 결정트리
 Fig. 6. Decision tree of back tracing of fig. 5.

설정 하면서 시험벡터를 구해낼 수 있는 LASAR가 개발되어 商業적으로 여러 컴퓨터에 具現되었다. LASAR는 PO의 論理값을 1혹은 0으로 觀察할 수 있도록 정하고 이로부터 PI값을 찾아내는 절대경로상에 制御性을 갖도록 NAND 게이트의 論理값을 정하는 SG-A에 基礎를 두고 있다. SG-A는 強制規則 (forcing rule)과 絕對規則 (critical rule)으로 構成되어 있다.^[4,5]

1. n-入力 NAND 게이트에 대한 強制規則 ($1 < i < n$)
 - 1) 出力이 0 이면 모든 入力은 1
 - 2) 모든 入力이 1 이면 出力은 0
 - 3) 出力이 1이고 入力 i 를 除外한 모든 入力이 1 이면 入力 i 는 0
2. n-入力 NAND 게이트에 대한 絕對規則 ($1 < i < n$)
 - 1) 出力이 0이고 絕對的이면 모든 入力은 絕對的

으로 1

2) 出力이 絶對인 1이고 i 를 除外한 모든 入力이 1이면 i 는 絶對적인 0

여기서 強制規則의 1)과 2), 絶對規則의 1)은 D-알고리즘의 默示的決定 規則과 유사한 뜻을 갖고 있다. SGA의 두 規則 중 1)의 3), 2)의 2)는 絶對경로를 設定하면서 PI 쪽으로 逆追跡할 때 NAND 게이트의 入力중에 i 가 0을 갖게 될 境遇 다른 入力들은 i 가 0이 되기 위하여 모두 1이 되어야 함을 意味한다. 다시 말하면 경로감지를 위하여 비어 있는 入力이 2개 이상일 때 값이 決定된 入力중에 0을 包含하고 있지 않으면 비어 있는 入力중 順序에 의거 어느 하나를 0으로 하고 나머지 것들은 이에 絶對性을 부여하기 위하여 모두 1이 되어야 한다는 意味이다.

그림 6과 표 4에서 보면 $K=1$ 의 前位者는 G, H, I인데 $I=0$ 을 따라 경로감지가 逆追跡에 의하여 出發한다. 이 때 K의 같은 前位者인 G, H는 X값인 상태를 유지하고 A는 H가 正해진 이후에, G는 H가

정해짐으로서 發生한 默示的決定에 의하여 값이 確定된다. 이 때까지 CB過程과 CF過程을 여러번 반복함으로써 檢索에 所要되는 노드數가 늘어남을 알 수 있다. 그런데 K의 前位者들 중에 $I=0$ 을 따라가는 경로를 絶對경로로 하기 위하여 LASAR의 SGA를 適用, $G=1, H=1$ 로 함은 물론 I의 前位者들도 모두 1로 하여 逆追跡을 始作하면 표 5와 같다.

앞서 언급한 바와 같이 정렬과정은 역추적 지정 벡터의 인자들 중 내림차순에 의하여 PI 쪽으로 비어 있는 노드의 값을 정하고 새로 값이 정해진 노드를 전위자로 하는 후위자의 값을 재확인하여 일치 여부를 확인하는 과정이 반복됨을 의미하며 표 5의 정렬순서를 간단히 요약하면 다음과 같다.

C₁의 첫번째 인자의 I의 전위자 중 PI에 해당하는 C노드 값은 SGA에서 이미 결정되었으나 정렬과정이 I로부터 출발됨으로 이를 재확인하고 다음 인자인 H가 지정된다(1→3번). H의 전위자들 중 비어 있는 노드 A가 0으로 결정되고 (4번), A와 C에 의하여 논리값의 일치 여부를 확인할 수 있는

표 5. 그림 5에 대한 변형된 D-알고리즘의 정렬순서
Table 5. Justification sequence of modified D-algorithm for figure 5.

노드번호	A	B	C	D	E	F	G	H	I	J	K	L	역추적 지정 벡터 C=[K, F, E, D]
TC'	x	x	x	1	1	1	x	x	x	\bar{D}	1	D	
			1				1	1	0				SGA에 의한 초기값 결정
TC''	x	x	1	1	1	1	1	1	0	\bar{D}	1	D	C'=[I, H, G, F, E, D]
정렬순서			1	1	1	1	①		0				C ₁ =[I, H, G, F, E, D]
			1	1	1	1			0				C ₂ =[H, G, F, E, D]
	(set)					②			1				C ₃ =[G, E, D]
						④			1				C ₄ =[G, E]
						⑤			1				C ₅ =[G]
						⑦			1				Consistency
						⑧			1				
						⑨			1				
						⑩			1				
	TC	0	0	1	1	1	1	1	1	0	\bar{D}	1	D

노드 F를 확인하여 (5번), C_i에서 F를 제거한 다음, 다음 인자인 G를 선택한다(6번).

G에 의하여 B가 0으로 결정되는데(7번), 이렇게 되면 PI값인 A, B, C의 모든 값이 결정된 상태가 된다. B노드 값이 새로 결정됨에 따라 B를 전위자로 하는 D, E, G노드들을 오름차순에 의하여 논리값의 일치 여부를 확인하면서 일치되면 C_i의 역추적 지정 벡터 인자들을 확인 순서별로 제거하고(8→10번) C_i에 인자가 없으면 정렬과정이 끝나게 된다. 여기에서 화살표 끝이 지정하는 노드를 검색시 목표노드라 하면 그림 7과 같은 결정트리 구조로 표시될 수 있으며 검색노드 수가 총 10개로 줄어들게 된다.

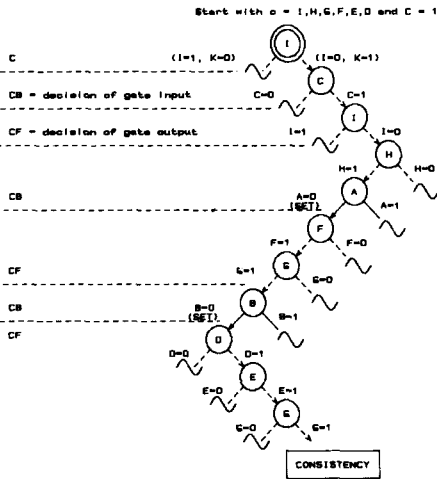


그림 7. 변형된 D-알고리즘의 역추적 결정트리
Fig. 7. Decision tree of backtracing of the modified D-algorithm.

따라서 逆追跡對象 노드의 前位者中 비어 있는 座標를 찾아 내림차순에 의거 가장 큰 番號에 絕對 0을 定한 후 이의 前位者들을 모두 1로 한다. 다음에, 逆追跡 대상노드의 前位者들中 絕對 0이 아닌 것을 모두 1로 하여 D-알고리즘을 遂行하면 그림 7과 같은 결정트리 構造를 만들 수 있기 때문에 效率를 改善할 수 있다.

變形된 D-알고리즘의 主 루틴의 흐름도와 整列過程의 흐름도는 각각 그림 8 및 그림 9와 같다.

그림 8에서는 準備過程과 傳達過程을 거쳐 缺陷陷, 즉 시험값인 D(혹은 \bar{D})를 PO段에 傳達하면 LASAR에 의한 整列過程으로 넘어간다. 整列過程에서 一致

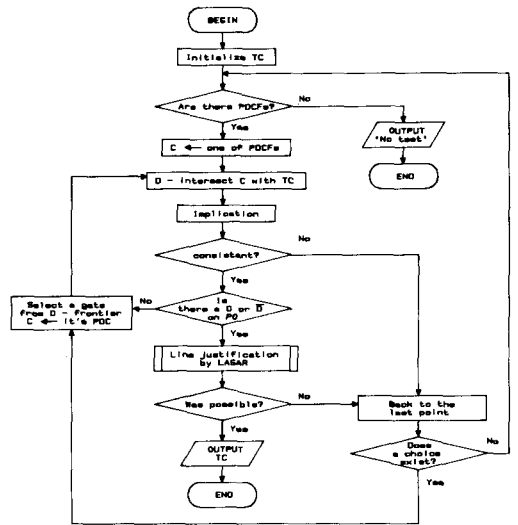


그림 8. D-알고리즘의 주 루틴 흐름도
Fig. 8. Flow chart of main routine of the D-algorithm.

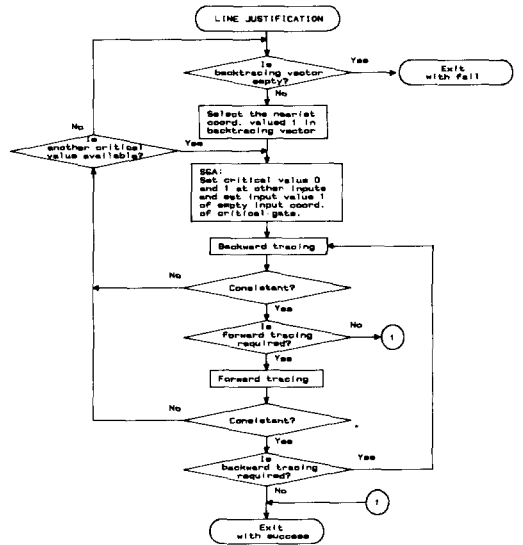


그림 9. 변형된 D-알고리즘의 정렬과정 흐름도
Fig. 9. Flow chart of justification routine of the modified D-algorithm.

가 되면 TC를 出力하고 不一致가 發生하면 다른 PDC를 찾아 같은 과정의 遂行을 반복한다. 역시 不一致가 發生되고 다른 PDC가 더 이상 存在하지 않으면 試驗不可狀態로서 'no test'를 出力하고 알고리

등 遂行을 終了한다. 그림 9는 LASAR의 SGA를 利用한 整列過程의 흐름도로서 알고리즘 遂行方法은 그림 7에서 밝힌 바와 같다.

IV. 適用 및 考察

1. 프로그램 構成

D-알고리즘을 컴퓨터로 遂行하면 그림 10과 같은 프로그램의 構成을 갖는다.^[6]

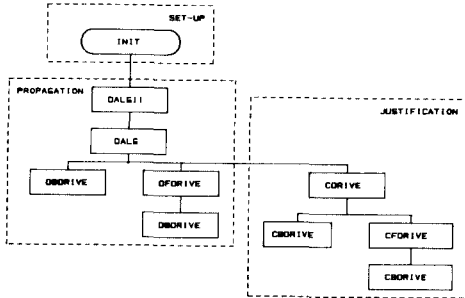


그림 10. D-알고리즘의 프로그램 구성
Fig. 10. Program organization of the D-algorithm.

그림 10에서 'DALGII'는 알고리즘 遂行 全體를 관장하는 主 루틴이며 'DALG'는 경로감지를 主觀한다. 'DALG'에 의하여 관장되는 'DBDRIVE'와 'DFDRIVE' 루틴은 서로 연관되어 遂行된다. D(혹은 \bar{D})값이 PO段에 傳達 되면 'CDRIVE'에 의하여 관장되는 整列過程으로 넘어가 그림 7의 檢索方法에 의하여 그림 9의 흐름도 대로 遂行한다. 이때 'CBD-RIVE'는 PI쪽인 逆方向, 'CFDRIVE'는 PO쪽 正順方向으로 逆追跡 경로를 感知하는 루틴이며 SGA는 'CDRIVE'에 適用되었다.

2. NAND 회로망에의 適用 및 結果

適用例는 그림 1의 NAND 회로망을 基準으로 하였다. 이 회로는 對稱性, 다수의 출력분지, 재수렴특성 때문에 'no test'가 나올 可能性이 크며 逆追跡을 많이 要求하는 회로의 構成을 갖고 있다. PI 및 PO를 包含한 全體 노드에 대하여 D-알고리즘과 變形된 D-알고리즘을 같이 適用한 후 시험패턴을 發生하는데 所要되는 總 時間을 比較하였다. 이를 위하여 프로그래밍 言語는 APL을 使用하였으며 컴퓨터機種은 IBM/PC를 이용하였다. 準備過程을 包含한 프로그램의 시작루틴은 그림 11과 같다.

- [0] DD
- [1] 'BY MODIFIED D-ALGORITHM'
- [2] '
- [3] DEFINE
- [4] L←0 0 0, 9ρNAND
- [5] PI←1 2 3
- [6] PO←12
- [7] PM←(12 3)ρ(9ρ0), 2 3 0 1 2 4 1 3 4 2 4 5
1 5 6 3 4 6 4 5 6 7 8 9 10 11 0
- [8] SMDEF
- [9] LINES←1 2 3 4 5 6 7 8 9 10 11 12
- [10] VALUES←12 ρ 0
- [11] T1←□TS(4 5 6 7)
- [12] DALGII
- [13] T2←□TS(4 5 6 7)
- [14] ET←(24 60 60 1000 ⊥ T2) - (24 60 60 1000 ⊥ T1)
- [15]
- [16] 'ELAPSED TIME : ', (Φ ET), '(MS)'

그림 11. 시험패턴 발생을 위한 시작 루틴
Fig. 11. Initialization routine for test pattern generation.

그림 11에서 'DEFINE'은 1, 0, X, D, \bar{D} 의 論理演算을 위하여 숫자로 變換시키는 물론 AND, NAND, OR, NOR, XOR도 숫자로 바꾸는 부루틴이다. 'PI', 'PO'는 主入方과 主出力 노드들을 定하는 것이며 'PM'은 각 노드의 前位者 行列을, 'SMDEF'는 노드별 後位者 行列을 각각 決定한다. 'LINES'와 'VALUES'는 각각 시험패턴발생 노드와 이에 對應되는 固着缺陷을 나타내는 벡터들이며 'T1', 'T2', 'ET' 등은 'DALGII'를 遂行하는데 所要된 總 時間을 계산하기 위하여 插入된 것이다. 부루틴 DALGII를 부르게 되면 그림 10의 프로그램 構造에 의하여 徑路感知를 수행하여 그림 1에 대하여 얻어진 시험패턴 發生結果는 그림 12 및 그림 13과 같다.

그림 12 및 13에서 'x'는 \bar{D} 를 意味하며 'X'는 임의값으로서 시험벡터의 論理값은 1과 0을 가질 수 있다. 위의 結果에서 알고리즘 處理速度가 改善된 理由는 회로構造가 두 입력 이상인 게이트로 構成되어 있고 逆追跡時 그림 14와 같은 경우가 發生하여 절대 경로상의 출발노드입력에 'X'로 남아있는 座標數가 많아짐으로서 경로감지를 위한 검색노드의 數가 적어졌기 때문이다. 이를 圖式化하여 分析하면 다음과 같다.

그림 14에서 點線은 逆追跡時 절대경로를 表示하며 'x→1', 'x→0' 등은 論理값이 'X'값에서 1 혹은 0으로 正해짐을 意味한다. D-알고리즘의 경우는 출발노드(게이트 1)의 前位者가 두개 이상 'X'로 되어 있

ORIGINAL D-ALGORITHM										MODIFIED D-ALGORITHM														
TEST FOR STUCK-AT-0										LINE NO	TEST FOR STUCK-AT-0													
D	1	1	0	1	1	1	≠	1	1	D	≠	1	D	1	1	0	1	1	1	≠	1	1	D	≠
1	D	1	≠	1	D	1	≠	1	1	D	≠	2	1	D	1	≠	1	D	1	≠	1	1	D	≠
1	1	D	≠	D	1	1	≠	1	1	D	≠	3	1	1	D	≠	D	1	1	≠	1	1	D	≠
1	0	1	D	1	≠	1	D	1	1	≠	D	4	1	0	1	D	1	≠	1	D	1	1	≠	D
0	0	1	1	D	1	1	1	0	≠	1	D	5	0	0	1	1	D	1	1	1	0	≠	1	D
0	1	0	1	1	D	0	1	1	≠	1	D	6	0	1	0	1	1	D	0	1	1	≠	1	D
1	0	1	1	1	0	D	1	1	1	≠	D	7	1	0	1	1	1	0	D	1	1	1	≠	D
0	1	1	0	1	1	1	D	1	1	≠	D	8	0	1	1	0	1	1	1	D	1	1	≠	D
1	1	0	1	0	1	1	1	D	1	≠	D	9	1	1	0	1	0	1	1	1	D	1	≠	D
1	1	1	0	1	1	1	0	1	D	1	≠	10	1	1	1	0	1	1	1	0	1	D	1	≠
1	1	1	0	1	1	1	0	1	1	D	≠	11	1	1	1	0	1	1	1	0	1	1	D	≠
X	0	0	1	1	1	1	X	1	0	X	D	12	1	0	0	1	1	1	1	0	1	0	1	D

ELAPSED TIME : 58660(MS)

ELAPSED TIME : 52840(MS)

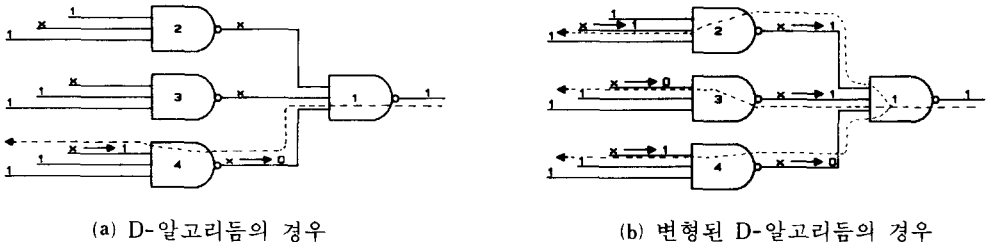
그림12. 그림 1에 대한 s-a-0 시험패턴
Fig. 12. s-a-0 test pattern for fig. 1.

ORIGINAL D-ALGORITHM										MODIFIED D-ALGORITHM															
TEST FOR STUCK-AT-1										LINE NO	TEST FOR STUCK-AT-1														
≠	1	1	0	1	1	1	D	1	1	≠	D	1	≠	1	1	0	1	1	1	D	1	1	≠	D	
1	≠	1	D	1	≠	1	D	1	1	≠	D	2	1	≠	1	D	1	≠	1	D	1	1	≠	D	
1	1	≠	D	≠	1	1	D	1	1	≠	D	3	1	1	≠	D	≠	1	1	D	1	1	≠	D	
1	1	1	≠	D	D	1	≠	1	1	D	≠	4	1	1	1	≠	D	D	1	≠	1	1	D	≠	
NO TEST												5	NO TEST												
NO TEST												6	NO TEST												
NO TEST												7	NO TEST												
1	1	1	0	1	1	1	≠	1	1	D	≠	8	1	1	1	0	1	1	1	≠	1	1	D	≠	
NO TEST												9	NO TEST												
0	0	1	1	1	1	1	1	0	≠	1	D	10	0	0	1	1	1	1	1	1	0	≠	1	D	
1	0	1	1	1	0	1	1	1	1	≠	D	11	1	0	1	1	1	0	1	1	1	1	≠	D	
1	1	1	0	1	1	1	0	1	1	1	≠	12	1	1	1	0	1	1	1	0	1	1	1	≠	D

ELAPSED TIME : 45260(MS)

ELAPSED TIME : 38560(MS)

그림13. 그림 1에 대한 s-a-1 시험패턴
Fig. 13. s-a-1 test pattern for fig. 1.



(a) D-알고리즘의 경우

(b) 변형된 D-알고리즘의 경우

그림14. NAND 회로망의 역추적 예
Fig. 14. An example of the back tracing in NAND circuit.

을 때 높은番號의座標에만 0으로 하고 逆追跡을始作하므로 아직 'X'로 남아있는 것들은 다음번 CF과정이나 CB과정에서 값이 결정된다. 그러나變形된 D-알고리즘에서는 絶對 0을 만들기 위하여 나머지座標를強制 1로 하여 逆追跡을始作하므로 C檢索노드數가 줄어들게 된다.

한편, 그림15와 같이 출력분지, 對稱性, 재수렴 특성의 副回路(sub-network)를多數 포함하고 있는 NAND 회로망의 예를 들어보자.

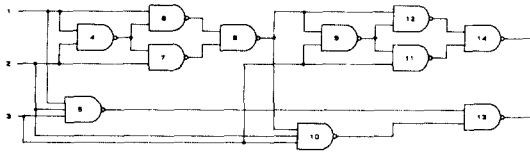


그림15. 출력분지, 대칭성, 재수렴 특성의 부회로를 갖는 NAND 회로망

Fig. 15. A NAND circuit with subnetworks which has fan-out, symmetric and reconvergent characteristics.

이 회로의 特徵을 代表할 수 있는 副回路는 그림 16과 같다. 이 그림에 대한 逆追跡을 비교하면 D-알고리즘의 경우 CB過程(a의 경로1), CF過程(a의 경로 2)이 모두 필요하였으나變形된 D-알고리즘은 CB過程(b의 경로1)만으로 가능하였다. 이상의 두가지 예에서 보는 바와 같이 NAND 회로망에서 경로 감지법에 의한 시험패턴발생시 逆追跡 출발노드의前位者에 論理값을 가능한 많이 定하면 CB過程과 CF過程의 反復數가 줄어들음을 알 수 있다.

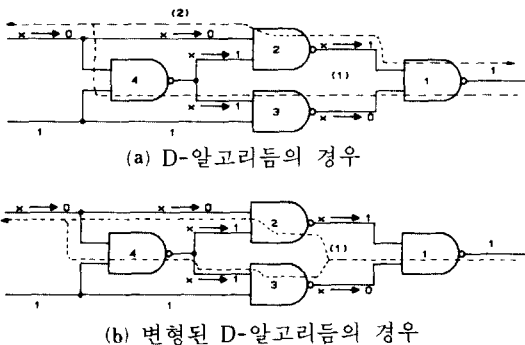


그림16. 그림15의 부회로
Fig. 16. A subnetwork of figure 15.

게이트 수가 52개이며, PI, PO를 포함한 총 좌표 수가 61개인 NAND 회로망까지 변형된 D-알고리즘을 적용한 후 D-알고리즘과 비교하여 분석한 결과는 표 6과 같다. 표 6에서 기준화된 계산시간(normalized computing time)을 보면 변형된 D-알고리즘에 의한 시험패턴발생 소요시간이 적었으며 대체적으로 s-a-1 때가 s-a-0 때 보다 상대적으로 알고리즘 수행효과가 높았다. 이것은 傳達過程에서 s-a-0 때가 s-a-1 때 보다 默示的決定이 많아져 整列過程에서 逆追跡에 의하여 채워 넣어야 할 빈座標가 줄어들었기 때문이다.

표 6. 여러 NAND 회로망에 대한 기준화된 계산시간

Table 6. Normalized computing time for several NAND circuits.

論理回路	게이트數	試驗座標數	PI數	PO數	缺陷試驗種類	規準化된 計算時間	
						D 알고리즘	變形된 D-알고리즘
그림 1 회로	9	12	3	1	0	1.11	1
						1.17	1
그림 16 회로	11	14	3	2	0	1.07	1
						1.14	1
FULL ADD.	9	12	3	1	0	1.08	1
						1.13	1
8 4 2 1 ADD.	52	61	9	5	0	1.07	1
						1.08	1
조합논리 회로	11	16	4	1	0	1.10	1
						1.11	1

따라서 D-알고리즘의 整列過程에 LASAR의 SGA를 適用함으로써 알고리즘 遂行時間을 단축시킬 수 있음이 確認되었다. 이 외에 다수의 NAND회로망에變形된 D-알고리즘을 適用한 結果 약 10% 程度 處理速度가 改善 되었으며 출력분지, 對稱性, 재수렴 등을 함께 포함하고 있는 回路일수록 改善率이 높게 나타났다.

D-알고리즘을 基本으로 하는 徑路感知法으로서 이를 改善한 代表的인 것으로는 PI만의 逆追跡으로 默示的決定에 의한 傳達過程의 速度를 향상시켜 알고리즘 遂行시간을 短縮시킨 PODEM^[8]과 PO로부터 逆追跡時 出力分枝와 재수렴 노드에 대한 不一致可能性을 먼저 檢索하고 不一致發生徑路에 대한 逆追跡을 除外시킴으로서 알고리즘 遂行속도를 향상시킨 FAN^[9]이 있다.

NAND 회로망으로 제한하고 D-알고리즘 自體의 逆追跡 速度 향상에 焦點을 맞춘 本 研究에 비하여 PODEM과 FAN의 수행속도가 현저하게 빠른 것은 事實이나 같은 條件으로 세가지 알고리즘을 수행한 結果가 없기 때문에 直接的인 비교는 되지 않았다.

그러나 NAND 회로망일 경우 PODEM 이나 FAN 이 D-알고리즘에 바탕을 두고 있기 때문에 整列過程을 수행하는 루틴에 本 研究結果를 適用한다면 이들 알고리즘의 수행속도가 더 향상될 수 있을 것으로 판단된다.

V. 結 果

非軌還 組合論理回路에 對하여 缺陷診斷 側面에서의 시험패턴 發生은 경로감지법이 有用하며 代表的인 것이 D-알고리즘이다. D-알고리즘은 D-計算式과 D-교차 演算을 통한 單一 경로감지 特性 때문에 逆追跡時에 所要되는 時間이 길다는 短點이 있다.

本 研究에서는 NAND 게이트들로 構成된 非軌還論理回路에 對한 自動 시험패턴 發生으로 制限하고 D-알고리즘의 逆追跡時 LASAR의 SGA를 適用함으로써 이에 所要되는 時間을 短縮시키고자 하였다. 이를 위하여 D-알고리즘의 逆追跡 결정트리 構造를 分析한 結果, 다음과 같은 理由로 알고리즘 遂行速度가 向上됨을 確認하였다.

첫째: 逆追跡 출발노드 入力값을 먼저 定할 수 있어서 絶대경로의 檢索 노드수가 줄어들었다.

둘째: 逆追跡 출발노드의 入力값을 먼저 定하였기 때문에 不一致 狀態를 보다 낮은 깊이에서 確認할 수 있어 不必要한 檢索이 줄어들었다.

셋째: 順方向과 逆方向의 경로감지 反復數가 줄어들었다.

變形된 D-알고리즘을 IBM/PC에서 APL로 實現시켰으며 이를 多數의 NAND 回跡網에 適用한 結果 알고리즘 遂行速度가 약 10%程度 向上되었다.

本 研究에서는 NAND 게이트로 構成된 非軌還組合

論理回路에 對해서만 論하였으나 軌還特性을 갖고 있는 順次論理回路(sequential logic circuit)에도 適用될 수 있으리라 생각된다. 또한 缺陷 시뮬레이터(fault simulator)와 運結시킨 자동시험장치(automatic test equipment)에 本 研究結果의 適用을 提案한다.

參 考 文 獻

- [1] Williams, T.W., VLSI Testing, pp. 3-25, North Holland, 1986.
- [2] Miczo, A., Digital Logic Testing and Simulation, pp. 14-65, Harper and Row, 1985.
- [3] Roth, J.P., "Diagnosis of Automata Failure: A Calculus and a method," IBM Journal, pp. 278-291, 1966.
- [4] Fujiwara H., Logic Testing and Design for Testability, pp. 24-83, MIT Press, 1985.
- [5] Thomas, J.J., "Automated Diagnostic Test Program for Digital Networks," Computer Design, pp. 63-67, 1971.
- [6] Roth, J.P., et al, "Programed Algorithm to Computer Test to Detect and Distinguish between Failures in Logic Circuits," IEEE Trans. Comput., vol. C-16, no. 5, pp. 567-580, 1967.
- [7] Hayes, J.P., "A NAND Model for Fault Diagnosis in Combinational Logic Networks," IEEE Trans. Comput., vol. C-20, no. 2, pp. 1496-1506, 1971.
- [8] Geol, P., "An Implicit Enumeration Algorithm to Generate Test for Combinational Logic Circuits," IEEE Trans. Comput., vol. C-30, no. 3, pp. 215-222, 1981.
- [9] Fujiwara H. and Shimono, T., "On the Acceleration of Test Generation Algorithms," IEEE Trans. Comput., vol. C-32, no. 12, pp. 1137-1144, 1983. *