

Submicron MOS 트랜지스터의 뜨거운 운반자에 의한 노쇠현상 (Hot-Carrier-Induced Degradation in Submicron MOS Transistors)

崔 柄 眞*, 姜 光 男*

(Byung Jin Choi and Kwang Nham Kang)

要 約

초고밀도 소자의 실용화 단계에서 MOSFET 게이트 길이의 감소에 따라 채널내의 고전장에 의해 유도되는 뜨거운 운반자에 의한 노쇠현상(hot-carrier-induced degradation)이 연구되었다. 직류 스트레스 하에서는 기판전류가 최대가 되는 조건이 최악 조건이 되지만, 동교류(AC dynamic) 스트레스 하에서는 이 외에도 펄스의 모양 및 falling rate 등에 따라 노쇠화 정도가 달라지며 특히 77K에서 큰 노쇠 현상이 나타났다. 각 스트레스 조건에 따른 문턱전압, transconductance, 채널컨덕턴스, 게이트전류 등의 변화관계가 비교되었으며 특히 역스트레스 조건인 뜨거운 홀 주입 스트레스에 의해 문턱전압은 대부분 회복되는 반면 transconductance는 급격히 노쇠화되고 hot-electron stress에 의해 오히려 회복되었다. 전하펌핑 방법(charge-pumping technique)으로 Si-SiO₂ 계면상태를 분석하였으며 전하펌핑전류는 문턱전압의 변화와 같은 경향을 보였다.

Abstract

We have studied the hot-carrier-induced degradation caused by the high channel electric field due to the decrease of the gate length of MOSFET used in VLSI. Under DC stress, the condition in which maximum substrate current occurs gave the worst degradation. Under AC dynamic stress, other conditions, the pulse shape and the falling rate, gave enormous effects on the degradation phenomena, especially at 77K. Threshold voltage, transconductance, channel conductance and gate current were measured and compared under various stress conditions. The threshold voltage was almost completely recovered by hot-injection stress as a reverse-stress. But, the transconductance was rapidly degraded under hot-hole injection and recovered by sequential hot-electron stress.

The Si-SiO₂ interface state density was analyzed by a charge pumping technique and the charge pumping current showed the same trend as the threshold voltage shift in degradation process.

*正會員, 韓國科學技術院 光電子工學研究室

(Optical Electronics Laboratory, KAIST)

接受日字: 1988年 3月 10日

I. 서 론

고밀도 VLSI의 실용화를 위한 연구 개발의 방향은 chip내 단위소자의 크기 즉 MOSFET의 크기의

감소로 집약되어진다. 그러나 표준인가전압이 5V 로 고정된 상태에서 채널길이의 계속적인 감소는 장시간 문턱전압(V_T)의 변화, transconductance(G_m) 노쇠화, parasitic bipolar breakdown 및 V_T 와 punch-through 조절문제 등과 같은 뜨거운 운반자의 효과(hot-carrier effects)와 짧은 채널의 효과(short-channel effects)들을 야기하며 이로인해 채널길이 극소화가 제한받게 된다.

특히 문턱전압의 변화, transconductance 노쇠화, 기관전류(I_{sub})의 증가, 게이트 전류(I_G)의 증가 등의 뜨거운 운반자에 의한 노쇠현상(hot-carrier-induced degradation)이 고전장 영역에서 발생하는 고에너지 운반자에 기인한다는 것은 잘 알려진 사실이지만, 이에 관련된 물리적 현상에 대해서는 현재까지 완벽한 해석이 이루어지지 않고 있다. 이는 대별해서 다음과 같은 두가지 유형으로 분류되는 바; 첫째는 드레인 부근의 SiO_2 층내에 붙잡힌 운반자에 기인한다는 주장으로 n-MOSFET의 경우 붙잡힌 운반자는 Si-SiO₂ 장벽을 넘거나 Fowler-Nordheim 터널링한 전자인 것으로 믿어진다.^[12] 둘째는 뜨거운 운반자와 Si-SiO₂ 계면과의 충돌에 의해 계면상태가 유도된다는 주장인 바 이는 charge pumping 방법과 subthreshold 영역에서의 드레인전류-게이트전압, 혹은 저주파 noise 등을 이용하여 계면상태의 연구를 수행함이 보통이다.^[9-11]

현재까지 보고된 결과들을 종합적으로 해석하고자 하는 경우의 어려움은 실제 동작시 가장 중요한 문턱전압의 정의에 대한 일관성이 부족할 뿐만 아니라 문턱전압을 측정하는 드레인 전압 또한 일정하지 않다는 것이다. 아울러 가속 노쇠화 경우의 조건 역시 다양해서 스트레스 조건과 노쇠의 메카니즘 및 소자 수명의 예측에는 일관성이 결여되어 있다. 그러나 일반적으로 주어진 드레인 전압 V_D 에 대해서 게이트 전압 V_G 가 문턱전압 보다 2V 정도 높을때 최대 기관전류(substrate current)가 발생되는데 이때 노쇠화가 최대가 되는 것으로 보고되고 있다.^[4,6,7]

저온에서는 MOSFET 특성이 상당히 향상되는 반면에 채널내의 뜨거운 전자에 의해 유도되는 노쇠현상이 증가한다. 이런 현상은 전자의 평균 자유행로가 증가해서 채널전자의 운동에너지가 증가한 때문인 것으로 설명된다.^[8-11]

p채널의 경우는 n채널에서 보다 노쇠화가 작는데 이는 충돌간의 평균자유 행로의 축소로 인해 채널운반자의 등가온도가 낮아지기 때문이다.^[8,12]

실제 회로 내에서 소자는 동교류 조건에서 작동하기 때문에 최근에는 교류 스트레스 후의 뜨거운 운

반자 주입과 뜨거운 운반자에 의해 생성된 Si-SiO₂ 계면상태에 의한 노쇠현상이 활발히 연구되고 있다. 교류 스트레스에 대해서는 직류스트레스에서의 최악 조건(기관전류가 최대가 되는 조건)과는 다른 조건에서 노쇠현상이 발생하는 바 스위칭 과도 동안의 V_G-V_D 관계, ramping and falling rate, 과도전류의 방향 등의 조건에 의해 결정된다. 따라서 inverter 에서 NMOS driver의 최악조건 혹은 소자의 수명을 결정하는데 있어서 이런 효과들을 신중하게 검토해서 포함시켜야 한다.^[13-16]

게이트 전류가 다른 측정파라미터(문턱전압, 기관전류, transconductance, 채널컨덕턴스 등)보다 노쇠화에 더 민감하지만 측정상의 어려움으로 인해 아직 실용화되지 못하고 있는 실정이다. 각 스트레스 조건에 따른 게이트 전류의 변화관계가 2장에 설명되었다. 3장에서는 게이트-드레인간의 정전류 스트레스에 의한 노쇠현상이, 4장에서는 저온에서의 정전압 스트레스에 의한 노쇠현상이 각각 분석되었고 5장에서는 실제 동작조건인 동교류 스트레스에 의한 노쇠현상이 분석되었다. 그리고 6장에서는 전하펌핑법으로 노쇠현상을 분석하였다.

II. 게이트 전류 측정에 의한 노쇠화 분석

현재까지 소자의 노쇠현상을 측정하는 측정파라미터로서 주로 문턱전압과 transconductance, 기관전류 그리고 채널컨덕턴스 등이 사용되어져 왔다. 그러나 게이트전류에 의한 노쇠현상에 대한 설명은 그 값이 매우 작고 측정상의 문제점 때문에 상당한 어려움이 따르는 관계로 전술한 다른 파라미터들에 비해 그 연구가 미미한 실정이다. 본 절에서는 각 스트레스 조건에 따른 게이트 전류의 변화와 게이트 전류 측정시에 주의해야 할 사항 등에 대해 고찰하고자 한다.

pA 단위의 낮은 전류를 측정하는데 있어서 MOSFET 소자의 게이트전류 특성은 측정전의 소자의 상태에 따라 매우 민감한 결과를 나타낸다. 예를 들면, 홀주입에 의한 스트레스를 가한 직후에 게이트전류를 측정하면, Si-SiO₂ 계면 부근의 산화막에 불안정하게 포획된 홀에 의해, 처음 측정한 결과는 그림 1에서 보이는 바와같이 실제 소자의 게이트 전류 특성보다 훨씬 큰 값을 나타낸다. 그림 1은 $V_G = -5V$, $V_D = 5V$ 의 홀주입 스트레스를 4분간 가한 후 연속적으로 두번(---), 세번(---), 네번(.....), 다섯번(.....) 측정한 결과를 첫번째 측정한 결과(—)와 비교하였다.

또한 소자를 안정된 상태에서 측정할 때에도 측정하는 과정 자체가 소자에 노쇠현상을 초래하게 된

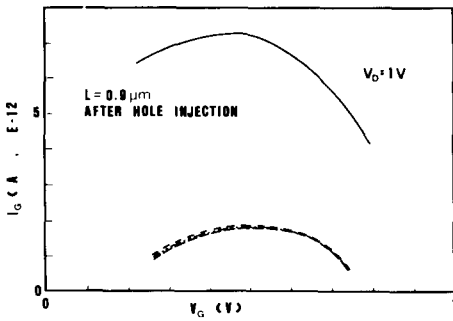


그림 1. $V_G = -5V$, $V_D = 5V$ 의 홀주입 스트레스 조건으로 4분간 가한 후 연속적으로 측정된 게이트 전류를 게이트 전압에 대해 나타낸 그림. 첫째 측정된 곡선(—)이 둘째(---), 셋째(· · ·), 넷째(· · · · ·) 그리고 다섯번째(· · · · ·) 측정된 값보다 훨씬 큰 값을 나타낸다. 드레인전압 $V_D = 1V$ 에서 측정된 값이다.

Fig. 1. Gate currents vs. gate voltage as a result of sequential measurements after the stress of $V_G = -5V$, $V_D = 5V$ (hole injection) for 4 minutes. Note the first curve (—) represents rather large value than second(---), third(· · ·), fourth(· · · · ·) and fifth(· · ·). $V_D = 1V$.

다. 즉, 그림 2에서 보이는 것처럼 안정된 초기상태에서 첫번째(—), 두번째(---), 세번째(· · ·), 네번째(· · ·) 그리고 다섯번째(· · · · ·)등과 같이 연속적으로 측정된 게이트 전류의 값이 조금씩 증가한다. 본 실험에서 게이트 전압의 측정스텝은 0.05V 간격으로 0V로부터 1V까지 20회 측정된 값을 그래프로 그린 것이다. 1회 측정과정에 소요된 시간은 15초이다. 그림 3은 $V_G = V_D = 4V$ 의 스트레스 조건으로 소자를 노쇠시켰을 때의 $I_G - V_G$ 관계를 스트레스 시간 15초(---), 1분(---), 2분(· · · · ·), 4분(· · · · ·), 8분(—)에 대해 각각 그린 그림이다. 스트레스 시간이 경과함에 따라 증가하는 율이 점차로 감소하고 최대 게이트 전류에 대응되는 게이트 전압 값이 증가하는데 이는 노쇠화 과정중에 게이트 산화층 내부에 포획된 전자에 의한 효과로써 설명된다.

III. 게이트-드레인 간의 정전류 스트레스에 의한 노쇠현상

얇은 산화층에서의 전자의 포획현상은, 정전류 스트레스^[17] 혹은 광전류-전압^[18] 방법으로 자세하게 연구되어져 왔다. 포획특성은 게이트 산화막의 전기적

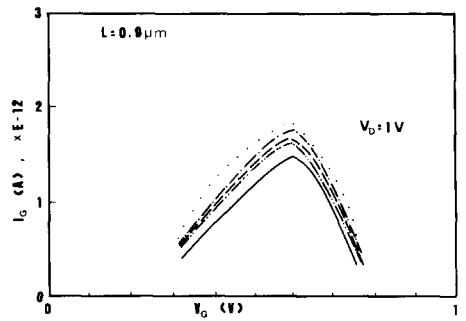


그림 2. 안정된 초기상태에서, $V_D = 1V$ 에 대한 게이트 전류를 게이트 전압에 대한 함수로 그린 그림

Fig. 2. Gate currents vs. gate voltage for $V_D = 1V$ with stable initial condition.

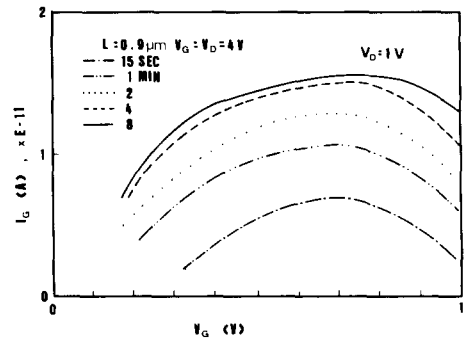


그림 3. $V_G = V_D = 4V$ 의 스트레스에 대한 $I_G - V_G$ 관계. $V_D = 1V$ 에서 측정된 값이다

Fig. 3. I_G vs. V_G for $V_D = 1V$ under the stress of $V_G = V_D = 4V$.

항복 성질을 연구하는데 있어서 MOS 커패시터에 일반적으로 적용되는 정전류 스트레스 방법이 연구되어 왔는 바 이는 SiO_2 내에서 충격이온화에 의한 홀포획이 산화층을 붕괴시키는데 있어서 중요한 역할을 한다고 가정한다.^[19] 그림 4는 게이트와 드레인 간에 정전류스트레스를 가하는 경우와 $V_G = V_D/2$ 로 뜨거운 전자에 의한 스트레스를 가하는 경우의 MOS-FET의 단면을 나타낸다. 정전류 스트레스 동안 전자는 Fowler-Nordheim 터널링^[20]에 의해 드레인 영역으로부터 산화층으로 주입된다. 이들 전자중 일부는 산화층 내에서 포획되고 나머지 일부는 게이트 산화층의 높은 전기장 ($> 8.8MV/cm$)이 걸리게 되어 SiO_2

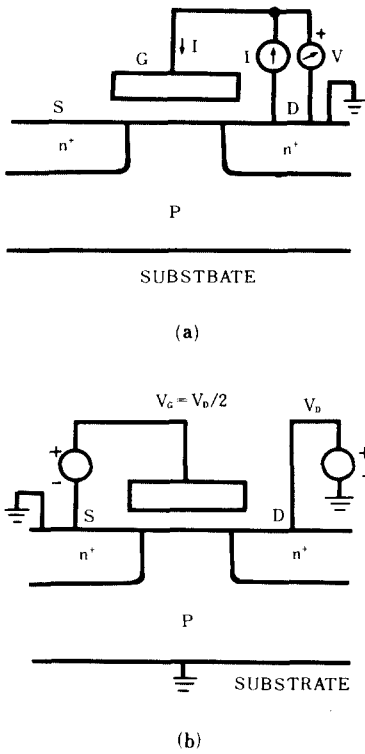


그림 4. (a) 게이트-드레인간의 정전류 스트레스, (b) 고전적인 뜨거운 운반자에 의한 스트레스를 각각 가할때의 단면도

Fig. 4. Schematic diagram of (a) constant current stress between gate and drain, (b) traditional hot-carrier stress.

내에서 충격 이온화에 의해 전자와 홀쌍을 발생시킨다.^[1]

산화층 속으로 주입된 전자가 산화층 속에 음전하와 양전하 모두를 유도하게 되며 양전하인 홀은 문턱전압을 음의 방향으로 이동시키고 음전하인 전자는 드레인 부근에서 포획되어 문턱전압을 양의 방향으로 이동시키게 되는데 이런 현상은 다음과 같은 현상학적 모델로써 잘 설명된다.^[21]

$$\begin{aligned} \Delta V_T &= \Delta V_T^- + \Delta V_T^+ \\ &= -(t_{ox} q \alpha / 2 \epsilon_{ox} \epsilon_0 \sigma') [1 - \exp(-Jt \sigma' / q)] \\ &\quad + (q N_t t_{ox} / 2 \epsilon_{ox} \epsilon_0) [1 - \exp(-Jt \sigma / q)] \end{aligned}$$

여기서 t_{ox} 는 산화층의 두께, α 는 충격이온화 계수, ϵ_{ox} 는 SiO_2 의 상대유전율, ϵ_0 는 자유공간에서의 유전율, σ' 은 충돌이온화에 의해 생성되는 홀과 전자의 재결합 단면적, σ 는 포획단면적, J 는 전자의

전류밀도, q 는 전자의 전기량, N_t 는 트랩의 밀도를 각각 나타낸다.

그림 5는 채널길이 $L=0.9\mu\text{m}$ MOSFET 소자에 그림 4에서 보여준 것처럼 소스와 드레인을 floating한 상태로 게이트-드레인 간에 $V_G=8\text{pA}$ 의 정전류 스트레스를 가했을 때 문턱전압 V_T 의 변화(threshold voltage shift)와 최대 transconductance $G_{m,max}$ 의 노쇠관계를 보여준다. 그림에서 보이는 바와 같이 문턱전압의 변화는 스트레스 시간에 대해 일정한 지수적 관계를 가지고 일관성 있는 변화를 보이는 반면, 최대 transconductance 값의 노쇠화는 문턱전압의 변화에 비해 덜 효율적임을 알 수 있다.

pA단위의 게이트 전류를 측정하는데 있어서 주의할 점은 앞에서 언급한 바와 같이, 측정하는 과정에서 소자가 스트레스를 받는 효과가, 실험적으로 고려되는 스트레스 효과에 영향을 미치지 않도록 같은 조건으로 수행해야 한다. 그림 6은 그림 5에서와 같은 조건으로 소자에 스트레스를 가했을 때 스트레스 시간 15초(—), 30초(---), 1분(-·-·-), 2분(·····), 4분(-----)에 대한 게이트전압의 변화관계를 보여준다. 여기서 이점쇄선(-·-·-)은 1분간 스트레스를 가한 후에 연속적으로 두번 측정된 값을 나타낸다. 그림에서 보이는 바와 같이 실제로 예상되는 값(30초, 2분, 스트레스 조건하의 특성 곡선 사이에 들어갈

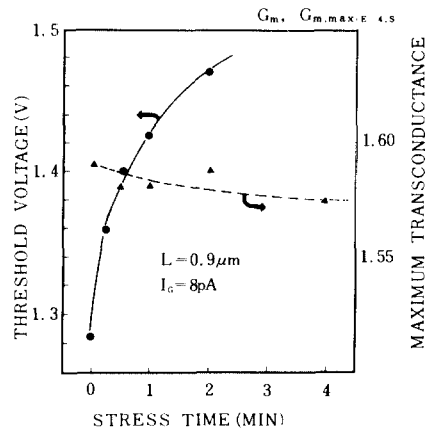


그림 5. $L=0.9\mu\text{m}$ 소자에 정전류 스트레스 $I_G=8\text{pA}$ 를 가했을 때 문턱전압의 변화와 최대 transconductance 값 변화의 시간에 대한 관계

Fig. 5. Threshold voltage shift and maximum transconductance degradation vs. stress time under constant current stress of $I_G=8\text{pA}$. $L=0.9\mu\text{m}$.

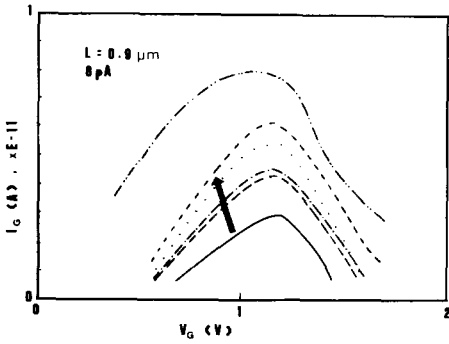


그림 6. 그림 5 에서와 같은 조건으로 게이트 길이 $L=0.9 \mu\text{m}$ 소자에 정전류 8 pA 의 스트레스를 가했을 때 게이트 전압에 대한 게이트 전류

Fig. 6. Gate current vs. gate voltage under constant current stress of 8 pA to the device of $L=0.9 \mu\text{m}$ with the same initial condition as fig. 5.

것으로 기대됨)보다 두배 정도 높은 값을 나타낸다. 그러나 그림 5에서 보이는 바와 같이 이러한 효과는 문턱전압의 변화 혹은 transconductance 노쇠현상에 그렇게 민감한 영향을 미치지 않는다.

그림 7은 초기에 $V_G = -5 \text{ V}$, $V_D = 5 \text{ V}$ 로 4분간 홀주입 스트레스를 가한 후에 $I_G = 10 \text{ pA}$ 의 정전류 스트레스를 가했을 때 게이트 전류의 변화를 게이트 전압에

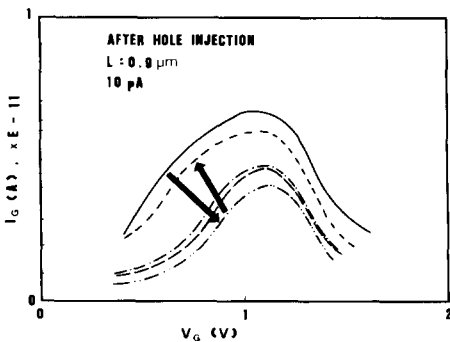


그림 7. 초기의 홀주입 스트레스후에 게이트-드레인간에 정전류 10 pA 의 스트레스를 가했을 때의 게이트전류의 변화를 게이트 전압에 대한 함수로 나타낸 그래프

Fig. 7. Gate current vs. gate voltage under constant current stress of $I_G = 10 \text{ pA}$ between gate and drain, after initial hole-injection stress.

대해 나타낸 것이다. 초기에 홀이 주입된 상태(—)에서 정전류 스트레스 시간이 경과함에 따라, 30초(---), 1분(-·-·-), 4분(·-·-·)이 지나면서 다시 증가하는 현상을 보여준다. 즉, 다수의 홀이 주입된 계면 부근에 뜨거운 전자가 주입되어서 전자-홀 재결합이 생성되는 과정에서 게이트전류가 감소하다가 이들이 보상(compensation)된 후에 다시 스트레스가 가해짐에 따라 게이트 전류가 증가하는 현상을 보여준다. 이런 결과들은 다음 절에서 논의 될 고전적인 뜨거운 운반자 스트레스에 의한 노쇠현상과 비슷한 경향을 보여준다.

IV. 저온에서의 정전압 스트레스에 의한 노쇠현상

MOS 관련 소자류의 저온특성은 이동도의 상승으로 고속 동작에 크게 유리하여 최근에는 액체질소 온도에서 MOSFET 소자의 동작에 상당한 관심을 가지게 되었다, 반면. 저온으로 갈수록 채널내의 뜨거운 전자에 의해 유도되는 노쇠현상(channel hot-electron-induced degradation)이 증가하는 바, 이것은 전자의 평균자유행로(mean free path)가 증가하고 따라서 채널전자의 운동 에너지가 증가하기 때문에 생기는 결과인 것으로 생각된다. 노쇠현상이 증가되는 현상을 연구하기 위해 77 K 에서 MOSFET의 뜨거운 전자의 효과에 대한 조사가 수행되었고,^[8,9,22-25] 계면 상태의 존재를 연구하기 위해 77 K 와 상온에서 전기적 특성을 측정 한 연구도 있다.^[10,26,28]

p-채널 MOSFET는 같은 크기(geometry)의 n-채널 소자 보다 뜨거운 전자에 의해 유도되는 노쇠현상에 덜 민감한 것이 발견되었다.^[8,29] 이런 현상은 충돌사이의 평균자유행로가 짧아 p-채널 MOS 소자의 채널 운반자 등가온도(equivalent temperature)가 낮아지는 이유 때문인 것으로 생각된다.^[30]

그림 8은 채널길이 $L=0.8 \mu\text{m}$ n-MOSFET 소자에 대해 소오스를 접지하고 기판은 floating한 상태로 77 K 에서 $V_G = V_D = 3.5 \text{ V}$ 조건으로 14시간 동안 노쇠시킨 후의 그래프(·-·-·)를 노쇠전의 경우(—)와 비교한 드레인 전류 및 transconductance G_m 의 특성 곡선이다. 선형적으로 급상승하는 전류값에 대응되는 게이트 전압값이 0.8 V 정도 증가했고, 최대 transconductance 값에 대응되는 게이트 전압값이 노쇠후에 1.3 V 증가했다. 그림에서 보이는 바와 같이 비교적 약한 스트레스 조건에서 채널전도성이 상당량 변화한 결과로부터 77 K 에서의 노쇠현상이 상온의 경우 보다 더 심각함을 알 수 있다. 이는 앞에서 언급한 이유 외에도, 스트레스에 의해 유도되는 계면상

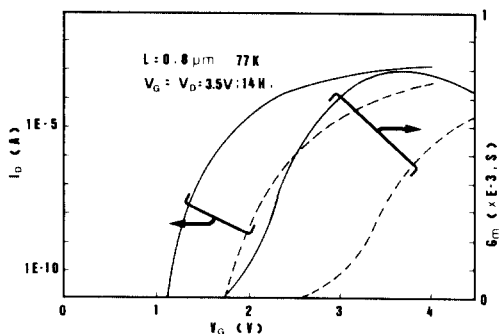


그림 8. 77K에서 $V_G = V_D = 3.5V$ 로 14시간동안 스트레스를 가했을때 (-----)의 I_D 와 G_m 값의 변화를 노쇠전의 경우 (—)와 비교한 그림
Fig. 8. Drain current and transconductance vs. gate voltage in comparison with before (—) and after (-----) stress of $V_G = V_D = 3.5V$ for 14hours at 77K.

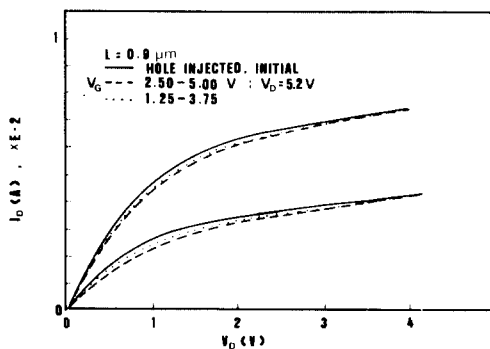


그림 9. 홀주입시킨 후의 소자의 상태 (—)에서, 드레인에 정전압 5V, 게이트에 펄스폭을 변화시키며 각각 150초 동안 스트레스를 가한 후의 $I_D - V_D$ 변화
Fig. 9. Drain current vs. drain voltage under the stress of $V_D = 5.2V$, $V_G =$ pulse of various high and lower level after hole injection (—).

태가 유효채널전자의 이동도에 미치는 영향이 상온에서 보다 77K에서 더 두드러지게 나타나기 때문이기도 하다. 즉 낮은 온도에서는 이온화된 불순물 산란(ionized impurity scattering)이 이동도에 더 크게 영향을 주는데 그 이유는 phonon scattering이 현저히 줄어들고 또, 주어진 채널전류에 대해서 스트레스에 의해 유도된 반개상태(stress-induced acceptor states)가 매우 많이 점유되었기 때문이다.

V. 동교류 스트레스에 의한 노쇠현상

최근에는 뜨거운 운반자의 주입(hot-carrier injection)에 의한 소자의 노쇠현상을 연구하는데 있어서, 직류 스트레스에 의한 효과 보다 동교류 스트레스에 의한 효과에 대해 더 많은 연구가 진행되고 있는바 이는 소자가 실제 동작조건인 동교류 동작조건(ac dynamic environment)에서 열화되기 때문이다.

직류스트레스에 의한 최악조건은 앞에서 설명한 바와 같이 어떤 특정한 드레인 전압에 대해 게이트전압이 기관전류를 최대로 발생시킬 때 이며 이 조건은 여러 경우에 대해 실험적으로 확인되어 있다.¹⁴⁾ 그러나 교류스트레스에 의한 노쇠현상에 있어서는 기관전류 외에도 게이트전압과 드레인 전압의 상관관계 및 스위칭과도 전류의 방향 등의 요인에 따라 그 노쇠화의 정도가 달라질 수 있다.

그림 9는 드레인에 정전압 5.2V를 가하고 게이트에 펄스폭 500ns, 펄스 high level 5V, lower level

2.5V(-----), high level 3.75V, lower level 1.25V(.....)를 각각 150초 동안 가한 후의 $I - V$ 곡선을 스트레스트전의 홀주입 ($V_G = 0.6V$, $V_D = 5.2V$ 를 150초 동안 가한) 상태 (—)와 비교한 그림을 나타낸다. Duty ratio는 50% 이다.

그림10은 그림 9에서와 같은 조건에서 펄스의 크기를 0.0-5.0V(-----), 0.0-2.5V(---), 1.25-3.75V(- - -), 2.5-5.0V(-----)로 각각 150초간 가한 후의 드레인 전류를 게이트 전압에 대해 나타낸 그래프이다. 여기서 $V_D = 0.1V$ 에서 측정된 문턱전압은, $V_G = 0.6V$, $V_D = 5.2V$ 의 조건으로 150초 동안 홀주입한 상태에서 0.54V였던 것이 0.95V(-----), 0.83V(---), 1.05V(- - -), 1.32V(-----)로 각각 노쇠화되었다.

그림11은 그림10에서와 같은 스트레스트 조건으로 노쇠시킨 소자의 문턱전압 변화를 스트레스트 시간에 대해 그린 그래프이다. 이 그림의 윗쪽 곡선(●)은 $V_D = 0.10V$, 아래쪽 곡선(▲)은 $V_D = 0.01V$ 에서 각각 측정된 값을 나타낸다. 30초동안 스트레스트를 가한 후에 측정하고 계속해서 또다음 30초의 스트레스트를 가하는 방법으로 5번 측정된 후에 다시 완화(relaxation)시키기 위해 홀주입 스트레스트($V_G = 0.6V$, $V_D = 5.2V$)를 같은 방법으로 5번 시행했다. (그림11의 V-T 참조). 그림에서 보이는 것처럼 뜨거운 전자 주입에 의한 노쇠현상은 홀주입 과정에서 대부분 회복

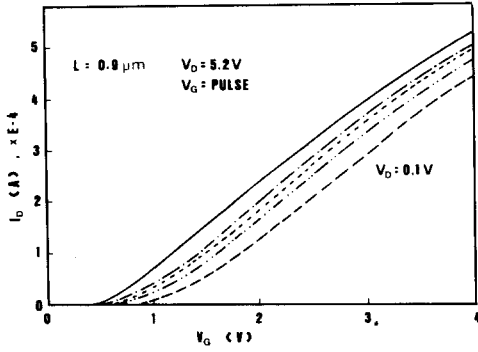


그림10. 드레인에 정전압 5.2V를 가하고, 게이트에 펄스 형태의 스트레스를 가한 후의 드레인 전류를 게이트 전압에 대해 나타낸 관계

Fig. 10. Drain current vs. gate voltage under the stress of $V_D = 5.2V$, $V_G = pulse$.

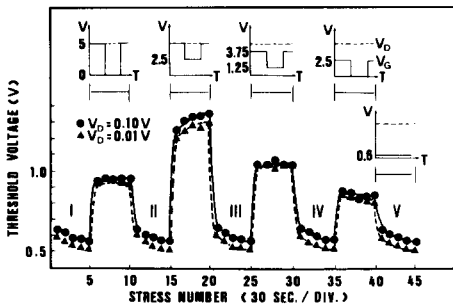


그림11. 각 스트레스 조건에 따른 문턱 전압의 변화를 스트레스 시간에 대해 나타낸 그림

Fig. 11. Threshold voltage vs. stress time under various stress conditions.

됨을 알 수 있다. 그리고 그 노쇠화의 정도는 펄스의 high level이 높을수록 심하다. 또 같은 high level에 대해서도 lower level이 낮을수록 완화되는 정도가 크다는 사실을 알 수 있다.

그림12는 그림11에서와 같은 조건으로 스트레스를 가했을 때 각 스트레스 조건에 따른 최대 transconductance 값의 시간에 대한 관계이다. 과도한 홀주입 스트레스에 의해 급격히 노쇠화된 transconductance 값은 뜨거운 전자의 주입에 의해 상당량 회복되는 현상을 보여 주는데 이런 현상은 문턱전압의 경우와는 반대되는 현상이다. 즉 V_T 와 G_m 에 관한 노쇠화 메카니즘이 다르다는 사실을 보여준다. 그리

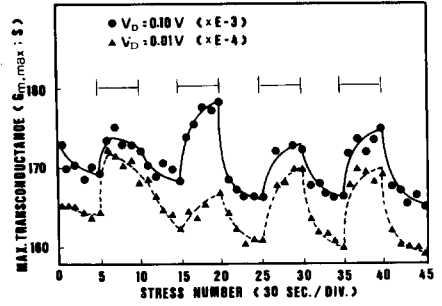


그림12. 그림11에서와 같은 조건으로 스트레스를 가했을 때 각 스트레스 조건에 따른 최대 transconductance의 변화 및 홀주입 스트레스에 의한 회복현상

Fig. 12. Maximum transconductance degradation and the recovery phenomena by hole injection under the same stress as fig. 11.

고 그림11과 그림12를 비교해 보면, 각 스트레스 조건에 따른 변화는 transconductance 보다 문턱전압의 경우가 더 민감하다는 사실을 알 수 있다. 그림12의 두 곡선 중 윗쪽 곡선(—)은 $V_D = 0.10V$, 아랫쪽 곡선(---)은 $V_D = 0.01V$ 에서 각각 측정한 값을 나타낸다.

그림13은 게이트에 정전압 4V를 가하면서 드레인에 주파수 1MHz, 펄스의 크기 0-6V인 구형펄스를 가할 때 duty ratio 20% (— 15초, --- 4분)와 80% (--- 15초, --- 4분)에 대한 최대 transconductance 값을 홀주입 ($V_G = -5V$, $V_D = 5V$; 4분)의 초기 상태(—)와 비교하여 게이트 전압에 대해 나타낸 그래프이다. 이들 곡선군은 $V_D = 0.1V$ 에서 측정한 결과이다.

특히 그림에서 보이는 바와 같이 홀 주입에 의해 좌측으로 이동된 곡선의 형태가 15초 동안의 스트레스(---)동안에 대부분 오른쪽으로 이동되었다. 이는 $V_G = -5V$, $V_D = 5V$ 의 홀주입 스트레스 조건에 의해 계면 부근의 산화층내에 주입되어서 불완전하게 포획된 홀들이 뜨거운 전자 주입 스트레스를 받음에 따라 곧 방출되거나 혹은 전자-홀 재결합과정을 통해 소멸되는 것으로 해석된다. Duty ratio가 20%인 경우 보다 80%의 경우가 훨씬 많이 노쇠되었다. 이는 소자가 실제로 받게되는 유효 스트레스 시간이 길어지는 사실로 설명된다.

그림14(a)는 그림13에서와 같은 조건으로 스트레스를 가했을 때 문턱전압의 변화를 시간에 대한 관계로써 duty ratio 20% (●), 80% (▲)에 대해 나타낸 곡

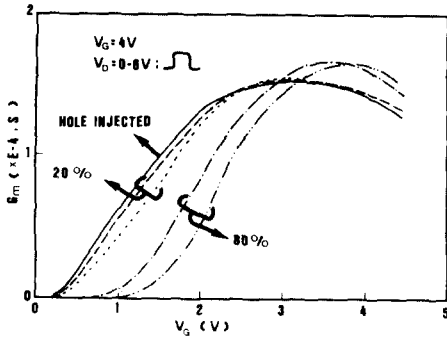


그림13. Duty ratio 20%와 80%에 대한 각 스트레스 시간에 따른 transconductance 값의 변화를 게이트 전압에 대해 그린 그림

Fig. 13. Transconductance change vs. gate voltage under various stress time with duty ratio 20% and 80%.

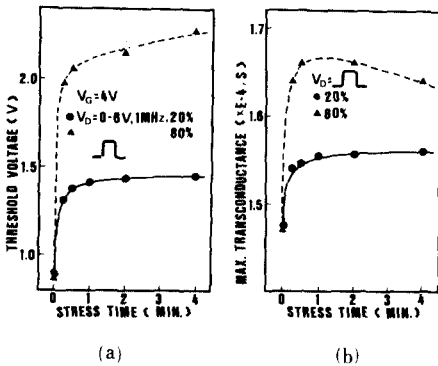


그림14. 그림13에서와 같은 조건으로 스트레스를 가했을 때 스트레스 시간에 대해 나타낸 문턱 전압의 변화(a)와 최대 transconductance 값의 변화(b)

Fig. 14. Threshold voltage shift (a) and maximum transconductance change(b) vs. stress time under the same stress condition as fig. 13.

선의 모양을 보여준다. 20%의 경우보다 80%의 경우가 두배 정도 더 큰 노쇠현상을 보여준다. 그림14 (b)는 최대 transconductance의 변화를 시간에 대해 나타낸 것이다. Duty ratio가 20%의 경우는 스트레스 시간이 1분이 경과하면서 거의 편평한 기울기를 가지고 서서히 회복되는 반면, 80%의 경우는 1분이 될 때 까지는 과도한 홀주입에 의해 감소한 최대

transconductance 값이 급격히 회복되었다가 1분이 지나면서 다시 뜨거운 전자에 의한 스트레스(hot-electron stress)를 받아 감소하는 현상을 보여준다.

그림15는 $V_g = -5V$, $V_d = 5V$ 로 4분간 홀주입시킨 후에 다시 스트레스 조건으로서 게이트에 $V_g = 4V$ 의 정전압을 가하면서 드레인에 삼각형 펄스형태로 펄스의 주파수 1MHz, 펄스의 크기 0-6V, duty ratio 20% 및 80%로 스트레스를 가할 때 transconductance 값의 변화를 게이트 전압에 대해 그린 것이다. 실선(—)은 뜨거운 운반자 스트레스 이전의 상태로써 4분간 홀 주입한 후 불안정하게 포획된 홀을 detrapping 하기 위해 연속적으로 두번 측정 한 후의 곡선이다. 선형적으로 상승하는 영역 ($0 < V_g < 2V$)의 곡선군은 스트레스시간이 경과할수록 우측으로 이동한다.

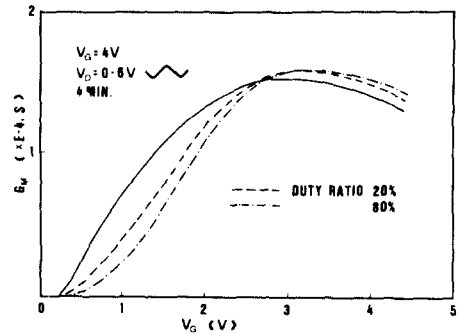


그림15. 초기에 $V_g = -5V$, $V_d = 5V$ 로 4분간 홀주입시킨후(—) 다시 게이트에 정전압 $V_g = 4V$ 를 가하면서 드레인에 삼각형 펄스의 형태로 1MHz, duty ratio를 20% (---)와 80% (-.-)로 스트레스를 가했을때 시간에 대해 나타낸 transconductance 값의 변화

Fig. 15. Transconductance vs. gate voltage for various stress time under stress condition of $V_g = 4V$, $V_d = 1MHz$, duty ratio 20% and 80% pulse after hole injection stress of $V_g = -5V$, $V_d = 5V$ for 4 minutes.

그러나 고전적인 뜨거운 운반자 스트레스 조건에서 transconductance의 최대값이 감소하는 반면, 여기서와 같이 초기에 홀주입에 의해 노쇠된 소자의 경우는 최대 transconductance 값이 회복되는 현상을 보여준다.

그림에서 보이는 바와 같이 선형영역 ($V_g = 1.5V$ 부근)에서 20%의 경우는 0.4V, 80%의 경우는 0.6V

정도 각각 우측으로 이동되었다. 그리고 최대 transconductance가 발생하는 게이트전압값도 20%인 경우 ($V_c=3.2V$) 보다 80%인 경우 ($V_c=3.4V$)가 0.2V 정도 더 크다.

그림16에 이들의 문턱전압의 변화관계를 시간에 대한 함수로 나타내었다. Duty ratio 20% 경우보다 80% 경우가 더 많이 노쇠 되었음을 알 수 있다. 이는 게이트 전압이 높은 상태에서 드레인 전압의 상승율이 작고 하강율이 큰 경우가 더 많이 노쇠됨을 의미한다.

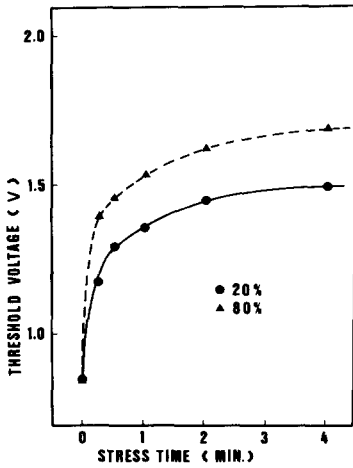


그림16. 그림15에서와 같은 조건으로 스트레스를 가했을 때 duty ratio 20% (●), 80% (▲)에 대한 문턱전압의 변화를 시간에 대해 나타낸 그래프

Fig. 16. Threshold voltage vs. stress time in comparison with 20% and 80% of duty ratio under the same stress as fig. 15.

Ⅵ. 전하펌핑법에 의한 노쇠화 분석

전하펌핑 측정법은 그림17처럼 소오스와 드레인을 공통으로 기판에 대하여 역방향 바이어스를 인가하고, 게이트에 펄스를 입력하여 기판으로 흐르는 전류의 크기를 관찰하는 방법이다. 그림에서 n 채널 MOSFET의 경우, 펄스의 전압이 문턱전압 V_T 보다 커지면 게이트 밑의 부분은 소오스 및 드레인으로부터 전자가 흘러들어 오는 반전층이 형성되며 이들 중 일부는 계면트랩에 의하여 포획된다. 게이트 펄스가 반대로 V_T 보다 낮아지게 되면 반도체 표면은 축적 상태가 되며 이에 따라 반전층을 형성하던 유동 운

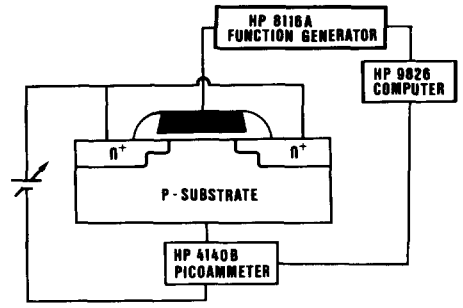


그림17. 전하펌핑전류 측정의 개념도

Fig. 17. Schematic diagram of charge pumping current measurement.

반자들은 소오스 및 드레인으로 돌아가고, 계면트랩에 포획되었던 전자들이 다수운반자인 홀과 재결합하여 기판전류가 발생하게 된다. 이 기판전류를 전하펌핑전류 (charge-pumping current)라 하며, 계면트랩의 작용에 의한 성분이므로 전하펌핑 전류의 측정을 통하여 계면트랩의 밀도를 계산할 수 있다.

전하펌핑법에는 여러 가지 방법이 있지만,^[31-36] 본 연구에서는 뜨거운 운반자의 스트레스에 따르는 전하펌핑 전류 변화를 관찰하기 위하여 10KHz, 삼각형 펄스를 사용, duty ratio 50%, 역바이어스 전압 0V의 조건에서 스트레스를 가하며 전하펌핑 전류 증가를 측정 plot 하였다. 이때 펄스 전압의 lower level 값은 -3V로 두고 higher level 값을 증가시키며 측정하였다.

그림18에 $V_c=2V$, $V_D=4V$ 의 조건으로 스트레스를 가했을 때 전하펌핑전류의 시간에 따른 변화를 문턱 전압의 경우와 비교하여 나타내었다. $V_c=-4V$, $V_D=4V$ 의 완화(relaxation) 조건으로 4분간 가한 초기 상태에서부터 뜨거운 운반자의 스트레스 시간이 경과함에 따른 전하펌핑 전류의 증가 경향은 문턱전압과 같은 경향(trend)를 보이고 있고 따라서 표면상태의 증가가 소자의 노쇠화에 직접적인 관계가 있음을 암시하고 있다.

Ⅶ. 결 론

게이트 전류가 MOSFET 소자의 노쇠현상의 분석에 가장 민감한 측정파라미터이지만 측정전의 소자의 상태에 따라 크게 변화하며, 측정 과정자체가 소자에 미치는 영향 및 외부의 영향을 신중하게 포함시켜야 함을 밝혔다. 게이트-드레인간의 정전류 스트레스에 의한 노쇠현상도 고전적인 뜨거운 운반자에 의한 노쇠현상과 비슷한 경향을 가진다.

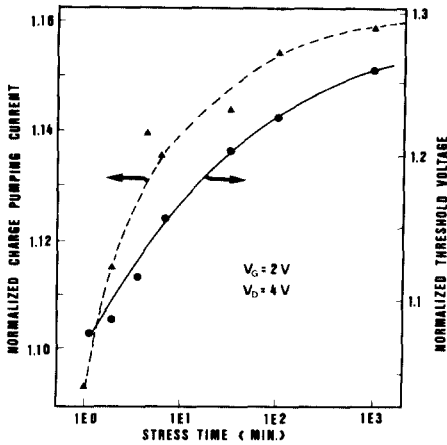


그림18. 스트레스 시간에 따른 전하펌핑전류와 문턱 전압의 변화곡선

Fig. 18. Charge pumping current and threshold voltage vs. stress time.

77K에서는 비교적 약한 스트레스 조건에서도 상온에서 보다 훨씬 크게 노쇠화 된다.

뜨거운 운반자 스트레스에 의해 노쇠화된 소자의 V_T 는 relaxation 스트레스인 홀 주입에 의해 상당량 회복되는 반면 $G_{m,max}$ 는 relaxation 과정에서 급격히 노쇠화되고 뜨거운 운반자 주입에 의해 오히려 회복되는 현상을 보인다.

동교류 스트레스가 소자에 가해질때는 펄스의 모양 및 high, lower level 그리고 duty ratio 등에 따라 노쇠화 현상이 달라진다. 계면상태를 분석하기 위해 전하 펌핑전류를 측정하였으며 그 결과 I_{CP} 는 V_T 의 변화와 같은 경향을 가진다.

參 考 文 獻

[1] P.E. Cottell et al, *IEEE Trans. Electron Devices*, vol. ED-26, p. 520, 1979.
 [2] Hiroaki Mikoshiba et al, *IEEE Trans. Electron Devices*, vol. ED-33, p. 140, 1986.
 [3] R.S. Muller and T.I. Kamins, *Device Electronics for Integrated Circuits*. New York: Wiley, pp. 91-95, 325-331. 1977.
 [4] E. Takeda et al, *IEEE Electron Device Lett.*, vol. EDL-4, p. 111, 1983.
 [5] C. Hu et al, *IEEE Trans. Electron Devices*, vol. ED-32, p. 375, 1985.

[6] H. Gesch et al, *IEEE Trans. Electron Device*, vol. ED-29, p. 913, 1982.
 [7] E. Takeda et al, *J. Appl. Phys.*, vol. 55, p. 3180, 1984.
 [8] K.K. Ng et al, *IEEE Trans. Electron Devices*, vol. ED-30, p. 871, 1983.
 [9] J.R. Davis, *IEEE Proc.*, vol. 127, p. 183, 1980.
 [10] T.H. Ning et al, *J. Electron Mat.*, vol. 6, p. 65, 1977.
 [11] D.P. Foty et al, *IEEE Trans. Electron Devices*, vol. ED-34, p. 107, 1987.
 [12] F.C. Hsu et al, *IEEE Electron Device Lett.*, vol. EDL-5, p. 148, 1984.
 [13] W. Weber et al, *IEEE Trans. Electron Device Lett.*, vol. EDL-5, no. 12, Dec. 1984.
 [14] R.B. Fair et al, *IEEE Trans Electron Dervie* vol. ED-28, no. 1, Jan. 1981.
 [15] F.C. Hsu et al, *IEEE Trans. Electron Devices*, vol. ED-32, no. 2, p. 394, 1985.
 [16] K.L. Chen et al., *IEEE Trans. Electron Devices*, vol. ED-33, p. 424, 1986.
 [17] M.S. Kiang and C. Hu, in *IEDM Tech. Dig.*, p. 396, 1981.
 [18] D.J. DiMaria, *J. Appl. Phys.*, vol. 47, p. 4073, 1976.
 [19] I.C. Chen, S.E. Holland, and C. Hu, *IEEE J. Solid-State Circuits*, vol. SC-20, p. 333, 1985.
 [20] Z.A. Weinberg, *Solid-State Electron.*, vol. 20, p. 11, 1977.
 [21] S.C. Jain and S.K. Meta, *Proc. 2nd International Workshop on Physics of Semiconductor Devices*, (Edited by S.C. Jain and S. Rodhkrishna), p. 1. McGraw-Hill, New Delhi, 1984.
 [22] J.A. Bacchitta et al, *IEEE Trans. Electron Devices*, vol. ED-32, p. 1850, 1985.
 [23] D. Lau et al, *IEDM Techn. Dig.*, p. 565, 1985.
 [24] D.-H. Ju et al, *IEDM Tech. Dig.*, p. 569, 1985.
 [25] A.K. Henning et al, *IEDM Techn. Dig.*, p. 573, 1985.
 [26] W.V. Backensto et al, *IEEE Proc.*, vol. 127, pt. 1, p. 81, 1980.
 [27] E. Kamieniecki et al, *Solid-State Electron.*, vol. 23, p. 79, 1980.
 [28] S.K. Lai, *J. Appl. Phys.*, vol. 54, no. 5, p. 2540, 1983.
 [29] T. Tsuchiya and J. Frey, *IEEE Electron*

- Device Lett.*, vol. EDL-6, pp. 8-11, 1985.
- [30] K. Peng and M. Afromovitz, *IEEE Electron Device Lett.*, vol. EDL-3, p. 360, 1982.
- [31] J.S. Brugler et al., "Charge pumping in MOS devices," *IEEE Trans., Electron Devices*, pp. 297-302, Mar. 1969.
- [32] J. Bosch, Groningen State University.
- [33] U. Cilingiroglu, "A general model for interface trap charge-pumping effects in MOS devices," *Solid-State Electronics*, pp. 1127-1141, 1985.
- [34] R.A. Wachnik, "The use of charge pumping to characterize generation by interface traps," *IEEE Trans., Electron Devices*, pp. 1054-1061, July 1986.
- [35] R.A. Wachnik et al., "A model of the charge pumping current based on small rectangular voltage pulses," *Solid-State Electron.*, 1986.
- [36] G. Kaden and H. Reimer, "Ladungstragereinfang in MOS-stuk-turen mit externer Minoritatstragerquelle," *Phys. Status Solidi*, p. 183, 1975.
- [37] J.G. Simmons et al., "Theory of dynamic charge current and capacitance characteristics in MIS systems containing distributed surface traps," *Solid-State Electron.*, p. 53, 1973.
- [38] W.L. Tseng, "A new charge pumping method of measurings Si-SiO₂ interface states," *J. Appl. Phys.* vol. 62, pp.591-599, July 1987.*

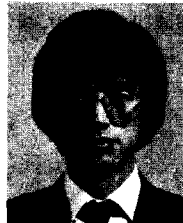
著 者 紹 介



姜 光 男 (正會員)

1945年 3月 15日生. 1968年 2月 서울대학교 물리학과 졸업. 1971年 2月 서울대학교 대학원 물리학과 석사 학위 취득. 1983年 10月 프랑스 그레노블공대 공학박사학위 취득. 현재 한국과학기술원 광전자 공학연

구실장. 주관심분야는 GaAs MESFET 및 MMIC 공정개발, Short Channel Device Physics, Optical Waveguide on III-V Semiconductor. High Speed Detectors & Optical IC 등임.



崔 柄 眞 (正會員)

1961年 6月 5日生. 1984年 2月 성균관 대학교 물리학과 졸업. 1986年 8月 서울대학교 물리학과 석사학위 취득. 현재 한국과학기술원 광전자공학 연구실 연구원.

주관심분야는 Hot carrier Degradation in Short Channel Devices 및 Device Physics 등임.