

텅스텐 할로겐 램프에 의한 절연층 상의 실리콘 박막 급속 열처리

(Rapid Thermal Annealing of Silicon on Insulator(SOI) with a W-Halogen Lamp)

金 春 權*, 金 龍 泰*, 閔 碩 基*

(Chun Keun Kim, Yong Tae Kim and Suk Ki Min)

要 約

텅스텐 할로겐 램프를 사용하여 RTA 장치를 제작하고 절연층상의 실리콘박막(SOI)에 인을 주입한 후 종자창을 이용하여 비정질 실리콘층의 재결정화를 시도하였다. 이 실험의 주된목적은 용융된 비정질 실리콘층의 고체화 과정에서 일정한 결정방향이 생길 수 있는 가능성에 대해서 고찰하고자 하는데 있었다. 1040°C, 15초간 열처리한 경우 종자창을 얻 부분에서 twin boundary들이 관찰되었다. 이들 twin boundary는 재결정화가 부분적으로는 가능하다는 것을 말해주고 있으며, 1150°C 열처리시에 <110> facet을 가진 (100) etch pit들이 용융된 비정질층에서 관찰되었다. 또한, 재결정화 시킨 박막의 전자 이동도를 측정하고 결정립계의 열적거동을 SEM으로 조사하였다.

Abstract

We have implemented a RTA system using W-halogen lamps and tried to recrystallize the phosphorus ion implanted amorphous silicon on insulator (SOI) taking advantages of seeding window. The purpose of this study is to investigate the possibility of a typical crystalline orientation occurred during the solidifying process of molten amorphous silicon layer. Experimental results show that several twin boundaries are found on the seeding window region after annealing for 15 sec at 1040°C. These twin boundaries represent that the recrystallization is partially possible and when the annealing is done at 1150°C, (100) etch pits with <110> facets are found on the solidified amorphous silicon layer. Consequently, Hall mobility of recrystallized silicon film is measured and the thermal behavior of grain boundary is also observed by SEM.

I. 서 론

최근 절연기판 상에 성장시킨 비정질 혹은 다결정 실리콘층 (silicon on insulator : SOI)를 재결정화 시

키는 기술이 많이 연구되고 있다. 그 이유는 종래의 실리콘 소자 제조공정을 거친 후 다시 그위에 절연층을 도포하고 비정질 혹은 다결정 실리콘층을 저온에서 증착시킨 후 재결정화를 시킴으로써 3차원구조 소자, 평판표시기 및 초고집적 소자 창출이 가능하기 때문이다.^{1~4}

*正會員, 韓國科學技術院 半導體材料研究室
(Semiconductor Materials Lab., KAIST)

接受日字 : 1988年 2月 10日

재결정화 기술은 크게 나누어 SPE (solid phase

epitaxy) 와 LPE (liquid phase epitaxy) 로 분류되는데 LPE 법 재결정화는 비정질 실리콘의 용융점으로 알려진 1080°C 이상의 고온에서 급속 열처리하여 실리콘층을 일단 용융시킨 후, 냉각시키면서 재결정이 일어나도록 하는 방법이다.¹⁷⁻¹⁹ 현재까지 보고된 재결정화 기술들은 주로 레이저,⁷⁻¹² 전자빔^{13,14} 을 사용한 것으로 결정축방향의 제어, 무결함 단결정 제조가 가능하여 3층 이상의 3차원 소자를 성공시킨 것으로 보고되고 있다. 그러나 레이저나 전자빔은 근원적으로 국부가열 방식임으로 thermal profile에 따른 온도분포의 불균일성과 박막의 표면특성에 따른 흡수에너지의 차이등이 문제점으로 지적되고 있다. W-wire¹⁵ 및 graphite strip heater^{16,18} 는 zone refining 방식과 같이 strip bar 를 주사 함으로써 국부가열에서 오는 문제는 해결할 수 있으나, multi wavelength 를 가진 black body radiation 을 이용함으로써 박막에 따라 흡수되는 에너지가 다르므로 균일한 열처리 효과가 기대되기 어렵다. 반면 arc 나 할로겐 lamp 는 일정한 파장을 가지면서 scanning 을 하지 않고 일정한 영역을 한꺼번에 빛을 쬐어 열처리함으로써 전자들의 단점을 보완할 수 있는 장점이 있으나 결정축 방향의 제어, 박막에 따른 에너지 흡수의 차이 등에 대한 연구가 아직 전무한 형편이다.^{11,19-21} 이밖에도 RF source²², plasma²³ 등을 이용한 SOI 의 열처리 기술이 있으나 재결정화에는 미치지 못하고 열처리에 따른 다결정의 trap passivation 효과를 기대하는 정도이다.

결국, 재결정화의 핵심은 특정 결정방향으로 성장시킨 large single crystal SOI 를 얻는데 있으며, 따라서 재결정화에 따른 결정구조의 변화에 기초적인 연구가 진행 되어야 한다고 판단된다.

본 실험에서는 적외선 파장을 가진 텅스텐 할로겐 램프를 사용하여 매우 간단하고 저렴하게 RTA 장치를 제작하였다. 이 RTA 장치를 이용하여 SOI 의 재결정화 과정에서 나타나는 결정구조의 변화를 관찰하기 위하여 종자층의 유무에 따라 용융 재결정화된 실리콘층의 결함의 생성과 구조를 조사하고 재결정화된 SOI 의 전기적 특성변화에 대한 고찰을 시도하였다.

II. 실험

SOI 의 재결정화 실험에 필요한 RTA 장치를 제작하였다. 그림 1 은 제작된 RTA 장치의 개략도이다. 장치의 구성은 외곽 chamber 와 내부의 석영cylinder chamber 로 양분되어 있고 외곽 chamber 는 가열원으로 사용한 텅스텐 할로겐 램프와 반사경등이 부착되

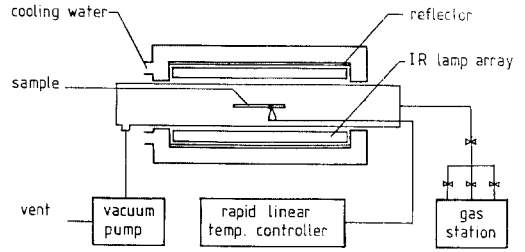


그림 1. RTA 장치의 개략도
Fig. 1. Schematic diagram of RTA system.

어 있다. 재결정화 공정은 시료를 놓는 기관과 K 형 열전쌍등으로 구성된 내부의 석영 chamber 에서 수행한다. 램프의 규격은 1kW, 220V 용으로 길이 23 cm, 직경 12mm 의 크기이며 총 23개의 램프를 내부 chamber 의 상하에 나란히 배열하였으며, 램프 간격은 실험조건에 따라 임의로 조절 가능하도록 하였다. 외곽 chamber 및 반사경은 알루미늄을 사용하였으며 냉각수가 흐르도록 2 중 벽으로 구성되어 있다. 실험에 사용한 시편은 결정방향이 (100), 비저항 5-6 ohm-cm 이며 실험과정은 표 1 과 같다.

표 1. 실험과정
Table 1. Experimental procedures.

(100) Si 5-7 ohm-cm
cleaning
thermal oxidation 5000Å
lithography
cleaning
LPCVD poly Si 5000Å
phosphorus ion implant.
LPCVD SiO ₂ 2500Å
RTA

Lithography는 재결정화에 필요한 종자창 (seeding window) 를 만들어 주기 위한 공정으로 종자창의 크기는 최소 $5\mu\text{m} \times 5\mu\text{m}$ 에서 $300\mu\text{m} \times 300\mu\text{m}$ 까지 다양한 크기와 모양으로 제작하였다. 종자창을 연 후 LPCVD 방법으로 실리콘층을 5000 \AA 성장시켰으며 이 실리콘층에 인을 80 keV 로 가속 시켰으며, 이온 농도에 따른 용융점의 변화를 알아 보기 위해 각각 $1 \times E13$, $1 \times E14$, $1 \times E15$, $1 \times E16\text{ atoms/cm}^2$ 로 주입 시켰다. 이온주입 공정이 끝난 후 급속 열처리 시인의 out diffusion 과 반사 효율을 고려하여 2500 \AA 의 산화막을 도포한 후 질소 분위기에서 온도 ($600\text{--}1170^\circ\text{C}$), 시간($5\text{--}30$ 초) 의 변화에 따른 급속 열처리 실험을 하였다.

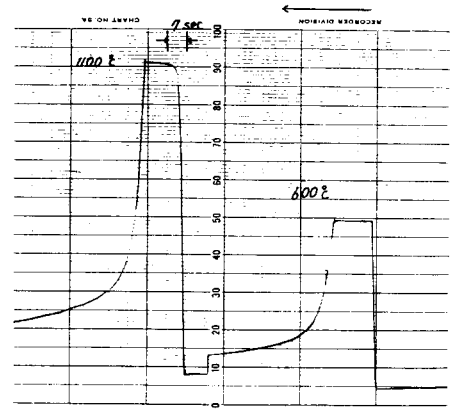
재결정화된 실리콘층의 특성조사는 Wright etchant 를 사용하여 결정결함 및 재결정화 과정에서 발생하는 표면의 morphology 변화와 단면을 간섭 현미경으로 조사하고 SEM으로 재확인 하였으며 Hall 측정으로 열처리에 따른 전자이동도의 변화를 고찰하였다.

III. 결과 및 고찰

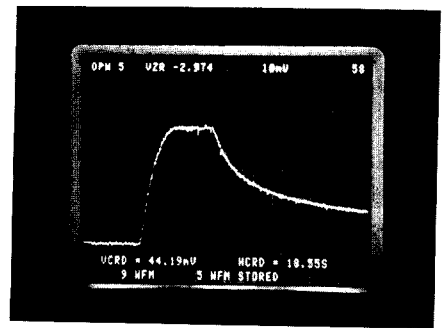
1. RTA 장치의 온도 특성 및 시료의 slip 발생 제거

그림1(a), (b)는 제작된 RTA 장치의 온도특성용 strip charter 기록계 및 오실로스코프로 측정한 결과이다. 가열속도는 $110^\circ\text{C}/\text{sec}$ 이며 냉각속도는 $-50^\circ\text{C}/\text{sec}$ 이다. 일반적으로 급속가열 방식에서 나타나는 overshoot 이 전혀 관측되지 않았으며 온도제어 장치는 선형제어 방식이 적합함을 알 수 있었다.

텅스텐 할로젠 램프를 이용한 급속열처리 방법은 레이저 빔 방식에서 나타나는 국부적인 thermal gradient 의 차이에 의해 발생하는 thermal stress 를 제거할 수 있는 장점이 있는 것으로 알려져 있으나,⁽²⁴⁾ 가열방식에 따라 시료표면의 온도분포가 고르지 않거나 기판과 시료가 맞닿을 때 열전도도의 차이에 의한 thermal stress 가 시료에 slip 을 발생하게 하는 원인이 된다는 보고가 많이 있었다.^(17,24~26) 본 실험에서는 열전도도의 차이에 따른 slip 발생 여부를 알아보기 위하여 석영 spacer, 실리콘 및 흑연 기판을 사용하여 시료에서 slip 이 발생하는가를 조사 하였다. 그 결과 그림3(a)에서 볼 수 있는 것과 같이 석영 기판위에 5mm 크기의 석영 spacer 를 놓고 그 위에 시료를 올린 상태에서 열처리 한 결과 무수히 많은 slip line 들을 볼 수 있었다. 그러나, 석영기판 대신 ultra pure 흑연기판을 사용하고 시료의 가장 자리를 흑연판으로 가린 후 열처리 한 경우 그림3(b)에서와 같이 전혀 slip 이 발생하지 않음을 알 수 있



(a)



(b)

그림 2. (a) Strip chart 기록계로 측정한 RTA 장치의 온도 profile

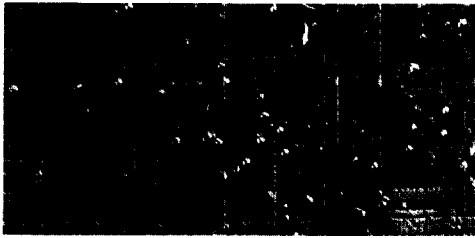
(b) Oscilloscope로 측정한 RTA 장치의 온도 profile

Fig. 2. (a) Temperature profile of RTA system obtained from strip chart recorder, (b) Oscillogram of temperature profile of RTA system.

었다.

2. SOI의 재결정화에 따른 결정구조 변화

Brown^(7,27) 등의 결과에 의하면 비정질 실리 콘의 용융점은 결정질에 비해 300°C 정도 낮은 1080°C 근방인 것으로 보고하였다. 본 실험에서는 이온주입 농도 차이에 따른 용융온도의 변화를 관찰하였으나 이온 농도에 따른 용융점의 변화를 볼 수 없었고, 인을 $1 \times E16\text{ atoms/cm}^2$ 로 주입시킨 결과를 대표적으로 살펴보면, 그림 4에서 볼 수 있는 것과 같이 1000°C 에서 1170°C 까지 15초간 열처리 하였을 때 1040°C 에서부터 실리콘층이 용융하기 시작하였으며, 1125°C



(a)



(b)

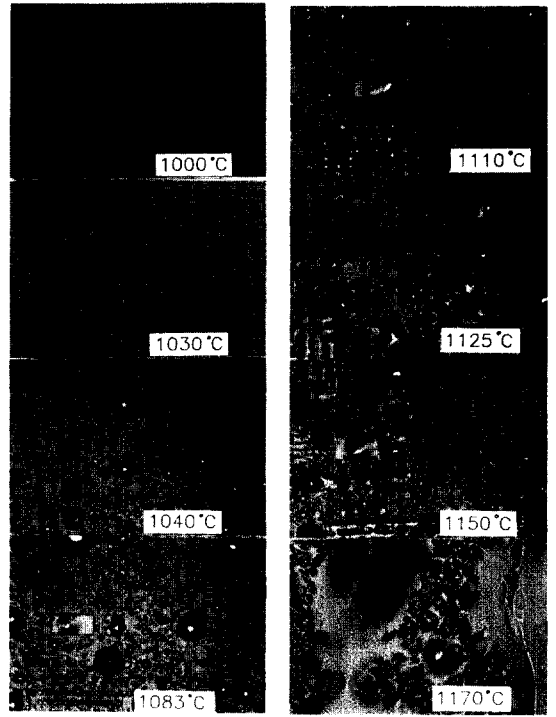
그림 3. (a) Thermal stress에 의하여 시료 표면에 나타난 slip line
(b) 흑연기판 및 thermal guard ring을 사용한 경우의 깨끗한 표면사진

Fig. 3. (a) Slip lines on the samples due to thermal stress.

(b) Micrograph of clean surface of the sample annealed with graphite substrate and thermal guard.

에서는 절연층까지 녹는것을 볼 수 있었다. 따라서 1040°C에서 종자창이 있을 때와 없을 때로 나누어 재결정화에 따른 결정구조에 변화를 관찰하였다.

먼저 종자창을 연 부분을 중심으로 살펴볼 때 그림 5에서 보여주는 바와 같이 비정질층이 용융된 후 고체화 되면서 liquid-solid interface가 종자창 바깥으로 확대 되어간 것을 볼 수 있는데, 이것은 비정질층이 단결정층과 맞닿아 있는 종자창 영역에서는 비정질층이 녹을때 단결정 표면층까지 녹았다가 다시 고체화 되어가는 과정에서, 단결정 표면층부터 고체화되면서 비정질층의 결정방향을 특정 방향으로 orientation 할 수 있다는 가능성을 보여주는 것으로 판단 된다. 이 사실을 확인 하기위하여 종자창 영역에서 재결정화된 실리콘층의 결정 상태를 조사 하였다. 그결과 그림6(a), (b)에서 표시 한 바와 같이 twin boundary 들을 볼 수 있는데 이 twin boundary 들은 비정질 상태에서 결정질 상태로 변화하는 과정에서 통상 나타나는 결함으로 보고되고 있다.^(8,26,28,29)



small scale : 10 μ m

그림 4. 기판온도 1000°C 에서 1170°C 범위의 온도에서 열처리 후 조사한 표면형태

Fig. 4. Photographs of surface morphology according to the annealing temperature ranging from substrate temperatures, 1000°C to 1170°C (dopant : phosphorus, $1 \times E16$ atoms/cm², 80keV).

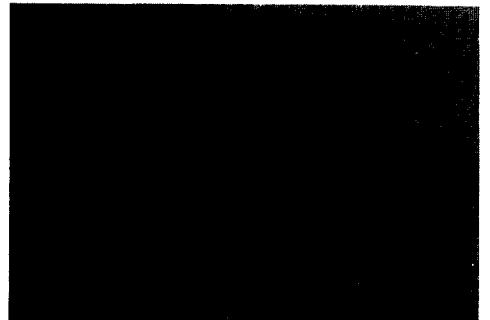


그림 5. 종자창에서 재성장된 박막의 확대
Fig. 5. Enlargement of the regrown film on the seeding window.

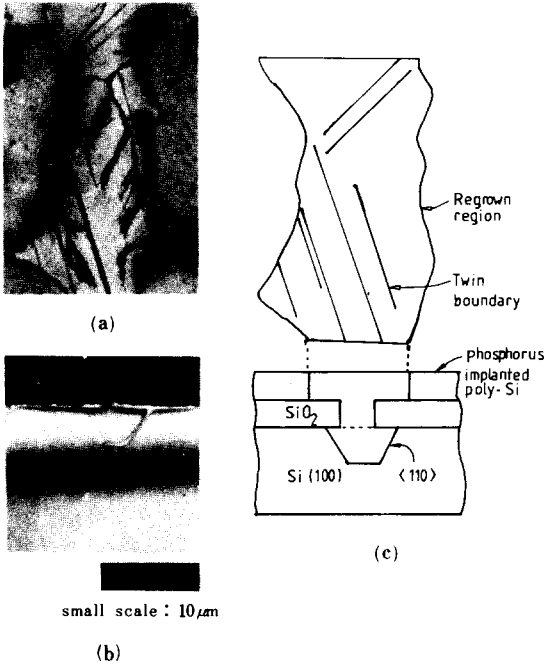


그림 6. (a) 종자창 영역에서 재성장된 박막 결정 상태
 (b) 재성장된 박막의 입체 개략적 설명도
 (c) 성장된 영역의 단면에서 나타난 slip line

Fig. 6. (a) Crystal structure of the regrown film on the seeding window.
 (b) 3-D schematic diagram of the regrown film.
 (c) Slip line on the cross section of the region.

또한 실리콘 단결정 성장실험에서도 결정의 orientation이 깨어지기 시작할 때 twin boundary부터 먼저 생기는 것을 볼 수 있었다. 종자창을 열지 않았을 때의 경우는 그림 7에서와 같이 절연층상에 실리콘bead들을 관찰할 수 있는데 이들은 모두 dendrite 구조를 이루고 있는 것을 볼 수 있었다. 이와 같은 dendrite 구조는 결정 성장시 실리콘이 녹은 후 고체화 되면서 나타나는 구조이다.

비정질층과 단결정 실리콘층이 용융-고체화되는 과정에서 상호간의 결정성에 미치는 영향을 알아보기 위해 열처리 온도를 1150 $^{\circ}$ C로 올려서 종자창의 유무에 따른 차이를 알아 보았다. 그림 8은 300 μ m \times 300 μ m 크기의 종자창에서 비정질층이 용융-고체화 과정을 거치면서 (100) 실리콘 구조에서 특징적으로 나타나는 정사각형 모양의 etch pit 이 선택적 식각공

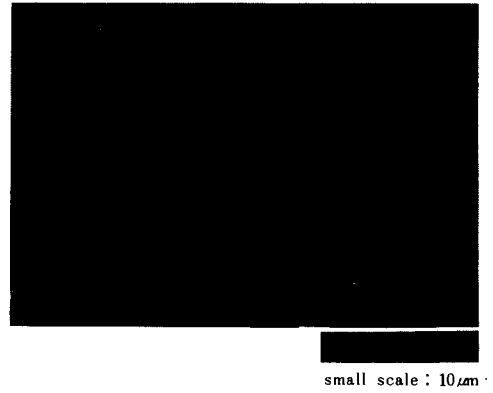


그림 7. 용융된 실리콘 bead에서 관찰된 dendrite 구조

Fig. 7. Dendrite structure of melt down silicon bead.

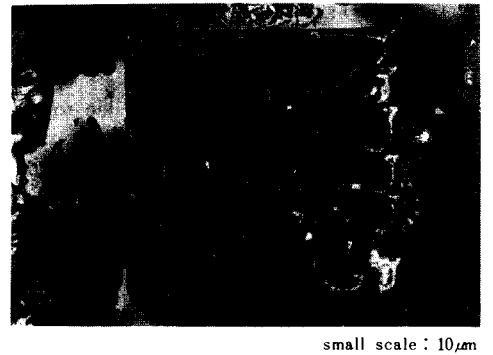


그림 8. 종자창에서 관찰된 melt through pit들의 사진

Fig. 8. Micrograph of melt through pits appeared on the seeding window.

정 없이 드러난 것을 보여주고 있다. 이와같이 방향성있는 결합을 가질 수 없는 비정질층에서 (100) 실리콘층에서 볼 수 있는<110> facet 을 가진 melt through pit 을 가진다는 것은 1040 $^{\circ}$ C에서 비정질층과 단결정 실리콘 표면층과의 용융접합에 의한 결정 방향성 제어 가능성에 대한 설명으로 충분하다고 판단된다. 1150 $^{\circ}$ C에서 30초간 열처리 할 경우 그림 9에서와 같이 종자창이 없는 절연층상의 재결정화된 실리콘 표면에서 무수히 많은 <110> facet 을 가진 melt through pit 을 볼 수 있었다. Gibbons¹⁹⁾ 등도 비정

절층이 용융할때 절연층 아래까지 녹여서 실리콘 기판층에서 파생된 melt through pit 을 보고한 바 있다.

이상의 결과로부터 텅스텐 할로젠 램프를 사용한 RTA 방법이 SOI 구조의 재결정화에 유용하게 이용될 수 있는 가능성을 찾아보았다. 그러나 이 방법이 실용적으로 이용되기 위해서는 개선되어야 할 문제점도 동시에 발견할 수 있었다.

그림6(c) 와 같이 재결정화 시킨 종자층 영역의 단면을 조사한 결과 <110> 방향의 slip line 을 발견할 수 있는데 이로부터 비정질층과 단결정층의 용융 접합점에서 고체화가 진행되면서 단결정층에서 가장 shear stress 를 받기 쉬운 <110> 방향으로 slip 이 전파된 것으로 판단된다. 또한 비정질층의 두께, 반사막의 두께 절연층의 두께, 종자층의 크기, 방향, 열처리 시간 등 최적 재결정화 조건에 대한 연구와 소자제조를 통한 결함의 영향에 대한 고찰이 계속되어야 할 문제로 판단된다.

재결정화에 따른 결정구조상의 변화와 함께 실제 소자의 특성에 영향을 주는 전자이동도를 조사하기 위하여 Hall 효과를 측정하였다. 열처리 조건에 따라 인의 농도 차이에 따른 Hall 측정을 시도하였으나, $1 \times E16 \text{ atoms/cm}^2$ 의 경우를 제외하고는 접합저항이 매우 크므로 측정된 전자이동도의 오차가 심하여 data 에서 제외하였다. 그림10은 온도를 600°C 에서 1150°C 까지 변화시키면서 각 온도에서 15초씩 열처리한 결과이다. 600°C 에서 전자 이동도가 $13 \text{ cm}^2 / \text{V sec}$ 이었으나 1150°C 에서는 $35 \text{ cm}^2 / \text{V sec}$ 로 증가하였다. 이 실험은 종자층을 연 부분이 아닌 절연층에 고립된 실리콘 박막의 열처리에 따른 재결정화 결과이다. 전자 이동도의 증가 원인을 알아보기 위

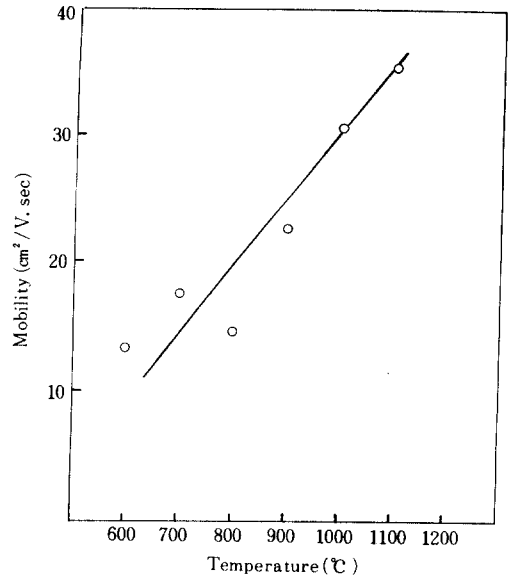


그림10. Hall mobility의 열처리 온도 의존성
Fig. 10. Annealing temperature dependence of Hall mobility (phosph. $1 \times E16 \text{ atoms/cm}^2$).

해 그림11에서와 같이 각 온도에 따른 SEM 사진을 찍어서 결정립계의 성장 여부를 조사 하였다. 그림11 (a)는 급속 열처리 이전의 절연층상의 실리콘 표면에서 관찰된 결정립계의 모양인데 비교적 분명한 boundary 를 볼 수 있다. 그러나 열처리 온도가 높아 갈 수록 boundary 가 불분명 해지는데 그 이유는 열처리에 따라 boundary 부분부터 먼저 녹게되고, 개개의 결정립계들이 용융접합 되면서 덩어리로 모여 붙는 것을 볼 수 있다. 따라서 그림11(d) 에서와 같이 개개의 결정립계가 뭉쳐진 모양을 이루게 된다.

IV. 결 론

급속 열처리 방법에 의한 SOI 구조의 용융 재결정화를 시도하였다. 그 결과 1040°C 에서 15초간 열처리한 경우 종자층이 있을 때 비정질층에서 twin boundary 를 관찰 할 수 있었다. 또한 1150°C 에서 열처리할 경우 <110> facet 을 가진 melt through pit 이 생겨서 단결정 표면층에 의한 결정방향 유도를 확인할 수 있었다. 그러나 실리콘 기판층까지 단면을 조사한 결과 용융접합점으로부터 시작하여 slip 이 발생하였음을 알 수 있었다. 또한 재결정화된 비정질층의 전자 이동도를 조사한 결과 1150°C 에서 전자 이동도가 $34 \text{ cm}^2 / \text{V sec}$ 로 증가 하였는데 결정립

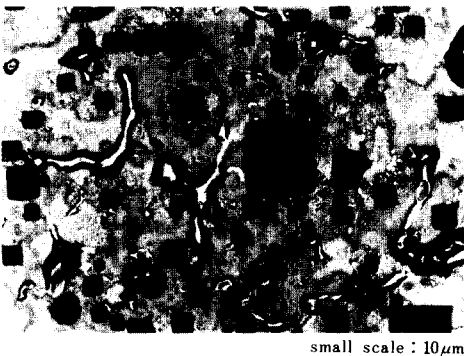
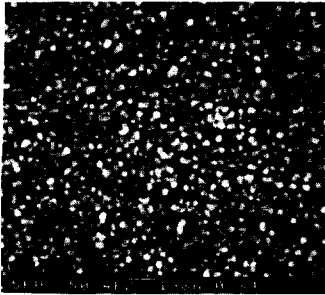
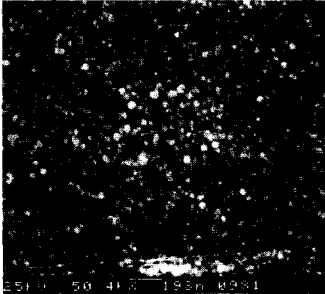


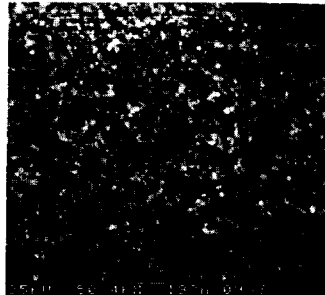
그림 9. 1150°C 30초간 열처리후 SOI 구조상에서 드러난 melt through pit
Fig. 9. Micrograph of melt through pits appeared on the SOI structure.



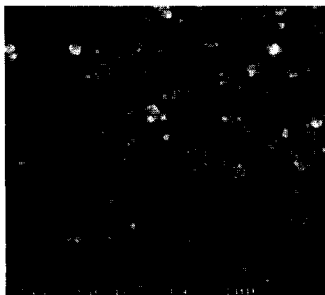
(a) before RTA



(b) melting of individual grains (1100c, 15sec.)



(c) fusing of individual grains (1100c, 15sec.)



(d) growth of individual grains (1100c, 15sec 4turns)

그림 11. RTA 온도에 따라 재생장된 박막의 주사 현미경 사진

Fig. 11. Scanning electron micrographs of regrown films according to RTA temperatures.

계의 성장에 기인 한다고 볼 수, 있으나 인의 농도를 $1 \times E16 \text{ atoms/cm}^2$ 로 주입시킨 단결정 실리콘의 전자 이동도가 약 $70 \text{ cm}^2 / \text{V sec}$ 임을 감안하면 아직도 많은 연구가 필요 하다.

參 考 文 獻

- [1] A. Gat, "Heat pulse annealing of arsenic-implanted silicon with a CW arc lamp," *IEEE Trans. EDL*, vol. EDL-2, no. 4, p. 85, Apr. 1981.
- [2] B-Y. Tsur, et al., "N-channel deep depletion metal-oxide semiconductor field-effect transistors fabricated in Zone-melting-recrystallized polycrystalline Si films on SiO_2 ," *Appl. Phys. Lett.*, vol. 39, no. 11, p. 909, Dec. 1981.
- [3] H.W. Lam, et al., "Characteristics of MOS-FETs fabricated in laser recrystallized poly silicon islands with a retaining wall structure on an insulating substrate," *IEEE Trans. EDL*, vol. EDL-1, no. 10, p. 206, Oct. 1980.
- [4] Y. Ohmura, et al., "Characteristics of MOS devices in electron beam recrystallized silicon on insulator," *IEEE Trans. IEDM*, vol. IEDM-82, p. 429, 1982.
- [5] S.L. Partridge, "Silicon-on-insulator and device application," *Solid state devices 1985*, Elsevier Sci. Pub., p. 115-132, 1986.
- [6] S.L. Partridge, "The current states of silicon-on-insulator technology A comparison," *IEEE Trans. IEDM*, vol. IEDM-86, p. 428, 1986.
- [7] W.L. Brown, "Transient laser-induced process in semiconductors," *Proc. of Symp. on laser and e-beam processing of materials*, Academic press, p. 20, Nov. 1979.
- [8] G. Foti, "Laser-induced epitaxy in ion-implanted and deposited amorphous layer," *ibid.*, p. 168, Nov. 1979.
- [9] H.J. Zeiger, et al., "Solid-phase crystallization produced by laser scanning of amorphous Ge films: The role of latent heat in crystallization-front dynamics," *ibid.*, p. 234, Nov. 1979.
- [10] R.F. Wood, "Amorphous phase trapping as a result of pulsed laser irradiation of silicon," *Mat. Pæs. Soc. Symp. Proc.* vol. 13, Elsevier Sci. Pub. Co., p. 83, 1983.
- [11] A. Maruani, et al., "Laser induced temper-

- ature rise in semiconductors : Analytical solution, application to the transient," *ibid.*, p. 123, 1983.
- [12] L.D. Hess, et al., "Application of laser annealing in IC fabrication," *ibid.*, p. 337, 1983.
- [13] C.J. Pollard, J.D. Speight and K.G. Barraclough, "Scanning electron beam annealing of oxygen donor in CZ silicon," *ibid.*, p. 413, 1983.
- [14] D. Barbier, "Arsenic implant activation and redistribution in p-type silicon induced by pulsed electron beam annealing," *ibid.*, p. 419, 1983.
- [15] S. Furukawa, "Silicon-on-insulator: Its technology and application," KTK Sci. Pub., Tokyo, p. 151, 1985.
- [16] S.R. Wilson, et al., "Isothermal annealing of ion implanted silicon with a graphite radiation source," *Mat. Res. Soc. Symp. Proc.*, vol. 13, Elsevier Sci. Pub. Co., p. 369, 1983.
- [17] N.M. Johnson, et al., "Detection of electronic defects in strip-heater crystallized solid thin films," *ibid.*, p. 491, 1983.
- [18] M.L. Burguner and R.E. Reedy, "Temperature profiles induced by strip heaters," *ibid.*, p. 613, 1983.
- [19] T.J. Stultz and J.F. Gibbons, "Arc lamp zone melting and recrystallization of Si films on oxidized silicon substrates," *Appl. Phys. Lett.*, vol. 41, no. 9, p. 824, Nov. 1982.
- [20] B. Loisel, B. Guenais and A. Poudoulec, "Flash lamp recrystallization of amorphous silicon films on glass substrates," *Thin Solid Films*, p. 117, 1984.
- [21] T.E. Seidel, et al., "Rapid thermal annealing of dopants implanted into preamorphized silicon," *J. Appl. Phys.*, vol. 58, no. 2, p. 683, July 1985.
- [22] Y. Kobayashi, A. Fukami and T. Nagano, "Characteristics of a 1.2 μm CMOS technology fabricated on an RF-heated ZMR SOI," *IEEE Trans. EDL*, vol. EDL-7, no. 6, p. 350, 1986.
- [23] T.J. Donahue, W.R. Burger and R. Rief, "Low temperature silicon epitaxy using low pressure chemical vapor deposition with and without plasma enhancement," *Appl. Phys. Lett.*, vol. 44, no. 3, p. 346, 1984.
- [24] S.R. Wilson, W.M. Paulson and R.B. Gregory, "Rapid annealing technology for future VLSI," *Solid State Technol.*, p. 185, June 1985.
- [25] J. Narayan, J. Fletcher, "Convection and constitutional super cooling cells in laser annealed silicon," *Defects in Semiconductor*, North-Holland, Inc., p. 431, 1981.
- [26] M.W. Geis, et al., "Characterization and entrainment of subboundaries and defect trails in zone-melting recrystallized Si films," *J. Appl. Phys.*, vol. 60, no. 3, p. 1152, Aug. 1986.
- [27] J.M. Poat, "Amorphous Si, crystallization and melting," *Mat. Res. Soc. Symp. Proc.*, vol. 13, Elsevier Sci. Pub. Co., p. 263, 1983.
- [28] P. Zorabedian, et al., "Beam shaping for CW laser recrystallization of silicon films," *ibid.*, p. 523, 1983.
- [29] M.W. Geis, et al., "Zone-melting recrystallization of semiconductor films," *ibid.*, p. 477, 1983.

著 者 紹 介



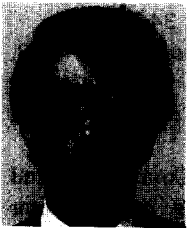
金 春 權(正會員)

1957年 5月 20日生. 1988年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 현재 한국과학 기술원 반도체재료연구실 연구원. 주관심분야는 PECVD, ECRCVD, RIE 기술 3 차원구조 VLSI 기술등임.



閔 碩 基(正會員)

1938年 12月 14日生. 1964年 2月 고려대학교 물리학과 졸업 1966年 고려대학교 대학원 고체물리학 전공 이학석사학위 취득. 1968年 고려대학교 물리학과 조교. 1969年~1970年 고려대학교 물리학과 강사. 현재 한국과학기술원 반도체재료연구실 실장. 주관심분야는 Si, GaAs 단결정성장기술 MOCVD, HEMT 관련기술 개발분야 등임.



金 龍 泰(正會員)

1954年 3月 3日生. 1981年 2月 경북대학교 전자공학과 졸업(B.S) 1982年 2月 경북대학교 대학원 전자공학과 석사학위 취득. 1982年 3月~12月 경북대학교 전자공학과 강사. 1984年 3月~1987年 12月 한국과학기술원 전기 및 전자공학과 박사과정. 현재 한국과학기술원 반도체재료연구실 선임연구원 주관심분야는 PECVD, ECRCVD, RIE 기술, 3 차원 구조 VLSI 기술 등임.