

다중 고장이 허용되는 다중경로 다단상호접속망에 관한 연구

(A Study on the Multiple Fault-Tolerant Multipath Multistage Interconnection Network)

金 大 浩*, 林 濟 鐸*

(Dae Ho Kim and Chae Tak Lim)

要 約

다중 프로세서 시스템에서 많은 프로세서와 메모리 모듈을 상호접속시키는 여러가지 다단상호접속망(MIN) 중에 Omega 네트워크와 M네트워크가 있다. 단일경로를 갖는 Omega 네트워크와 2개의 경로를 갖는 M 네트워크는 $\log_2 N$ 개의 단으로 구성된 것이다.

본 논문에서는 M 네트워크와 Omega 네트워크에 K 개의 단을 추가시켜 2^{k+1} 개 경로를 갖는 Augmented M 네트워크 (AMN)와 2^k 개 경로를 갖는 Augmented Omega 네트워크 (AON)를 제안하였다.

AMN과 AON은 수신지 태그를 이용하므로 경로선택이 간단하며 다중 fault-tolerant 된다. $(\log_2 N) + K$ 개 단으로 구성된 AMN과 AON의 성능을 평가한 결과 2^k 개의 경로를 갖는 MMIN(AON)보다 2^{k+1} 개의 경로를 갖는 MMIN(AMN)의 RST(request service time) 성능이 우수함을 입증 하였다.

Abstract

In multiprocessor systems, there are Omega network and M network among various MIN's which interconnect the processor and memory modules.

Both one-path Omega network and two-path M network are composed of $\log_2 N$ stages.

In this paper, Augmented M network (AMN) with 2^{k+1} paths and Augmented Omega network (AON) with 2^k paths are proposed. The proposed networks can be accomplished by adding K stage(s) to M network and Omega network.

Using destination tag, routing algorithm for AMN and AON becomes simple and multiple faults are tolerant. By evaluating RST (request service time) performance of AMN and AON with $(\log_2 N) + K$ stages, we demonstrated the fact that MMIN (AMN) with 2^{k+1} paths performs better than MMIN (AON) with 2^k paths.

I. 서 론

밀결합(tightly-coupled) 다중 프로세서 시스템에

서^[1] 많은 프로세서와 메모리 모듈을 상호접속시키는 다단상호접속망(MIN: multistage interconnection network)의 설계가 중요시 되고 있다. 입력과 출력 사이에 단일경로만을 갖는 여러가지 MIN이 제안되었다.^[2~7] 단일경로 MIN들은 스위칭소자나 링크에서 고장이 발생하면 입력과 출력 사이에 경로

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1988年 4月 18日

가 이루어 질수 없으므로 데이터의 전송이 불가능하다.

그러므로 스위칭소자나 링크에서 고장이 발생하여도 다른 경로로 데이터를 전송하기 위하여 fault-tolerant 능력을 갖는 여러가지 다중경로 MIN(MMIN: Multipath MIN) 이 제안되었다.^{17~14)}

이러한 MMIN은 (i) 단의 수 (ii) 단 사이 링크 수 (iii) 스위칭소자의 크기 (iv) 한 단의 스위칭소자수가 증가하여 하드웨어 복잡도가 증대 한다.

단일경로 네트워크와 (i), (ii) 는 동일하고 (iii), (iv) 는 유사한 토폴로지로 2 개의 경로를 가지는 M네트워크를 제안 한 바 있다.¹⁶⁾

본 논문에서는 II 절에서 기술한 2 개의 경로를 갖는 M네트워크에 K단을 추가하여 2^{K+1} 개의 경로를 가지므로 경로설정시간이 감소되며 다중 스위칭소자 고장이 허용되는 Augmented M 네트워크(AMN)를 제안 하였다.

또한 II 절에서 기술한 바와 같은 Modified Omega 네트워크에¹¹⁾ 문제점을 개선하고 2^{K+1} 개 경로를 가지는 네트워크(AMN)과 동일한 단($\log_2 N + K$)으로 2^K 개 경로를 가지는 네트워크의 RST(request service time)를 비교하기 위하여 Omega 네트워크에¹¹⁾ K단을 추가하므로 2^K 개 경로를 가지며 다중 스위칭소자 고장이 허용되는 Augmented Omega 네트워크(AON)도 제안 하였다.

프로세서 수를 N, $n = \log_2 N$ 이라 하면 AMN은 $(K * 2^{n-3} + 2^{n-2} - 1)$ 개까지 4×4 스위칭소자 고장이 허용되며 AON은 $((K-1) * 2^{n-2} + 2^{n-1} - 1)$ 개까지 2×2 스위칭소자 고장이 허용된다. AMN과 AON을 시뮬레이션에 의하여 다중 fault-tolerant 됨을 입증 하였으며, RST를 평가한 결과 2^K 개 경로를 갖는 MMIN(AON)보다 동일한 단($\log_2 N + K$)으로 구성된 2^{K+1} 개 경로를 갖는 MMIN(AMN)이 프로세서 수(N)와 데이터 량(d)이 클 수록 RST 감소율이 증가 하였으며, $\log_2 N$ 단으로 구성된 Omega 및 M네트워크 보다 $(\log_2 N) + 1$ 단으로 구성된 AMN 및 AON이 많은 량의 데이터(d)를 전송 할때 RST 감소율이 증가 함을 입증 하였다.

II. M 네트워크 와 Modified Omega 네트워크

1. M 네트워크 토폴로지

N 개의 프로세서와 메모리 모듈을 가진 M 네트워크는 그림 1과 같이 $n = \log_2 N$ 개 단으로 disjoint 된 2 개의 경로가 설정 된다. 경로선택 태그는 $n+1$ 개의 비트로 $T = t_n t_{n-1} \dots t_1 t_0$ 가 생성된다. $t_{n-1} t_{n-2} \dots t_1 t_0$ 는 수신지 번지이며 t_n 는 여분(redundant)비트로 0

일때 1차 경로가 1일때 2차 경로가 설정 된다.

예를 들면 $N = 16$ 일때 $S = 5$ 에서 $D = 12$ 까지 1차 경로는 경로선택 태그가 $T = t_4 t_3 t_2 t_1 t_0 = 01100$ 이므로 4 단은 $t_4 = 0$, 3 단은 $t_3 t_2 = 11$, 2 단은 $t_2 t_1 = 10$, 1 단은 $t_0 = 0$ 으로 스위칭소자 출력단자 번호가 선택되어 그림 1의 실선과 같이 경로가 설정 된다.

2차 경로는 경로선택 태그가 $T = t_4 t_3 t_2 t_1 t_0 = 11100$ 이므로 4 단은 $t_4 = 1$, 3 단은 $t_3 t_2 = 11$, 2 단은 $t_2 t_1 = 10$, 1 단은 $t_0 = 0$ 으로 스위칭소자 출력단자 번호가 선택 되어 그림 1의 점선과 같이 경로가 설정 된다.

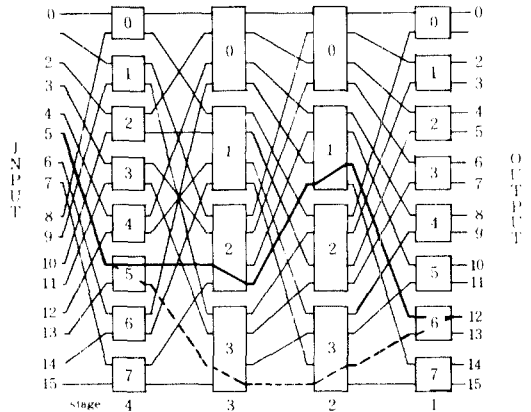


그림 1. N=16 일때 M 네트워크
Fig. 1. M Network for N=16.

2. Modified Omega 네트워크 토폴로지

N 개의 프로세서와 메모리 모듈을 가진 $B^k \times B^k$ Modified Omega Network (MON)는 $\lceil \log_B N \rceil$ 개 단으로, 각 단은 N/B 개의 $B * B$ 스위칭소자로 구성되며 단 사이 상호접속은 $B * (N/B)$ Shuffle로¹¹⁾ 연결 된다. $N = 2^n \neq B^k (B = 2^b)$ 일때 $R = B^{(n/b) - (n/B)}$ 개의 다중 경로를 가지며 $N = B^k$ 일때는 단일경로를 갖는다. 경로선택은 $b * (\lceil \log_B N \rceil) + n$ 개의 비트로, 소스 번지 $S = s_{n-1} s_{n-2} \dots s_1 s_0$ 과 수신지 번지 $D = d_{n-1} d_{n-2} \dots d_1 d_0$ 를 연결하여 다음과 같이 태그가 생성 된다.

$$T = s_{n-1} s_{n-2} \dots s_1 s_0 r_{m-1} r_{m-2} \dots r_1 r_0 d_{n-1} d_{n-2} \dots d_1 d_0$$

여기서 $r_{m-1} r_{m-2} \dots r_1 r_0$ 는 여분 비트로 $m = b * (\lceil \log_B N \rceil) - n$ 개이다. i 단 스위칭소자 출력단자는 $i * b$ 번째부터 n 개 비트 창(window)으로 선택 된다.

예를 들면 $N = 16$ 일때 4×4 스위칭소자의 MON ($N = 4^2$)은 $\lceil \log_4 16 \rceil = 2$ 개 단으로 그림 2와 같으며 $S = 5$ 에서 $D = 12$ 까지 경로선택 태그는 여분 비트가

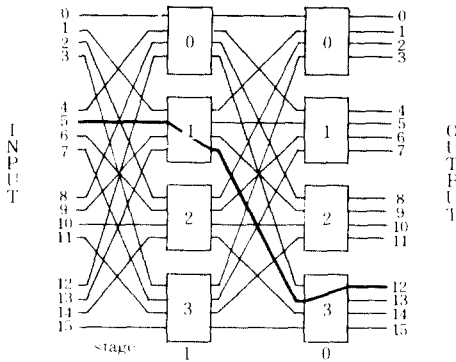


그림 2. N=16 일때 1-Path Modified Omega 네트워크
Fig. 2. A 1-Path Modified Omega Network for N=16.

$2 * \lfloor \log_4 16 \rfloor - 4 = 0$ 이므로 $T = s_3 s_2 s_1 s_0 d_3 d_2 d_1 d_0 = 01011100$ 이 생성되며 소스 $s_3 s_2 s_1 s_0 = 0101$ 에서 1단의 스위칭소자 출력단자 $s_1 s_0 d_3 d_2 = 0111$ 가 선택되어 수신지 $d_3 d_2 d_1 d_0 = 1100$ 까지 단일경로가 설정된다.

8×8 스위칭소자 MON ($N \neq 8^2$) 은 $\lfloor \log_8 16 \rfloor = 2$ 개의 단으로 그림 3과 같으며 $S=5$ 에서 $D=12$ 까지 경로선택 태그는 어분 비트가 $3 * \lfloor \log_8 16 \rfloor - 4 = 2$ 이므로 $T = s_3 s_2 s_1 s_0 r_1 r_0 d_3 d_2 d_1 d_0 = 0101001100, 0101011100, 0101101100, 0101111100$ 이 생성 되어 소스 $s_3 s_2 s_1 s_0 = 0101$ 에서 1단의 스위칭소자 출력단자는 $s_0 r_1 r_0 d_3$ 로 선택 되어 수신지 $d_3 d_2 d_1 d_0 = 1100$ 까지 4개의 경로가 설정된다.

그러므로 MON은 $N=8^k$ 일때 단일경로만 설정되며 R을 증가 시킬려면 스위칭소자의 크기가 증대하

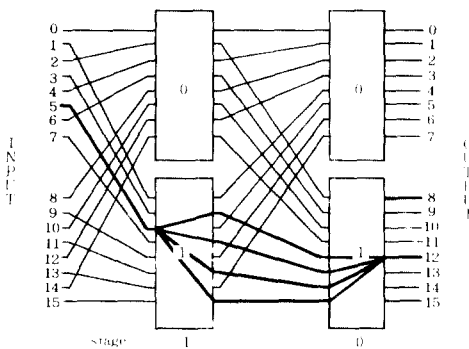


그림 3. N=16 일때 4-Path Modified Omega 네트워크
Fig. 3. A 4-Path Modified Omega Network for N=16.

고 경로선택 알고리즘은 계산에 의하여 태그가 생성되어 0번부터 N-1번까지 링크를 선택 하므로 N이 증가 할수록 하드웨어 복잡도가 증가 한다. 또한 그림 3과 같이 다중 경로 일때도 fault-tolerant 가 불가능한 문제점이 있다.

III. Augmented M 네트워크

1. 토폴로지 구성

AMN은 프로세서 수(N)가 16개 이상인 M비트워크에¹⁶⁾ 적용되며 M 네트워크의 2번 단과 마지막 단(1) 사이에 K단을 추가하여 각 단 사이를 1-Shuffle로¹⁶⁾ N/4 개의 4×4 스위칭소자를 상호 접속시킨다. AMN 토폴로지 표시는 정의 1과 같다.

단 K 는 $1 \leq K \leq \log_2(N/8)$, $n = \log_2 N$ 이다.

(정의 1)

(i) 단 번호는 왼쪽 단부터 오른쪽 마지막 단까지 $n+K$, $n+K-1, \dots, 2, 1$ 번으로 표시 한다.

(ii) 입력 프로세서를 소스(S), 출력 모듈을 수신지(D) 라하고 변지는 위에서 아래까지 순차적으로 $0, 1, \dots, N-1$ 번으로 표시하며 $S = s_{n-1} s_{n-2} \dots s_1 s_0$, $D = d_{n-1} d_{n-2} \dots d_1 d_0$ 와 같이 2진수로 나타낸다.

(iii) 각 스위칭 단자의 링크 번호는 위에서 아래까지 순차적으로 $0, 1, \dots, N-1$ 번으로 표시하며 입력 단자를 $i = i_{n-1} i_{n-2} \dots i_1 i_0$, 출력단자를 $j = j_{n-1} j_{n-2} \dots j_1 j_0$ 로 나타낸다.

(iv) $n+K$ 단과 1단의 2×2 스위칭소자 번호는 위에서 아래까지 순차적으로 $0, 1, \dots, (N/2) - 1$ 번으로 표시하며 $n+K-1$ 단에서 2단까지의 번호는 $0, 1, \dots, (N/4) - 1$ 번으로 표시한다.

2. 경로 설정

AMN은 토폴로지 구성 방법에 의하여 2^{n+1} 개의 경로가 다음 (i) - (iii) 항과 같은 과정을 통하여 설정된다.

(i) $(n+K)$ 단과 1단에는 한 개의 2×2 스위칭소자를 통과 한다.

(ii) $(n+m)$ 단과 $(K-m+1)$ 단에는 disjoint 된 2^{m-1} 개의 4×4 스위칭소자를 통과 한다. 여기서 m 은 $0 \leq m \leq K-1$ 이다.

(iii) $(K+2) \leq ST \leq (n-1)$ 단에서는 disjoint 된 2^{n-ST} 개의 4×4 스위칭소자를 각각 통과 한다. 여기서 ST는 단 번호이다.

3. Fault tolerancy

각 중간단($n+K-1$ 단에서 2단까지)에서 다음(i)항이나 (ii)항과 같이 4×4 스위칭소자에 고장이 발생 할때 총 $2^{n-2} + (2^{n-3} - 1) + (K-1) * 2^{n-3} = (K * 2^{n-3}$

$+2^{n-2}-1$ 개 까지 fault-tolerant 된다.

(i) $(K+2) \leq ST \leq (n+K-1)$ 단에서는 각 단에 $0, 1, \dots, (2^{n-ST+K-1}-1)$ 번까지 $2^{n-ST+K-1}$ 개 스위칭소자에, $2 \leq ST \leq (K+1)$ 단에서는 각 단에 $0, 1, \dots, (2^{n-3}-1)$ 번까지 2^{n-3} 개 스위칭소자에 고장이 발생 할 때.

(ii) $(K+2) \leq ST \leq (n+K-1)$ 단에서는 각 단에 $(N/4) - (2^{n-ST+K-1}), \dots, (N/4) - 2, (N/4) - 1$ 번까지 $2^{n-ST+K-1}$ 개 스위칭소자에, $2 \leq ST \leq (K+1)$ 단에서는 각 단에 $(N/4) - (2^{n-3}), \dots, (N/4) - 2, (N/4) - 1$ 번까지 2^{n-3} 개 스위칭소자에 고장이 발생 할 때.

4. 경로선택 알고리즘

경로선택 태그는 $(n+1)+K$ 개 비트로 $T = t_{n+K} t_{n+K-1} \dots t_n t_{n-1} \dots t_1 t_0$ 가 생성 된다. $t_{n-1} t_{n-2} \dots t_1 t_0$ 는 수신지(D) 번지이며 $t_{n+K} t_{n+K-1} \dots t_n$ 는 여분 비트이다. 여분 비트 $(K+1)$ 개를 조합으로 한 2^{K+1} 개의 태그가 생성되어 2^{K+1} 개의 다중경로가 다음 (i)-(iii)항과 같은 순서로 설정 된다.

(i) $(n+1)$ 단에서는 $t_{n+K} = 0$ 이면 2×2 스위칭소자 윗 출력단자를, $t_{n+K} = 1$ 이면 아래 출력단자를 선택 한다.

(ii) $2 \leq ST \leq (n+K-1)$ 단에서는 태그 비트 $t_{n+K-1} t_{n+K-2} \dots t_1$ 로 단과 동일한 태그 비트 첨자에서 부터 2비트로 4×4 스위칭소자 출력단자 번호가 결정 된다

(iii) 1단에서는 $t_0 = 0$ 이면 2×2 스위칭소자 윗 출력단자를, $t_0 = 1$ 이면 아래 출력단자가 선택 된다.

예를 들면 그림 4는 $N=16$ 일때 M 네트워크에 $\log_2(N/8) = 1$ 단을 추가 한 AMN 토폴로지이다. $S = 5$ 에서 $D = 12$ 까지 경로선택 태그 $T = t_5 t_4 t_3 t_2 t_1 t_0 = 001100, 011100, 101100, 111100$ 에 의하여 4개의 경로가 설정된다.

Fault-tolerant는 III-3의 (i)항에 의하여 4단의 0번, 3단의 0번과 1번, 2단의 0번과 1번 스위칭소자에 고장이 발생하거나 (ii)항에 의하여 4단의 3번, 3단의 2번과 3번, 2단의 2번과 3번 스위칭소자에 고장이 발생 할때 $(K * 2^{n-3} + 2^{n-2} - 1) = 5$ 개까지의 4×4 스위칭소자 고장이 허용된다.

IV. Augmented Omega 네트워크

1. 토폴로지 구성

AON은 K단을 Omega 네트워크의¹²⁾ 마지막 단에 추가시켜 Perfect Shuffle로¹⁷⁾ $N/2$ 개의 2×2 스위칭소자를 상호 접속시킨다. 단 K는 $1 \leq K \leq \log_2(N/2)$ 이다. 토폴로지 표시는 정의 2와 같다.

(정의 2)

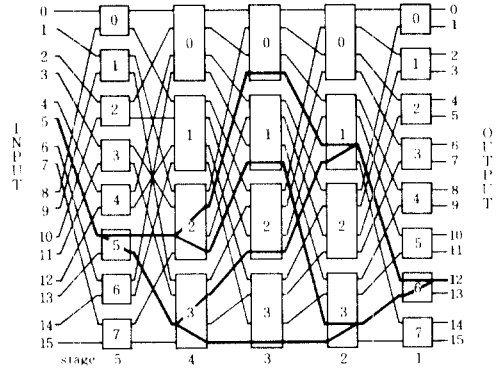


그림 4. N=16 일때 Augmented M 네트워크
Fig. 4. Augmented M network for N=16.

(i) 단 번호는 왼쪽 단부터 오른쪽 마지막 단 까지 $n+K-1, n+K-2, \dots, 1, 0$ 번으로 표시 한다.

(ii) 입력 프로세서를 소스(S), 출력 모듈을 수신지(D)라 하고 번지는 위에서 아래까지 순차적으로 $0, 1, \dots, N-1$ 번으로 표시 한다.

(iii) 각 단에 스위칭 단자의 링크 번호는 위에서 아래까지 순차적으로 $0, 1, \dots, N-1$ 번으로 표시 한다.

(iv) 각 단의 스위칭소자 번호는 위에서 아래까지 순차적으로 $0, 1, \dots, (N/2) - 1$ 번으로 표시 한다.

2. 경로 설정

AON의 토폴로지 구성 방법에 의하여 2^k 개의 경로가 다음 (i)-(ii)항과 같은 과정을 통하여 설정 된다.

(i) $(n+K-1)$ 단과 0 단에는 한개의 스위칭소자를 통과 한다.

(ii) $(K-m)$ 단과 $(n+m-1)$ 단에는 2^{K-m} 개의 스위칭소자를 통과 한다. 여기서 m 은 $0 \leq m \leq K-1$ 이다.

3. Fault tolerancy

각 중간단 $(n+K-1)$ 단에서 1단까지)에서 다음 (i)항이나 (ii)항과 같이 2×2 스위칭소자에 고장이 발생 할 때 $((K-1) * 2^{n+K} + 2^{n-1} - 1)$ 개까지 fault-tolerant 된다.

(i) $K \leq ST \leq (n+K-2)$ 단에서는 각단에 $0, 1, \dots, (2^{n-ST+K-2}-1)$ 번까지 $2^{n-ST+K-2}$ 개 스위칭소자에, $1 \leq ST \leq (K-1)$ 단에서는 각 단에 $0, 1, \dots, (2^{n-2}-1)$ 번까지 2^{n-2} 개 스위칭소자에 고장이 발생 할때.

(ii) $K \leq ST \leq (n+K-2)$ 단에서는 각 단에 $(N/2) - (2^{n-ST+K-2}), \dots, (N/2) - 2, (N/2) - 1$ 번까지

지 $2^{n-ST+K-2}$ 개 스위칭소자에, $1 \leq ST \leq (K-1)$ 단에서는 각 단에 $(N/2) - (2^{n-2}), \dots, (N/2) - 2, (N/2) - 1$ 번 까지 2^{n-2} 개 스위칭소자에 고장이 발생할 때.

4. 경로선택 알고리즘

경로선택 태그는 $(n+k)$ 개 비트로 $T = t_{n+k-1} t_{n+k-2} \dots t_n t_{n-1} \dots t_1 t_0$ 가 생성 된다. $t_{n-1} t_{n-2} \dots t_1 t_0$ 는 수신지(D) 번지이며 $t_{n+k-1} t_{n+k-2} \dots t_n$ 는 여분 비트이다. 여분 비트 K 개를 조합으로 하여 2^K 개의 태그가 생성 된다. 각 단 마다 단 번호와 동일한 첨자를 가진 태그 비트에 의하여 2×2 스위칭소자 출력단자 번호가 선택되어 2^K 개 경로가 설정 된다.

예를 들면 그림 5는 $N=16$ 일때 Omega 네트워크에 한 개의 단을 추가한 AON 토폴로지이다. $S=5$ 에서 $D=12$ 까지 경로선택 태그 $T = t_4 t_3 t_2 t_1 t_0 = 01100, 11100$ 에 의하여 2개의 경로가 설정 된다. Fault-tolerant는 IV-3의 (i) 항에 의하여 3단의 0번, 2단의 0번과 1번, 1단의 0번 1번 2번 3번 스위칭소자에 고장이 발생 하거나 (ii) 항에 의하여 3단의 7번, 2단의 6번과 7번, 1단의 4번 5번 6번 7번 스위칭소자에 고장이 발생 할때 $((K-1) * 2^{n-1} + 2^{n-1} - 1) = 7$ 개 까지의 2×2 스위칭소자 고장이 허용 된다.

V. 시뮬레이션

Augmented M 네트워크와 Augmented Omega 네

```
# include "alconst.h"
# include "deftype.h"
# include "common.h"

main( )
{
    LONG i;
    INT n;

    while (1) {
        n=menu_selection( );          /*데이터(N,d,r,C) 입력*/
        if (n== -1)
            exit(0);                  /* n이 -1 이면 종료 */
        initial_request( );           /* 초기 입력, 출력, 태그 생성 */
        for (i=0; i< C_count; i++) { /* 총 실행 사이클 count */
            next_to_current( );       /* 링크단자 할당 정보를 update */
            status_end_process( );    /* 경로설정, 데이터전송, 역추적 종료상태에 따라 새로운
            상태 부여 */
            path_datatrance_process( ); /* 경로설정, 데이터전송, 역추적 진행 상태를 check */
        }
        write_total( );               /* 최종 결과 표시 */
    }
}
```

트위크 시뮬레이션은 회선(circuit) 스위칭 방식과 소스에서 static 재경로선택(rerouting) 방법(단계1-5)으로 C 언어로 프로그래밍 하여 IBM/PC AT로 실현 하였다.^(15,16)

[단계 1] N 개 소스(프로세서) 중에서 확률 r 에 따라 request 가 발생 될 소스들이 결정 된다.

[단계 2] Request가 발생될 소스들은 랜덤하게 수신지 모듈 번지를 결정하여 태그가 생성 된다.

[단계 3] 소스들은 태그에 따라 동시(병렬 처리)에 경로를 설정 한다. 경로를 설정하는 시간 단위는 사이클(cycle)이며 1 사이클은 request 가 1 단(stage)씩 통과 하는 시간이다.

[단계 4] Contention 이나 conflict에 의하여 블로킹 되거나 스위칭소자에 고장이 발생하면 소스로 역추적(backtrack) 되어 재경로선택 된다.

[단계 5] 소스와 수신지 모듈 사이에 경로가 설정 되면 이 경로로 데이터가 전송되며 데이터 전송이 끝나면 [단계 1]로 분기하여 총 실행시간(C) 동안 반복한다. 데이터 단위는 사이클이며 1 데이터 사이클량은 소스에서 수신지 모듈 까지 1 사이클에 통과하는 시간이다.

[단계1-5]는 네트워크 토폴로지를 모델링한 프로그램에 의하여 실현 되며 요약한 주 프로그램은 다음과 같다.

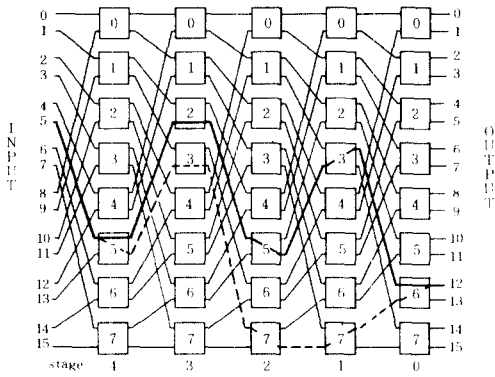


그림 5. N=16 일때 Augmented Omega 네트워크
Fig. 5. Augmented Omega Network for N=16.

VI. 성능 평가

RST(request service time) 와 RDR(request drop ratio) 를 식 (1),(2) 와 같이 정의하여 시뮬레이션으로 성능을 평가 하였다.

RST : 소스에서 request 가 발생되어 경로가 설정되는 시간(cycle) 이다. 최소 값은 블로킹 발생이 없을 때 경로가 설정되는 시간으로 $(\log_2 N) + K$ 사이클이다.

$$RST = \frac{\text{경로를 설정하는데 소요되는 총 시간}}{\text{request 발생 수}} \text{ [cycle]} \quad (1)$$

RDR : 스위칭소자에 고장이 발생 할때 request가 드롭(drop) 되는 비율이다. RDR(D) 값은 $0 \leq D \leq 1$ 이며 fault-tolerant 될때 0 이 된다.

$$RDR = \frac{\text{드롭 된 request 수}}{\text{총 request 발생 수}} \times 100(\%) \quad (2)$$

RST는 프로세서 수(N)가 16, 32, 64 일때 request 발생 확률(r)과 데이터 량(d)에 따라 총 실행시간을 10000 사이클모하여 5번 실행시킨 평균 값을 산출 하였다.

표 1은 K=1 일때 AMN(K=1)과 AON(K=1)의 RST 값이다. 그림 6,7,8은 표 1을 그래프로 나타낸 것이다. AMN 이 AON 보다 d=10, r=0.5 일때 약 1%, d=100, r=0.5 일때 약 15-23%까지 감소되어 전송데이터 량이 증가 할 수록 감소율이 증대 되었다.

RDR는 III-3과 VI-3의 fault tolerance (i) 항이나 (ii) 항과 같이 AMN과 AON 스위칭소자에 임의로 고장을 발생시켜 RDR 값을 산출한 결과 0 이었으며

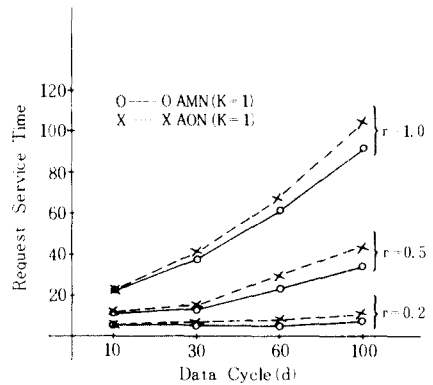


그림 6. N=16 일때 RST 비교
Fig. 6. Comparison of RST for N=16.

표 1. Augmented M 네트워크 와 Augmented Omega 네트워크 RST
Table 1. RST for Augmented M network & Augmented Omega network.

N	d \ r	10		30		60		100	
		AMN	AON	AMN	AON	AMN	AON	AMN	AON
16	0.2	6.22	6.33	7.23	7.72	8.65	9.78	9.69	11.54
	0.5	11.04	11.15	16.99	17.93	25.00	30.13	34.60	43.65
	1.0	21.28	21.94	39.56	40.67	61.18	68.92	91.52	106.21
32	0.2	8.31	8.38	9.67	10.71	11.92	13.88	12.62	17.88
	0.5	14.83	15.04	22.94	24.65	31.56	36.97	47.60	56.15
	1.0	28.05	28.21	48.26	51.54	76.66	84.59	108.02	127.26
64	0.2	10.36	10.51	12.30	13.28	15.00	17.58	16.76	22.91
	0.5	18.70	18.70	27.97	30.12	40.14	45.82	53.90	69.30
	1.0	34.19	34.32	58.36	61.20	90.58	100.25	129.73	147.73

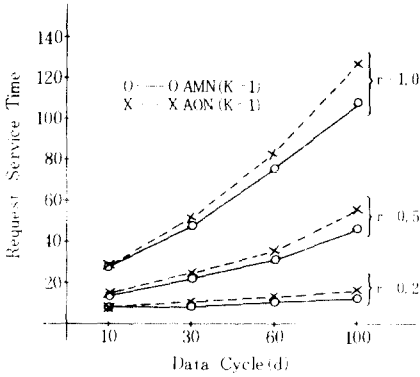


그림 7. N=32 일때 RST 비교
Fig. 7. Comparison of RST for N=32.

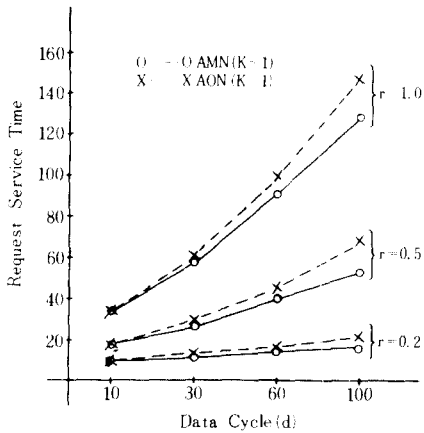


그림 8. N=64 일때 RST 비교
Fig. 8. Comparison of RST for N=64.

로 AMN은 4×4 스위칭소자 ($K \cdot 2^{n-3} + 2^{n-2} - 1$) 개 까지, AON은 2×2 스위칭소자 ($(K-1) \cdot 2^{n-2} + 2^{n-1} - 1$) 개 까지의 교장이 허용 됨 입증 하였다.

표 2는 AMN(K-1)과 M 네트워크의 RST 값이다. 그림9, 10, 11은 표 2를 그래프로 나타낸 것이다. d=50부터 AMN이 M 네트워크 보다 감소되어 d=100, r=0.5 일때 약 6%, d=200, r=0.5 일때 약 8-20% 까지 감소 되므로 전송 데이터 량이 증가 할 수록 AMN이 M 네트워크 보다 우수 됨을 확인 하였다.

표 3은 AON(K-1)과 Omega 네트워크의 RST 값 이다. 그림12, 13, 14는 표 3을 그래프로 나타낸 것이

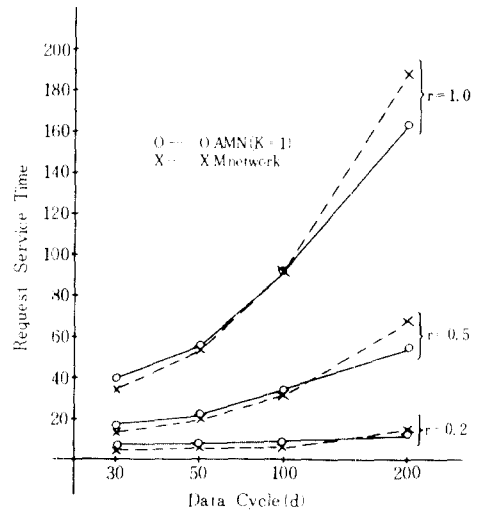


그림 9. N=16 일때 RST 비교
Fig. 9. Comparison of RST for N=16.

표 2. Augmented M 네트워크와 M 네트워크 RST

Table 2. RST for Augmented M network & M network.

N	d	30		50		100		200	
		AMN	M	AMN	M	AMN	M	AMN	M
16	0.2	7.23	6.02	7.88	6.75	9.67	6.81	13.58	14.92
	0.5	16.99	13.92	21.20	20.01	34.60	32.57	55.23	68.62
	1.0	39.56	35.12	56.75	54.22	91.52	91.12	163.80	188.07
32	0.2	9.67	8.78	10.71	10.06	12.62	11.66	19.84	20.70
	0.5	22.94	20.45	29.48	29.09	47.60	49.23	69.44	75.66
	1.0	48.26	45.51	66.91	65.66	108.02	116.55	177.96	208.45
64	0.2	12.30	11.25	14.92	13.94	16.76	20.11	27.13	29.66
	0.5	27.97	26.83	36.66	36.16	53.90	60.77	88.20	102.42
	1.0	58.36	55.64	78.77	78.99	129.73	133.15	208.51	247.81

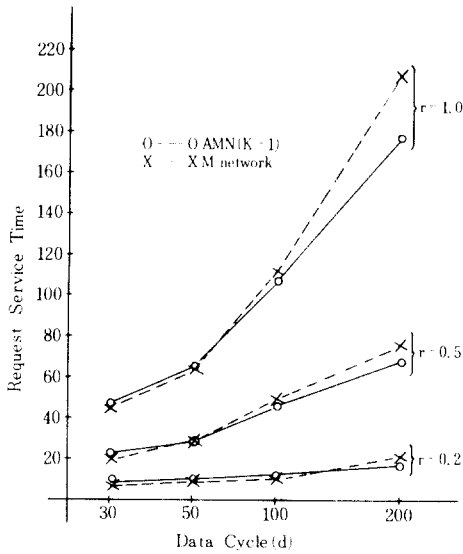


그림10. N=32 일때 RST 비교
Fig. 10. Comparison of RST for N=32.

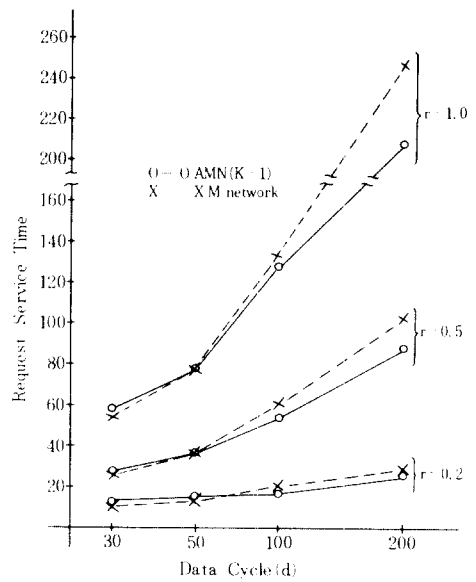


그림11. N=64 일때 RST 비교
Fig. 11. Comparison of RST for N=64.

다. AON은 Omega 네트워크 보다 $d=30, r=0.5$ 일 때 약 3-8%, $d=200, r=0.5$ 일 때 약 23-35% 까지 감소 되므로 AON도 많은 량의 데이터 전송에서 Omega 네트워크보다 우수함을 입증 하였다.

표 4는 AMN에서 $K=1, 2, 3$ 일때 RST 비교 값이다. 그림15, 16은 표 4를 그래프로 나타낸 것이다. $d=100$ 에서 $K=1$ 보다 $K=2$ 일때 약 5-9% 감소되었으며 $d=200$ 에서 $K=3$ 은 $K=1$ 보다 약 6-8%가 감소되나 $K=2$ 보다 약 4%가 증가 되므로 $N=32, 64$ 에서는 $K=2$ 단까지 추가 했을 때 효율적이다.

Ⅶ. 결 론

본 논문에서 제안한 Augmented M 네트워크 (AMN)와 Augmented Omega (AON) 네트워크는 $(\log_2 N) + K$ 단으로 2^{K-1} 개와 2^K 개의 경로를 가지며 수신지 태그 방법으로 경로가 선택되므로 기존의 다중경로 다단상호접속망(MMIN) 보다 하드웨어의 복잡도가 감소 되며 AMN은 4×4 스위칭소자 $(K \cdot 2^{n-3} + 2^{n-2})$

1) 개 까지, AON은 2×2 스위칭소자 $((K-1) \cdot 2^{n-2} + 2^{n-1} - 1)$ 개 까지의 고장이 허용 된다.

표 3. Omega 네트워크와 Augmented Omega 네트워크 RST
Table 3. RST for Omega network & Augmented Omega network.

N	d \ r	30		50		100		200	
		Omega	AON	Omega	AON	Omega	AON	Omega	AON
16	0.2	7.58	7.72	8.78	9.38	8.9	11.54	26.57	22.23
	0.5	18.56	17.93	28.84	23.36	47.67	43.65	100.24	64.81
	1.0	47.54	40.67	73.55	62.02	122.04	106.21	227.99	176.19
32	0.2	11.22	10.71	13.60	12.91	21.87	17.88	37.40	28.56
	0.5	26.70	24.65	37.68	34.67	62.88	56.15	129.94	93.53
	1.0	58.94	51.54	88.92	78.18	161.19	127.26	288.72	227.32
64	0.2	14.57	13.28	18.92	15.27	31.53	22.91	50.08	33.29
	0.5	33.70	30.12	48.92	40.39	81.09	69.30	149.40	114.58
	1.0	70.70	61.20	103.46	86.20	181.04	147.73	317.46	256.64

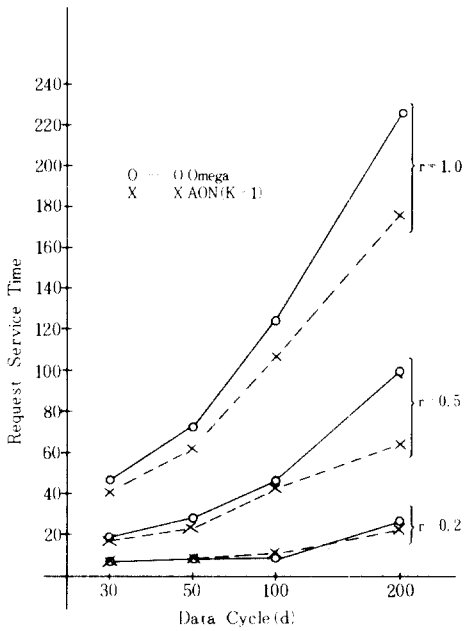


그림12. N=16 일때 RST 비교
 Fig. 12. Comparison of RST for N=16.

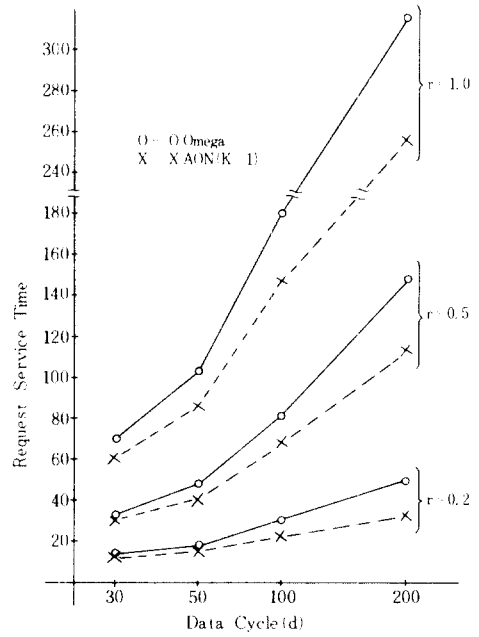


그림14. N=64 일때 RST 비교
 Fig. 14. Comparison of RST for N=64.

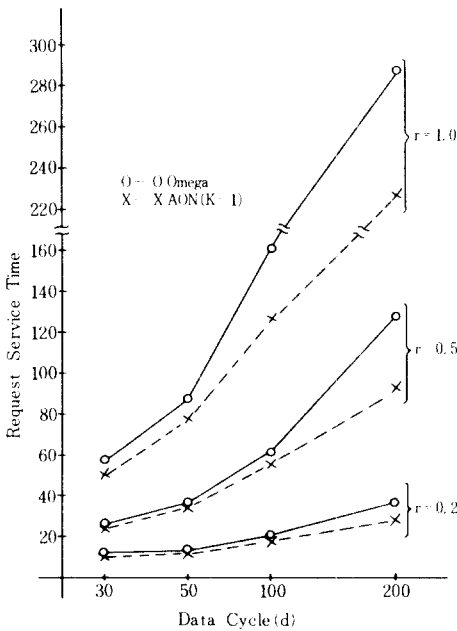


그림13. N=32 일때 RST 비교
 Fig. 13. Comparison of RST for N=32.

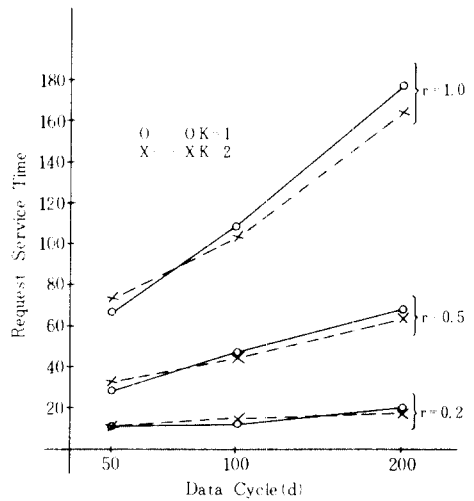


그림15. N=32 일때 K 대 RST 비교
 Fig. 15. Comparison K vs RST for N=32.

성능평가 결과 4 개 경로를 가지는 AMN 이 2 개
 의 경로를 가지는 AON 과 M 네트워크 보다, 2 개
 경로를 갖는 AON 이 단일 경로를 갖는 Omega 네트
 워크 보다 전송데이터 량이 증가 할 수록 RST 가 감

표 4. Augmented M 네트워크의 K에 대한 RST
Table 4. K vs RST at Augmented M network.

N	d r K	50			100			200		
		1	2	3	1	2	3	1	2	3
32	0.2	10.71	11.69		12.62	15.05		19.84	18.53	
	0.5	29.48	33.76		47.60	45.14		69.44	64.19	
	1.0	66.91	73.04		108.02	103.51		177.96	165.09	
64	0.2	14.92	14.69	19.15	16.76	15.73	21.86	27.13	25.50	26.25
	0.5	36.66	36.89	39.85	53.90	49.06	59.29	88.20	81.21	84.63
	1.0	78.78	75.01	85.55	129.73	118.87	128.89	208.51	192.65	197.25

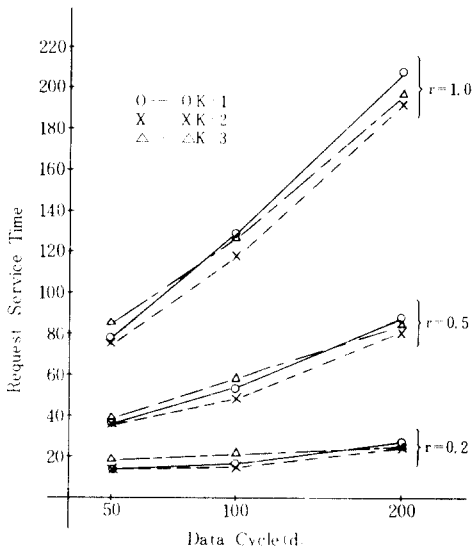


그림 16. N=64 일때 K에 대한 RST 비교
Fig. 16. Comparison K vs RST for N=64.

소되므로 한개의 단이 추가 되어도 경로 수가 2배로 증가 될때 경로설정 시간이 감소 됨을 입증 할 수 있었다. 또한 AMN에서 K=1 일때 보다 K=2, K=3 일때 전송데이터 량이 크면 RST가 감소 됨을 확인 하였다.

그러므로 많은 량의 데이터 전송을 필요로 하는 PE-to-M 시스템에서 상호접속망에 AMN이나 AON으로 구성하면 하드웨어의 복잡도가 감소되며 더욱 빠른 데이터 전송이 이루어 질수 있다.

앞으로 과제는 AMN과 AON에서 프로세서 수(N)와 데이터량(d)에 따라 K의 한계값(RST와 cost상

관 관계)을 구하는 문제와 입력단과 출력단의 2x2 스위칭소자에 고장이 발생 할때 fault-tolerant 문제를 해결하는 MMIN의 설계이다.

參 考 文 獻

- [1] K. Hwang and F.A. Briggs, Computer Architecture and Parallel Processing. McGraw Hill, 1984.
- [2] C.L. Wu and T.Y. Feng, "On a class of Multistage Interconnection Network," *IEEE Trans. Computers* pp. 694-702, Aug. 1980.
- [3] M.C. Pease, "The indirect binary n-Cube Microprocessor array," *IEEE Trans computers*, pp. 458-473, May 1977.
- [4] C.L. Wu and T.Y. Feng, "The universality of the Shuffle-Exchange Network," *IEEE Trans. Computers*, pp. 266-274, May 1981.
- [5] H.J. Siegel and D.S. Smith, "Study of Multistage SIMD Interconnection Network," in *Proc. 5th Annu. Symp. on computers Arch.*, New York, NY. pp. 223-229, Apr. 1978.
- [6] J.H. Patel, "Processor-Memory Interconnection for Multiprocessor," in *Proc 6th Annu. Symp. on computers Arch.*, New York, N.Y. pp. 168-17, Apr. 1979.
- [7] H.J. Siegel, *Interconnection Network for Large-Scale Parallel Processing*, Lexington Book, 1985.
- [8] C.S. Raghavendra and A. Varma, "Fault-Tolerant Multiprocessors with Redundant path Interconnection Network," *IEEE Trans. Computers*, pp. 307-316, April 1986.
- [9] G.B. Adams and H.J. Siegel, "The Extra

stage Cube: A fault-tolerant Interconnection Network for supercomputer," *IEEE Trans. Computers*, pp. 443-454, May 1982.

[10] D. Nassimi and S. Sahni, "A self-routing Benes Network and parallel permutation algorithm," *IEEE Trans. computers*, pp. 241-249, May 1981.

[11] K. Padmanabhan and D.H. Lawrir, "A class of Redundant path Multistage Interconnection Network," *IEEE Trans. computers*, pp. 1099-1108, Dec. 1983.

[12] G.B. Adams and D.P. Agrawal and H.J. Siegel, "Fault-Tolerant Multistage Interconnection Network," *IEEE Computers*, pp. 14-27, June 1987.

[13] D.S. Parker and C.S. Raghavendra, "The Gamma Network," *IEEE Trans. Computers*, pp. 367-373, April 1984.

[14] V.P. Kumar and S.M. Reddy, "Design and analysis of Fault-Tolerant Multistage Interconnection Network with Low Link Complexity," *IEEE 12th Annual Int'l. Symp. Comp. Arch.*, pp. 376-386, June 1985.

[15] D.M. Dias and J.R. Jump, "Analysis and Simulation of Buffered Delta Network," *IEEE Trans. computers*, pp. 273-282, April 1981.

[16] 김대호, 임재남, "다중경로를 갖는 다단상호 접속망에 관한 연구" 전자공학회논문집, 제 25 권 제 5 호, pp. 70-77, 5, 1988.

著 者 紹 介



金 大 浩 (正會員)

1975年 2月 한양대학교 전자공학과 졸업 학사학위 취득. 1979年 8月 한양대학교 대학원 전자공학과 석사학위 취득. 1987年 2月 한양대학교 대학원 박사과정 수료. 1975年 2月~1978年 2月 대한전선(주) 근무. 1978年 3月~1985年 2月 안양공업전문대학 전자과 교수. 1985年 3月~현재 안양공업전문대학 전자계산과 교수. 주관심분야는 컴퓨터 이커택처, 병렬처리 시스템 등임.



林 濟 鏞 (正會員)

1934年 6月 14日生. 1957年 전북대학교 전기공학과 공학사학위 취득. 1959年~1960年 MIT 대학원 수학. 1968年~1970年 University of Hawaii 전기공학과 석사학위 취득. 1975年 2月 한양대학교 대학원 공학박사학위 취득. 1958年~1967年 전북대학교 공과대학 전임강사, 조교수. 1967年~현재 한양대학교 전자공학과 조교수, 부교수, 교수, 대한전자공학회 총부이사. 주관심분야는 Circuit and system Theory Parallel Processing Architecture 등임.