

신경 회로망의 VLSI 구현

정 호 선

(경북대 공대 전자공학과 부교수)

1. 서 론

1982년 Caltech의 Hopfield 교수¹⁾는 인간 두뇌의 연상 기억 처리방식을 본따서 신경 회로망(Neural Network)의 모델을 제안하였으며, 이 신경회로망을 아날로그 회로와 VLSI 기술을 사용하여 하드웨어화할 수 있는 가능성을 제시하였다. 처음 Hopfield 교수가 착안한 것은, 우리 인간의 뇌세포가 부분적인 손상이나 오류에도 불구하고, 전체적으로 정상적인 활동을 할 수 있는 것과 같이 신경회로의 부분적인 파손이나 오동작에도 불구하고, 전체적인 시스템의 동작에는 영향을 주지 않도록 하는 것이었으나, 현재는 아직 연구단계이므로 큰 기대에는 미치지 못하고 있다. 그러나 이러한 Hopfield 교수의 제안은 신경회로망에 대한 많은 관심과 연구를 촉진시켰으며, VLSI 기술을 이용하여 신경 회로칩(Neural Chip)을 만들어 응용할 수 있도록 획기적인 결과를 낳게 하였다. 지금까지 연구되고 있는 Neural Chip은 크게 두가지로 분류될 수 있으며, 그 중 하나는 인간의 뇌의 기능²⁾이고 또 다른 하나는 눈의 기능³⁾으로서 인간의 정보처리 기법을 각각 흉내낸 것이라고 할 수 있다. 이 Neural Chip들은 음성인식, 화상 및 패턴인식을 할 수 있는 Neural Computer 분야에 응용되리라 본다.

본 고에서는 우선 미국에서의 Neural Chip에 대한 개 발현황에 대해서 고찰하고자 하며, 신경 세포를 실현하는데 어려운 문제점인 신경 세포간의 연결세기를 나타내는 Synapse를 구현하는 방법과 자극과 억제에 해당하는 입력 신호를 가해주는 방법에 대해서 소개하고자 한

다. 그리고 국내 대학에서 연구한 결과로서 문자 인식을 하기 위한 영상 처리의 전 처리 과정인 잡음 제거, 세션화, 특징점 추출에 대해서 신경 회로망을 이용한 Chip 설계 방법⁴⁾과 4-bit A/D 변환기⁵⁾, 4-bit 가산기⁶⁾, 5×5 곱셈기⁶⁾, 그리고 Associative Memory를 VLSI로 구현하는 방법에 대해서 소개하고자 한다.

2. Neural Chip이란?

Neural Chip은 기존의 LSI와는 구조가 전혀 다른 것으로서 인간의 뇌의 정보처리 방법을 본보기로 하여 신경 회로망의 모델을 IC Chip상에 전자회로로 실현시킨 것이라고 할 수 있다. 인간의 두뇌와 마찬가지로 신경 회로망은 Neuron과 이들을 상호 연결해주는 Synapse로 구성되어 있다. 신경 회로망내의 각 Neuron들은 많은 입력을 가질 수 있으나, 출력은 하나만 가질 수 있다. 그러나, 각 출력은 분기되어 Synapse를 통해 다른 많은 Neuron에 입력이 될 수 있다. 하나의 Neuron에 들어온 입력과 Synapse와의 곱의 합이 어느 임계치를 넘으면 이 Neuron은 다른 Neuron들에게 흥분에 해당하는 출력(Excitatory), "High"신호를, 그렇지 않으면 억제에 해당하는 출력(Inhibitory), "Low" 신호를 내준다. 이를 수학적으로 표시하면 j번째 Neuron의 출력전압은 다음과 같은 식으로 표현할 수 있다.

$$V_{out\ j} = f(\sum_i T_{ij} \cdot \sigma_j)$$

=1 : 흥분자극의 세기 > 억제자극의 세기

=0 : 흥분자극의 세기 < 억제자극의 세기

여기서 $V_{out j}$: j번째 Neuron의 출력, T_{ij} : j번째 Neuron과 연결되는 Synapse들, a_i : j번째 Neuron의 입력, σ_j : j번째 Neuron의 임계값이다.

Neuron간의 각 상호 연결부, 즉 Synapse는 연결세기를 결정하는 가중치를 가짐으로써 한 Neuron이 신호를 내출 것인가 내주지 않을 것인가의 결정에 기여한다. 한 개의 신경 회로는 아주 단순하지만 이 회로가 어떻게 연결되느냐에 따라서 그 기능은 아주 다양해질 수 있으며, 화상 인식, 패턴 인식 및 음성 인식분야에 이들 신경 회로망의 위력이 나타나리라 본다. 신경 회로를 실현하는데 있어 어려운 문제점은 신경 세포들간의 연결 세기를 나타내는 저항과 신경 세포 자체를 전자 회로화하여 여러개의 Neuron들과의 복잡한 연결 방법을 어떻게 해결하느냐에 있다. 이들 문제를 해결한다면 인간의 두뇌와 유사한 기능을 갖는 Neural Chip이 개발될 날도 멀지 않을 것이다.

3. 미국의 Neural Chip 개발에 대한 현황

3.1 학교와 연구소에서 연구

미국에서의 신경 회로망에 대한 연구는 오래전부터 수행되어 왔으며, 이를 Chip화 하는 데도 앞서가고 있다. 고속처리가 요구되는 실용적인 System을 낮은 가격

으로 만들기 위해서는 Chip화가 불가피하다. 기존의 LSI의 연구자들도 이 분야에 이미 참가하였고 지금이 "Business Chance"로 보는 Venture기업들이 등장하고 있다. AT&T Bell 연구소를 시작으로 5개 연구기관이 LSI급의 Neural Chip의 시험제작을 마쳤고⁽⁷⁻¹¹⁾, 특히 Bell Core 등 3개의 작은 연구소⁽¹²⁻¹⁵⁾에서도 이미 연구를 시작하였다. 표1은 각 연구기관에서 연구되고 있는 Neural Chip의 개발에 대한 현황을 나타낸 것이다.

특히 AT&T 연구소⁽⁵⁾에서는 54개의 Neuron으로 구성된 7만5천여개의 MOS트랜지스터급의 칩을 이미 시험 제작하였으며, 이 칩의 면적은 $6.7 \times 6.7 \text{mm}^2$ 이다. 또한, 256개와 512개의 Neuron으로 된 Neural Chip을 $2.5 \mu\text{m}$ CMOS 설계 규칙에 따라 설계하고 있다. 한편, Bell Core에서도 6개의 Neuron과 15개의 Synapse로 된 테스트 칩을 설계 제작하였다.

Neural Chip에 대한 연구에 있어서 두드러진 현상은 반도체 분야의 연구자가 속속 이 분야에 들어오고 있으며, Venture 기업도 이미 시작하고 있다는 점이다. Zilog사에서 Z80을 개발하여 μ -processor의 새로운 시대를 열었던 Faggin박사는 Venture기업인 Synaptics사를 1986년에 설립하였고, 1980년에 VLSI의 설계 방법을 제안하는 등 시대를 이끌어가는 연구자로 알려진 California 공과대학 교수인 C.A.Mead도 이 회사의 운영에 참여하고 있다. 초전도의 연구자이며 Novel상을 수상한 L.C.

표 1 Neural Chip의 개발 현황

AT&T 연구실					
Neuron 수	54	46	256	24	512(연구중)
모방된 기능	뇌	뇌	뇌	뇌	뇌
구성의 방법	연상	연상	연상	연상	연상
구 성	54×54	46×96	256×256	46×24	
제조 기술	$2.5 \mu\text{m}$ CMOS	$2.5 \mu\text{m}$ CMOS	$2.5 \mu\text{m}$ CMOS	$1.25 \mu\text{m}$ CMOS	
Synapse	MOS저항		아몰퍼스 Si	용량성	아몰퍼스 Si
Chip Size(mm ²)	6.7×6.7	6.7×6.7	5.7×5.7	3.5×6.35	
규 모 (트랜지스터수)	7만5천	7만	2만5천	4만	
비 고	▶ 소비전력 500mW(최대) 200mW(표준)		▶ 저항수 13만	▶ Synapse 면적 $70 \times 240 \mu\text{m}^2$	

	Jet 추진연구소			MIT 링컨연구소		
Neuron 수	32 (Synapse부만)	40 (Synapse부만)	13	32	7	16
모방된 기능	뇌	뇌	뇌	뇌	뇌	뇌
구성의 방법	연상	연상	연상			
구 성	32×32	40×40	13×13	32×32	15×7	8×16
제조 기술	3 μ m CMOS		CCD-MNOS	CMOS	CMOS	CMOS
Synapse	MOS 저항 (200k Ω)	아몰퍼스 Si (1M Ω)	MNOS	MOS 저항	MOS 저항	MOS 저항
Chip Size(mm)	7×9	4×4	1.2×2.25			6.25×4.90
규 모 (트랜지스터수)	1만4천	0	2천			3만7천
비 고	▶MOS 저항폭 / 길이=12/244 μ m	▶유리 기판	▶산화막두께 2.5mm			

	Bellcore	UCLA	ASU	UCLA	Caltech
Neuron 수	6	10(연구중)	12	512.2K(연구중)	(연구중)
모방된 기능	뇌	뇌	뇌	뇌	눈
구성의 방법	연상	계층	연상	계층	저항 Network
구 성	6×6	48×10	4×3	32×16, 64×32	60×60
제조 기술	2 μ m CMOS	CMOS	3 μ m CMOS	CMOS	CMOS
Synapse	MOS 저항	용량성	Digital	용량성	저항
Chip Size(mm ²)	6.5×6.5	7.87×9.14	8.3×8.6	2.8×3.8(512)	6.8×6.8
규 모 (트랜지스터수)	7천	4천	4만	1만2천 4만3천	10만

oper 는 역시 Neuro Venture인 Nestor사의 회장의 직위를 갖고 이 분야에 들어왔다. AT&T Bell 연구소의 R.E.Howard 박사는 0.1 μ m의 MOS Transistor를 만들어 그 양자 효과를 연구하면서 Josepson소자를 연구하는 동시에 현재 Neural Chip 개발팀도 이끌어가고 있다. Massachusetts 공과대학 Lincoln 연구소의 J.I.Raffel박사도 Wafer Scale LSI에 대한 연구를 수행하다가 이 분야 연구를 하고 있다.

한편, 미국 정부는 적극적으로 자금 지원을 하고 있으며, 국방 총성의 DARPA(Defense Advanced Research Projects Agency)를 시작으로 NSF(National Science Foundation), NASA(National Aeronautics and Space Administration), SDI(Strategic Defense Initiative)기구, 공군성, 해군조사과 등이 강력히 연구를 지원하고 있다.

3.2 Neural Chip의 종류

지금까지 시험 제작된 Neural Chip은 크게 두가지로 분류된다. 그 중 하나는 인간의 뇌의 기능이고 또 다른 하나는 눈의 기능으로서 정보처리 기법을 각각 흉내낸 것이다. 표1에서와 같이 AT&T Bell 연구소에서 개발한 것으로서 Neuron수가 54개인 CMOS Chip과 MIT Lincoln 연구소 Neuron을 가진 LSI Chip²²⁾ ²³⁾ 그리고 California 공과대학 Jet 추진 연구소의 Chip들은 거의 가 뇌를 표본으로 하고 있다. California 대학 Los Angeles 교(UCLA)와 Arizona 주립대학에서 연구한 Chip이나 Bell Core의 Chip도 이러한 종류이다.

눈의 정보처리를 표본으로 하는 대표적인 예는 California 공과대학 교수인 Mead가 시험 제작한 칩이다. 이 Chip은 시각계 기능의 하나인 물체의 윤곽을 추출하

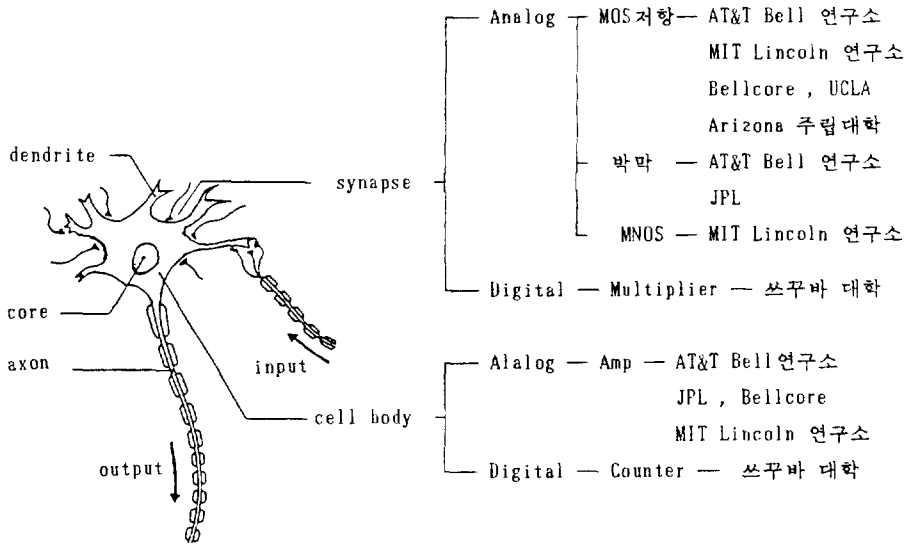


그림 1. 신경 세포의 구현 방법

(a) 신경 세포의 구조

(b) 신경 세포의 전자회로화

는 기능을 실현하는 기능을 갖고 있다. UCLA 조교수인 A.Abidi도 이와같은 기능을 가진 Neural Chip을 연구중이다.

3.3 Neural Chip의 제작 기술

Neural Chip은 대부분 실리콘 기술에 의해 실현되고 있다. 신경세포는 뇌를 구성하는 기본단위로서 이것을 어떻게 재현할 것인가, 또는 어떻게 동작시킬 것인가에 대해 여러가지 방법으로 연구되고 있다. Neuron간의 결합 강도를 나타내는 Synapse를 구현하기 위해 가변저항으로서 MOS의 ON 저항을 이용하는 방법과 고집적화를 목표로 박막을 사용하는 방법 등 그 접근은 여러가지이다. 이러한 Neuron을 조합하여 Network를 구성하는 Chip 내의 회로 구조는 Matrix형이 많으나 계층형도 나오기 시작하고 있다. 시험 제작된 Chip의 Neuron 수는 아직 256개 정도이나 1,000개 정도의 Neuron이면 실용화될 수 있으리라 생각된다. 10만개를 초과하면 Neuron 간을 배선하는 것이 문제가 되어 해결 방법으로서 광기술도 검토되고 있다.

그림1은 각 연구기관에서 연구되고 있는 신경세포의 구현방법을 보여주고 있다. Neural Network의 기본 단

위인 Neuron은 생체의 신경세포의 기능을 흉내낸 것이다. 생체의 Neuron은 그밖의 Neuron으로부터 Synapse과 불리는 접합부분을 통하여 신호를 받게 된다. 이 Neuron 으로부터 다른 Neuron에 전하는 흥분의 강도는 Synapse 결합의 강도로 결정된다. 각 Synapse로부터의 신호를 집적한 결과가 어떤 일정 Level에 달하면 다른 Neuron으로 흥분 상태를 전한다.

전자 회로로 구현된 한개의 Neuron은 여러개의 다른 Neuron으로부터 가산된 신호를 받아 그 가산된 신호가 어떤 문턱치에 달하면 다른 Neuron에 신호를 출력하도록 한다. Neural Network 특유의 학습기능^{19) 20)}은 이 문턱치 및 Neuron간의 결합 강도를 변화시킴에 따라 실현된다. 이들 Neuron은 Analog회로로 구현하는 것이 많다. Analog 기술에서는 Neuron간의 결합 즉, Synapse를 가변저항으로 구현하고, 문턱값 처리를 하기 위한 신경세포는 Amplifier로 구현한다. 그러나, 전체 회로를 Analog 로만 만들 수 없으며 주변에는 Digital 회로도 사용하고 있다. 미국에서는 AT&T Bell연구소를 비롯하여 MIT 링컨 연구소, Bell Core, UCLA 및 JPL 등 연구소에서 Analog 기술을 사용하고 있다. Arizona 주립대학 교수 L.A.Akers^{16)~18)}는 최초의 Chip은 Digital회로만으로 구성하였으나, 1 Neuron당 Transistor수가 많

아지게 되어 중첩된 것을 Analog 회로로 대처하였다. 이에 반해 쓰루바대학의 HIRAI교수는 전부 Digital 기술로 칩 설계를 하여 Pulse의 밀도로서 Analog 양을 나타내도록 하고 있다. Digital 기술을 쓰는 이유는 Analog 기술에서는 Neuron간의 결합에 필요한 가변 저항을 Device 로 만드는 것이 어렵고, 소비전력도 크게 되기 때문이라고 한다. 그러나 Analog나 Digital 어느것도 대규모 Chip은 아직 만들지 못하고 있으며, 본격적인 검토는 지금부터라고 생각한다.

3.4 Neural Chip의 응용

Chip을 구체적으로 응용하기 시작한 기관으로서 Bell 연구소는 우편번호의 문자인식장치에, 그리고 Jet 추진 연구소는 우주에서 사용하기 위한 무인 자동차에의 응용을 목표로 하고 있다.

3.4.1 우편번호 인식 분야

AT&T Bell 연구소는 100개의 Neuron과 256개의 Neuron의 Chip을 이미 제작하였으며, 256개의 Neuron으로 된 Chip은 Transistor수가 2만 5천개이고, 저항이 13만개로서 칩 면적은 $5.7 \times 5.7 \text{mm}^2$ 이다. Chip의 중앙 부분은 Synapse부분으로서 Matrix 형태로 구성하고 주변 부분은 최소 선폭이 $2.5 \mu\text{m}$ 인 CMOS회로로 설계하였다. 이 Neural Chip을 사용하여 우편번호를 인식하는 시스템을 개발하여 99% 정도의 인식율을 얻었으며 처리 속도도 훨씬 개선되었다.

3.4.2 지능 Robot

Jet 추진 연구소에서는 달 표면 등을 달리는 무인 자동차와 자전하고 있는 위성을 수리하는 Robot 등에 응용을 염두에 두고 개발을 진행하고 있다. 이러한 응용에는 실시간 처리가 불가피하여 Neural Network가 필요하다고 한다. 예를들면 종래의 원격조작에서는 자동반송차가 전방의 장애물을 인식하여도 그것을 피하기 위한 명령이 미치지 전에 장애물에 충돌하여 버리는 위험이 있었다. 개발된 Neural Chip은 40개의 Neuron으로 설계되었으며 Chip면적은 $4 \times 4 \text{mm}^2$ 이고, 가변 저항으로서 Amorphous 실리콘을 사용하였다.

4. 국내에서의 Neural Chip에 대한 연구

국내 대학이나 연구기관에서도 Neural Chip에 대한

연구를 이미 시작하고 있으나, 아직 발표된 논문은 없다. 경북대학교 전자공학과 VLSI & CAD 연구실에서는 1988년 11월 추계전자공학회 학술발표대회에서 신경 회로망을 이용한 A/D 변환기 설계⁵⁾, 신경 회로망 개념을 이용한 문자 두께 변환 회로의 설계⁶⁾, 신경 회로망 알고리즘을 이용한 한글 문자인식⁷⁾, 신경 회로망을 이용한 세션화 및 특징점 추출⁸⁾, 그리고 신경 회로망을 이용한 2진화 영상의 잡음 제거 및 직선화²⁶⁾에 대한 논문을 발표한 바 있다. 이들 논문을 중심으로 하여 여러가지 회로에 대한 Neural Chip의 설계 방법에 대해서 설명하겠다.

4.1 신경 회로망의 VLSI 접근

그림2는 신경세포(neuron)의 구조와 이러한 신경세포가 어떻게 모형화되고 하드웨어로 실현되는가를 나타낸 것이다. 그림2-(a)는 신경세포의 구조이다. 세포 몸체(Cell Body)는 다른 신경세포로부터 전달되는 자극들의 합과 세포내에 미리 설정된 문턱치와 비교하여 자극들의 합이 크면 흥분에 해당하는 출력(Excitatory)을, 작으면 억제에 해당하는 출력(Inhibitory)을 다른 세포에 보낸다. 그림2-(b)는 신경 세포를 전자회로로 구현한 한가지 방법을 나타낸 것으로서, 세포 몸체를 증폭기로, 신경 세포의 수상돌기(Dendrite)를 입력선으로, 신경세포의 축삭돌기(Axon)를 출력선으로, 그리고 신경전도부(Synapse)를 저항으로 대처한 전자회로의 구현 방법을 보여주고 있다.

그림3은 그림2-(b)의 회로를 CMOS 회로로 구현한 것이다. 입력으로는 A1, A2, A3 및 A4가 PMOS에, 그리고 B1, B2, B3 및 B4가 NMOS에 8개가 들어가고, 입력된 데이터에 따라 출력 y_i 가 결정된다. 표2는 그림3의 각 MOST가 ON되고 OFF됨에 따른 시뮬레이션 결과

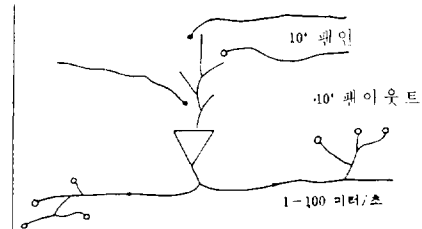


그림 2. 신경 세포의 하드웨어화

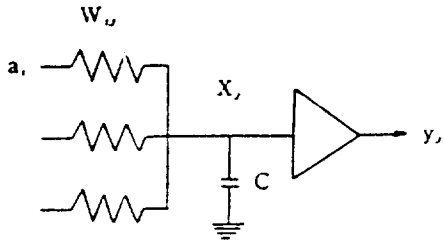


그림 3. 간단한 신경 회로망의 CMOS 구현

표 2 간단한 신경 회로망에 대한 CMOS 회로의 SPICE 시뮬레이션 결과

A1	A2	A3	A4	V(1)	V(2)	Vout
B1	B2	B3	B4			
0	0	0	0	5 (V)	0 (V)	5 (V)
0	0	0	0	4.5094	0	5
0	0	0	0	3.9495	0.0136	5
0	0	0	0	3.3515	0.1783	5
0	0	0	0	2.7866	0.7370	5
0	0	0	1	2.1727	4.5579	0
0	0	1	1	1.4198	4.9421	0
0	1	1	1	0.6563	5	0
1	1	1	1	0	5	0

이다. 표2를 보면 5번째와 6번째 결과 사이에 출력이 5V에서 0V로 바뀌어짐을 볼 수 있는데 이는 5번째와 6번째 값 사이에서 입력 데이터 값에 따라 Threshold됨을 보여준다. 입력값들의 합이 Threshold 값(=1/2 Vdd)보다 크면 흥분(Excitatory)에 해당하는 값 HIGH(=1)를 출력하게 되고, Threshold 값보다 작으면 억제(Inhibitory)에 해당하는 값 LOW(=0)를 출력하게 됨을 보여준다. 이 회로에서 Neuron은 CMOS Inverter 두개로

구현되었으며 Synapse는 MOST의 ON 저항으로 대체되었다.

4.2 영상 처리 기법의 신경회로망의 구현

그림4는 AT&T사의 Bell 연구소(15)에서 개발한 형태 분류기이다. 신경회로망을 이용한 이 형태 분류기의 동작 원리를 살펴보자. 이 회로는 신경회로 모델을 이용하여 설계되었고, 분류기는 레이블 유닛(Lable Unit)과 벡터유닛(Vector Unit)의 두 부분으로 나뉜다. 몇개의 벡터가 회로에 저장되고, 각각은 하나의 레이블 유닛의 입력에 연결되어 있다. 이에 저장된 벡터의 요소는 -1, 0 또는 +의 값을 가질 수 있다. 흥분상태의 연결은 +1로, 억제상태의 연결은 -1로, 그리고 Don't Care 상태는 0으로 정해진다. 입력 데이터는 벡터 유닛의 입력으로 주어진다. 이 입력 데이터 요소는 1 또는 0의 값을 가질 수 있다. 입력 벡터에 +1이 가해질때마다 연결의 형태에 따라 레이블 유닛의 입력에 전류가 더해지거나 감소하게 된다. 입력 전압이 증폭기의 문턱치 이상이면 이 레이블 유닛의 출력은 "High" 상태가 되고, 그렇지 않으면 "Low" 상태를 그대로 유지한다.

그림4의 형태 분류기를 개선시켜 CMOS로 구현한 것을 그림5에 나타내었다. 그림5-(a)는 영상처리 즉, 섹션화에 사용되는 3x3 마스크의 한 예이다. 그림5-(a)에서 한 화소당 가질 수 있는 상태는 -1, 0 및 +1의 세 가지이다. 마스크의 +1 상태는 그 화소가 문자 영역이어야만 하고 0의 상태는 문자 영역 또는 배경 영역이 되어도 상관 없으며, -1의 상태는 항상 배경 영역이어야만 한다. 이 패턴 마스크 형태를 그림5-(b)와 같이

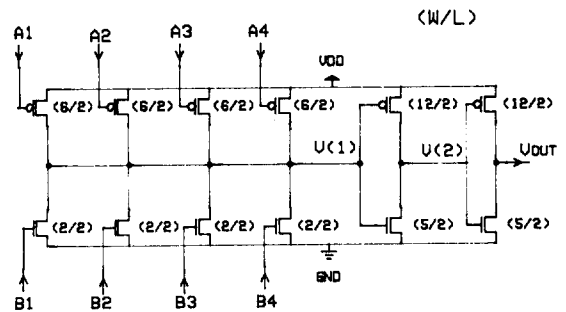


그림 4. 형태 분류기 회로

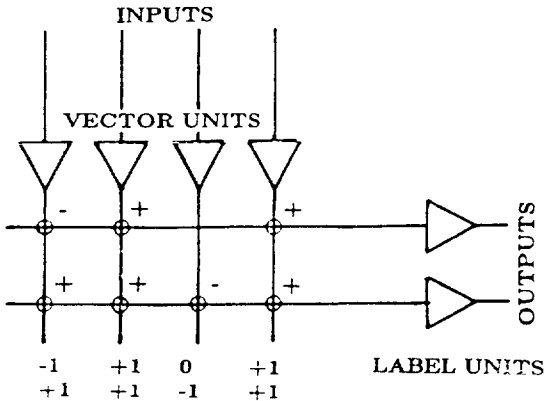


그림 5. 개선된 형태 분류기

CMOS 회로로 구현하였다. 형태 분류기 회로는 이 마스크의 세가지 상태, 즉 +1의 상태는 PMOS로, -1 상태는 NMOS로, 그리고 0 상태는 소자를 연결하지 않는 것으로 하여 구성되었다. 이 회로는 PMOS의 W/L 값을 $6\mu\text{m}/2\mu\text{m}$ 로, NMOS의 W/L 값을 $2\mu\text{m}/2\mu\text{m}$ 로 하여 컨덕턴스의 값을 같게 하였다. 또한, 마스크 형태와 동일한 입력일때만 레이블 유닛의 출력이 "High"가 되도록 하기 위해서 Bias 소자로서 NMOS를 하나 더 추가하였다. 이 NMOS 소자의 W/L 값은 $(2.N)\mu\text{m}/2\mu\text{m}$ 로 주어진다. 여기서, N은 마스크에서 결정된 +1 상태의 갯수이다. 마스크의 상태와 서로 다른 문자 데이터가 들어오게 되면 레이블 유닛의 상태는 항상 "Low"가 되고, 마스크의 상태와 같은 입력이 들어오면 레이블 유닛의 출력은 "High"가 된다. 따라서 저장된 데이터와 입력되는 데이터가 일치되는 경우를 쉽게 알 수 있다.

4.3 문자 인식용 칩 설계

Video Camera나 Image Scanner를 통해 입력된 영상으로부터 문자를 인식하기 위해서는 먼저 문턱값 처리 기법을 사용하여 한 화소가 가지는 명암도를 문자 영역은 검은색(명암도 0)으로, 배경 영역은 흰색(명암도 256)으로 분할한다. 명암도 0인 문자영역은 "1"의 값으로, 명암도 256인 배경 영역은 "0"의 값으로 변환하여 입력 영상을 2진 영상화 한다. 이 2진 영상으로부터 특징점을 추출하기 위해서는 문자들을 각각 하나의 문자로 분리하여야 한다. 문자 인식을 Software적인 방법으로 할 때

잡음 제거, 세선화 및 특징점 추출 과정에서 처리 시간이 많이 걸리게 된다. 따라서, Neural Chip을 제작하여 Hardware와 Software 방법을 병용한다면 인식율과 인식속도가 많이 개선될 것이다.

4.3.1 잡음 제거

입력 장치를 통하여 입력된 문자 영상을 문턱값 처리 기법을 사용하여 문자영역과 배경영역으로 분리하게 되면 배경 영역에 잡음이 존재할 수 있다. 이 잡음들을 그대로 두고 특징점을 추출하면 문자와 관계없는 특징점들이 추출될 우려가 있다. 이러한 문제점을 피하기 위하여 잡음 부분을 제거하여 보다 양질의 영상으로 만들어 주어야 한다. 문자 영상에서 잡음을 제거할 때, 잡음의 기준이 문제가 된다. 본 고에서는 32×32 화소로 정규화된 문자의 가장 적은 한 획이 적어도 세 개의 화소로 연결되었다고 보고, 한 화소로 이루어진 고립점과 서로 연결된 두 개의 화소로 이루어진 고립점들을 잡음으로 취급하였다. 그림6은 이러한 기준을 고려한 잡음 제거 마스크이다. 그림6의 5×5 마스크 형태와 동일한 입력영상이 들어오면 마스크의 중간점 데이터를 "1"에서 "0"으로 변환시킴으로써 잡음 제거는 이루어진다. 실제로 5×5 마스크를 사용하여 잡음으로 고려할 수 있는 경우 9가지를 설정하였다. 마스크 패턴에서 +1은 PMOS, -1은 NMOS 그리고 Don't Care는 아무 트랜지스터도 연결되지 않도록 하여 이들 마스크 형태를 회로로 구현한 것이 그림7이다. BIT 1-BIT 25는 회로의 입력이고, MASK1- MASK9는 회로의 출력이다.

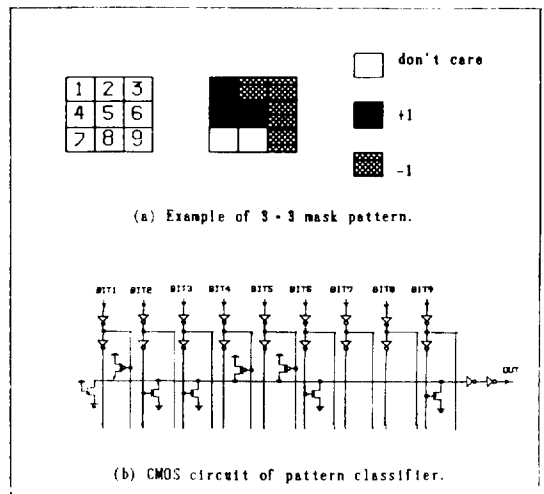


그림 6. 잡음 제거 마스크

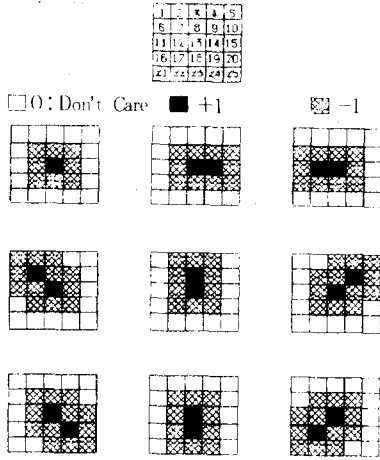


그림 7. 잡음 제거 회로

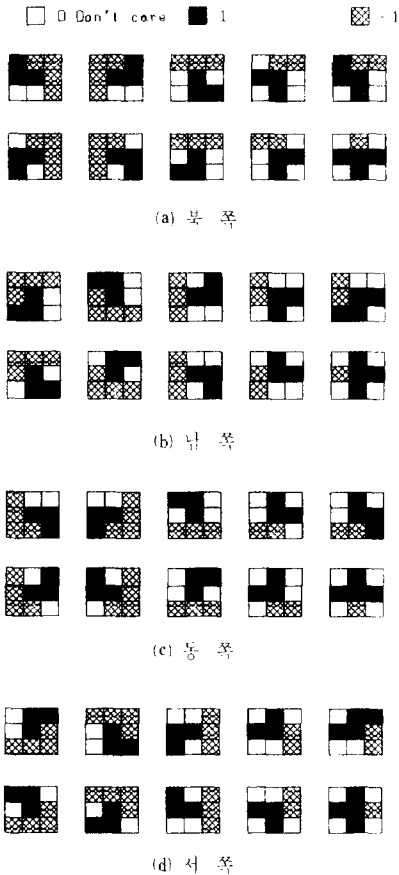


그림 8. 세선화 마스크

4.3.2 세선화

그림8은 세선화용 마스크이다. 문자 영역과 배경 영역으로 분리된 입력 영상은 문자영역의 선폭이 두껍게 나타난다. 이렇게 굵게 나타난 문자 영역의 선으로부터 특징점을 추출하기는 어렵다. 그러므로 굵게 나타나는 선을 한 화소폭으로 만드는 세선화 과정이 필요하다. 이를 위하여 A.Rosenfeld 등이 제안한 세선화알고리즘을 신경 회로망에 적용하여 8 방향성 세선화를 수행하였다. 굵게 나타난 선에 대하여 선폭의 중간이 최적의 정보를 가지고 있다고 볼 수 있으므로 북쪽, 남쪽, 동쪽 및 서쪽의 순으로 더 이상 제거할 점이 없을 때까지 반복하여 세선화를 수행시키면 하나의 화소만으로 연결된 영상을 얻게 된다. 잡음제거 회로와 마찬가지로 마스크 패턴에서 +1은 PMOS, -1은 NMOS 그리고 Don't Care는 아무 트랜지스터도 연결되지 않는 상태로 하여 이들 마스크로부터 세선화용 회로를 설계할 수 있다.

4.3.3 특징점 추출

그림9는 특징점 추출용 마스크이다. 세선화된 입력

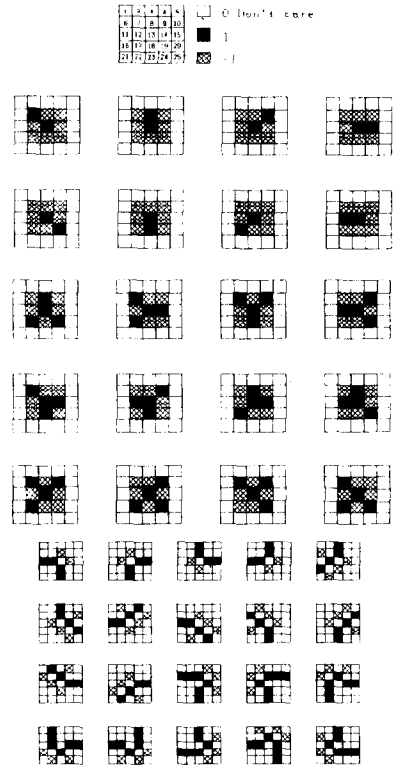


그림 9. 특징점 추출 마스크

영상에서 문자 인식에 필요한 특징점은 최종점(end point), 가지점(branch point) 및 굴곡점(edge point)의 세 가지 종류로 분류된다. 최종점은 세션화된 각 문자의 마지막 점을 나타낸다. 5×5 마스크의 중앙점에 대하여 8개의 이웃점 중 하나만이 오브젝트(object)로 채워져 있을 때, 이 점을 최종점이라고 부른다. 그림9-(a)는 최종점 추출을 위한 마스크이다. 그리고, 가지점은 세션화된 문자 영상에서 가지와 가지가 서로 연결된 점을 말한다. 3개의 오브젝트와 중앙점이 연결되어 있을 때 이 점을 가지점이라고 부른다. 같은 방법으로 가지점 추출을 위한 마스크를 그림9-(b)에 나타내었다. 그림9-(c)는 굴곡점 추출을 위한 마스크이다. 굴곡점은 문자 영상에서 가지들의 진행 방향이 변화하는 점을 나타내므로 굴곡점이라고 간주되는 모든 형태의 점들을 고려하여 굴곡점을 추출하기 위한 마스크를 설계하였다. 이들 마스크의 정보로부터 그림7에서와 같이 특징점을 추출할 수 있는 회로를 쉽게 설계할 수 있다.

4.4 4 비트 A/D 변환기

1986년 J.J.Hopfield 교수는 최적화 문제를 풀기 위한 모델을 제시하면서, 그림10과 같은 A/D 변환기를 한 예로 들어 설명하였다. 이 회로는 4개의 증폭기와 컨덕턴스가 서로 다른 Synapse들로 구성되어 있다. 이 회로의 문제점은 국부 최소값(Local Minima)이 두개가 생겨 회로가 불안정하게 된다. 따라서, 회로를 안정화시키기 위해서는 보정 회로를 추가로 설계해야 한다. 그러나 보정회로를 사용하지 않고, 그림11과 같이 회로를 더욱 간단히 하면서 Synapse의 값을 변경하여 안정된 회로를 설계할 수 있었다. Analog 입력은 ANALOG INPUT 단자에 가해지고 PMOS게이트에 연결되며 컨덕턴스값은 모두 16이다. 그리고 Bias를 가해주기 위해 NMOS의 게이트에 5V 전원을 연결한다. Digital 출력은 LSB, D1, D2 및MSB단자가 되고 출력에서 귀환되는 단자들은 NMOS 게이트들에 연결된다. 이 NMOS들의 컨덕턴스 값들은 서로 값이 다른 증량값을 갖고 있다. Inverter 회로 두 개는 Neuron에 해당되고 출력측의 Inverter 한 개는 Analog 입력 신호가 최소값일 때 Digital 출력이 "0000"이 되도록 하기 위한 것이다.

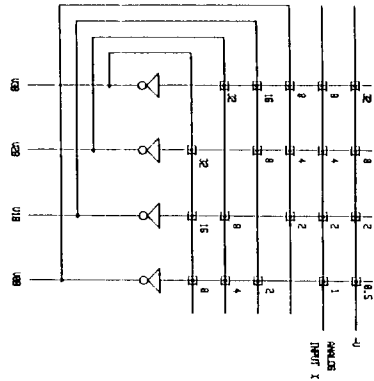


그림 10. 신경 회로망을 이용한 4비트 A/D 변환기

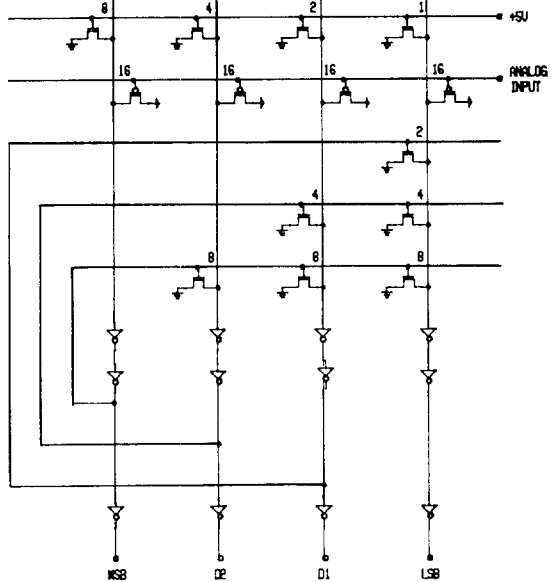


그림 11. 개선된 신경 회로망의 4비트 A/D 변환기

4.5 4비트 전가산 회로

신경회로망을 이용하여 전가산 회로도 설계할 수 있다. 기존의 가산기와는 달리 동작시간이 비트수에 따라 증가하지 않으므로 높은 수행속도를 가진다. 일반적인 가산기는 한비트씩 연산을 수행하여 생긴 캐리를 다음 비트의 연산을 위해 넘겨주므로 캐리의 전파시간 때문에 가산기의 동작속도는 비트수가 증가함에 따라 상당히 느려지는 단점이 있다. 그러나, 신경회로망을 이용하

여 각 비트의 연산을 병렬로 처리함으로써 캐리 전파시간을 감소시키고, 회로를 간략히 설계함으로써 가산기의 동작속도를 개선시킬 수 있다.

그림12는 새로 고안한 4비트 가산기 회로이다. 이 가산회로는 두 수 A0-A3, B0-B3 및 전단 캐리입력 C-IN을 입력으로 하고, S0-S3과 캐리 출력 C-OUT를 출력으로 한다. 회로의 구성을 살펴보면 가산기 입력과 캐리 입력 그리고 접지 부분의 회로는 PMOS들로 구성되어 있고, VDD선과 출력에서 귀환되는 부분의 회로는 NMOS들로 구성되어 있다. 또한 신경회로망의 기본이 되는 셀들은 2개의 인버터로 구성되어 있으며, 셀들의 출력은 또 다른 인버터를 거쳐 가산기의 출력이 된다. 여기서 이 회로의 특징은 MOST의 디바이스 파라미터(W/L)가 서로 다르다는 점이다. VDD선의 NMOS의 디바이스 파라미터는 각각 1,2,4,8,16이고, GND 선과 가수 A0와 피가수 B0선 그리고 캐리입력 C-IN선의 PMOS의 디바이스 파라미터는 모두 1의 값을 가진다. A1과 B1선의 PMOS의 디바이스 파라미터 값은 2, A2와 B2는 4, A3과 B3은 8이다. 귀환회로에 연결되는 NMOS들은 디바이스 파라미터 값이 각각 2,4,8 및 16이다.

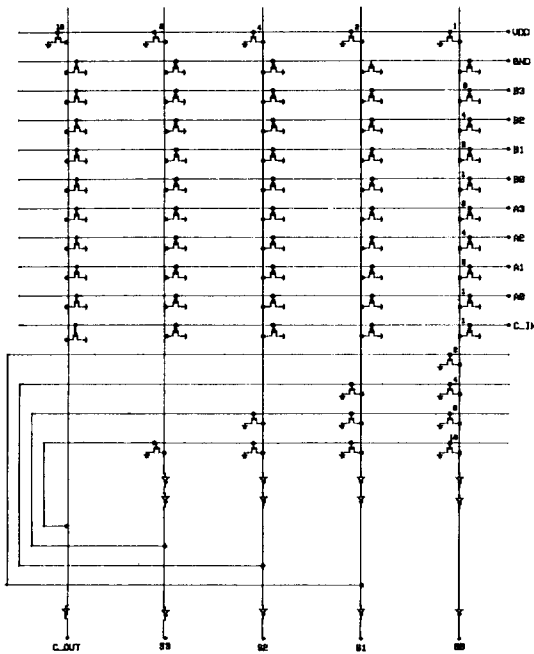


그림 12. 4비트 전가산 회로

4.6 5×5 곱셈기 회로

그림13에서와 같이 신경 회로망을 이용하여 설계된 곱셈기의 회로는 기존의 디지털 회로를 사용하지 않고 회로의 구성을 간단히 하여 고속의 곱셈을 수행할 수 있다. 새로 고안된 5×5 곱셈기 회로는 AND 게이트들과 1's 카운터 회로로 구성되어 있다. A0-A4는 승수, B0-B4는 피승수, 그리고 P0-P9는 곱셈기의 출력이다. 1's COUNTER CIRCUIT는 1의 갯수를 세는 회로이며 입력이 7개이고, 출력이 3개인 회로이다. 곱셈기 출력 P0은 A0과 B0을 곱한 값이므로 AND 게이트 하나만으로 연산이 가능하다. 출력 P1은 $A0 \times B1$ 과 $A1 \times B0$ 을 더한 값이므로 이 두 값을 1's 카운터 회로에 입력시켜 P1을 얻고, 이 때 생긴 캐리를 다음단 1's 카운터 회로로 넘겨준다. 출력 P2는 $A0 \times B2$, $A1 \times B1$, $A2 \times B0$, 그리고 전단의 캐리를 더한 값이므로 1's 카운터의 입력 7개 중에서 4개의 입력을 사용하여 P2를 얻는다. 이러한 방식으로 P8과 P9는 $A4 \times B4$ 와 전단으로부터의 캐리를 1's 카운터 회로에 입력시킴으로써 얻어진다.

그림14는 1의 갯수를 세는 1's 카운터 회로이다. IN1-IN7은 카운터 입력이고, A0-A2는 이 회로의 출력을 나타낸다. 이 회로에서 PMOS의 컨덕턴스는 모두 1이고, VDD 행의 NMOS는 각각 1,2 및 4이며, 귀환되는 부분의 NMOS는 각각 2와 4의 값을 가진다. 모든 입력이 0이면 모든 PMOS가 ON되므로 출력은 000이 된다. 입력들 중 어느 하나가 1이면 그 행의 PMOS는 OFF가 된다. 그러므로 카운터의 출력은 001이 된다. 이렇게 하여 모든 입력에 1이 들어가면 111이 출력된다.

4.7 Content Addressable Memory

컴퓨터의 메모리는 그 내용을 지정하는 방법에 따라 크게 두가지로 나눌 수 있다. 첫번째는 기존의 컴퓨터에서 볼 수 있는 방법으로, 메모리에 저장된 내용의 항목을 찾기 위해 일련의 번지를 지정하여 각 번지의 메모리의 내용을 읽어내는 방법이다. 이 경우에는 특별한 메모리에 정보들이 저장되어 있더라도 그 주소를 모르면 정보를 메모리에서 임출력시킬 수 없다. 즉, 그 정보를 Access하는 유일한 방법은 그 특별한 주소를 아는것 뿐이다.

다른 하나는 인간의 기억방식과 유사한 방법으로서

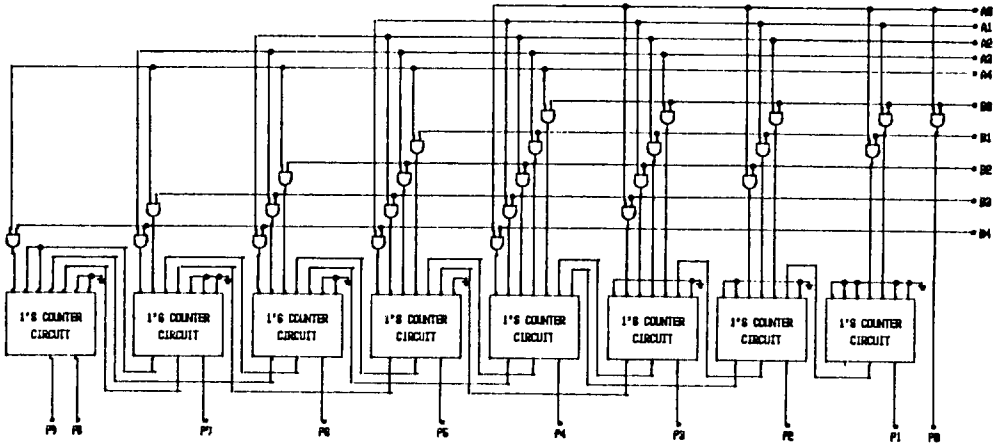


그림 13. 5×5비트 곱셈기 회로

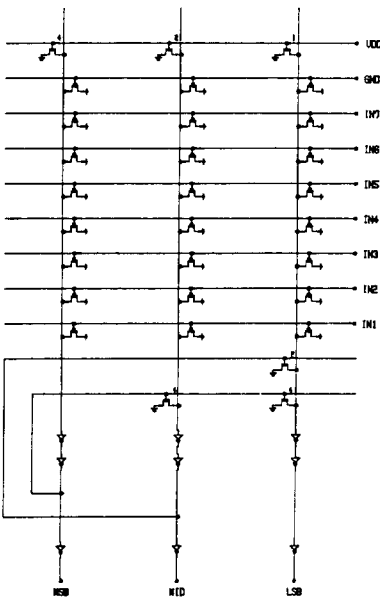


그림 14. "1"의 갯수를 세는 1's 카운터 회로

일부분의 정보를 가지고, 그와 연관된 많은 부분을 기억 해내는 방법이다. 이와같이 데이터의 내용에 의해서 저장된 정보를 찾아내는 메모리 장치를 Associative Memory 라 하고, 또는 내용에 의해 지정되므로 내용지정 메모리(Content Addressable Memory:CAM)이라고도

부른다. 이 방식은 주소를 지정할 필요가 없으며, 숫자를 사용하는 것이 아니라 어떤 심볼 형태의 데이터를 저장할 수도 있기 때문에 거의 무한한 패턴들의 조합이 가능하다. 따라서, Associative Memory는 뇌에서 동작하는 메모리 시스템과 같은 방법이라고 보면 된다. 이 그림15는 CMOS Transistor를 사용하여 Associative Memory 를 구현한 것으로서 Stored Vector Bit 수를 6 Bit로 하고, (101101), (011010), (110000) 및 (001011)의 4가지 상태를 기억시킨 회로도이다. Input 부분에 Transmission Gate를 사용하여 입력 신호를 제어하여 주었다. Input 단자는 IN 1-IN 6이고, 출력 단자는 OUT1-OUT6이다. AMP1 부분의 출력측 Neuron은 6개이며, AMP2 부분의 귀환되는 쪽 Neuron은 4개이다. 6개의 Stored Vector는 STORED UNIT 부분에 Synapse로 구성되어 있으며, 1의 상태는 PMOS, 0의 상태는 아무런 소자를 연결하지 않는 상태로 되어 있다. 또한, 4개의 데이터들은 STORED UNIT의 Synapse들과 연관관계를 갖고 있으며 Stored Vector가 1인 경우는 PMOS, 그리고 0인 상태는 NMOS로 되어 있다. LABEL UNIT의 Synapse들은 NMOS로 구성되었으며, Neuron의 출력들은 다른 Neuron의 입력으로 귀환되도록 구성되어 있다. VECTOR UNIT 부분의 Synapse들 중에서 NMOS는 기준 W/L 값을 갖고, PMOS들은 NMOS의 갯수만큼의 W/L값을 갖는다. 예를들면 IN1 쪽의 PMOS는 NMOS가 2개이므로 W/L값은 기준값의 2배이다. 모

은 Synapse로 구성된 NMOS의 Source는 접지되어 있으며, PMOS의 Source는 VDD에 연결되어 있다.

입력의 입력신호가 입력 단자측으로 들어오면 Transmission Gate를 통하여 VECTOR UNIT으로 입력되어 Synapse들의 영향을 받지 않고, Neuron AMP1을 그대로 통과하게 된다. Stored Unit에 저장된 데이터와 같은 입력이 들어왔을 경우 1의 상태는 PMOS가 OFF 되고, 0상태는 ON되므로 LABEL UNIT을 통하여 귀환

5 결론

현재의 Neural Chip은 아직 규모가 작아 실용적이라고는 할 수 없다. 100-150억개라는 인간의 Neuron 수에는 아득히 미치지 못한다. 그러나, 실제의 응용에는 이 정도의 많은 Neuron은 필요하지 않다. Neuron 수가 1,000-1,500개 정도의 LSI이면 실제로 사용이 가능할 것

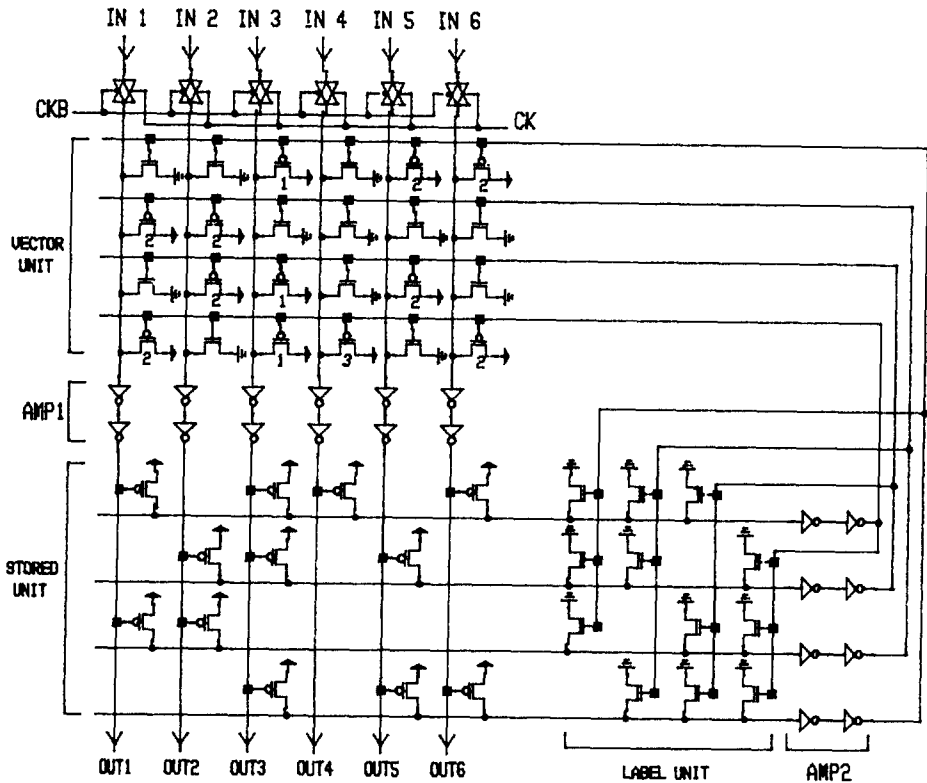


그림 15. 6비트 Associative Memory

쪽 AMP 2의 Neuron을 통해 다시 VECTOR UNIT으로 귀환된다. 이때 Stored Bit와 같은 입력이 들어왔으므로 VECTOR UNIT의 Synapse들이 귀환신호에 의해서 상태가 바뀌지만 입력신호가 변하지 않고 그대로 출력된다. 이 회로에서 저장된 Bit와 한개의 Bit가 다른 입력이 들어왔을 경우 저장된 데이터와 가장 유사한 데이터를 찾아가게 된다.

이므로 실용 Level에 달하는 것은 그리 먼 이야기는 아니다. System의 고속화와 저력화를 위해서는 Neural Chip화가 불가피하며 3-4년 후에는 시장에 나올 것으로 본다. 미국에서는 이미 Neural Chip을 만드는 회사를 1986년에 설립하였으며, 역사적으로 보면 아마 가장 빠른 시기에 해당되나, 지금이 사업을 개시하기에 좋은 Chance라고 본다. Silicon 기술 및 Computer 기술이 날로 발전

되고, Neural Network를 재현하기 위한 환경이 마련되고 있으며 또한 큰 요구도 나오고 있기 때문이다. 지금까지 원리가 발견된 시대와 실제로 응용된 시대와의 사이에는 큰 기간차이가 없었음을 보아 왔으며, 일례로서, Transistor 및 Computer도 원리가 발견되어 바로 응용되어 왔으므로 Neural Network도 이것과 같다고 할 수 있다. Neural Network는 지금까지의 Computer와는 경합이 없을 것이다. 교통기관을 예를들면, 가까운 도시에 가는데 비행기를 사용하지 않을 것이며, 역으로 멀리 가기 위해서 자동차나 열차를 이용하는 사람은 없을 것이기 때문이다. 이같이 Neural Network를 사용한 Neural Computer와 지금의 Computer는 그 목적에 따라서 상호 보완되면서 응용될 것이다. Neural Network를 고기능으로 하기 위해서는 Neural 수를 증가하지 않으면 안 되며, 이 경우 Neuron간을 결합하는 배선이 문제로 남아 있다고 본다.

참 고 문 헌

- 1) J.J.Hopfield, "Neural Networks and Physical Systems with Emergent Collective Computational Abilities", Proc. of Natl. Acad. Science, Vol.79, pp.2554-2558, April 1982.
- 2) D.W.Tank and J.J.Hopfield, "Simple Neural Optimization Networks : An A / D Converter, Signal Decision Circuit, and a Linear Programming Circuit", IEEE Transactions on circuits and Systems, Vol. CAS-33, No.5, May 1986.
- 3) M.A.Sivilotti, M.A.Mahowald, and C.A.Mead, "Real-time Visual Computations using Analog CMOS Processing Arrays", Advanced Research in VLSI : Proceedings of the 1987 Stanford Conference, P.Losleben (Ed.), Cambridge, MA : MIT Press, pp.295-312, 1987.
- 4) 류종필, 정호선, 이우일, "신경 회로망을 이용한 세션화 및 특징점 추출", 1988년도 추계종합학술대회 논문집, pp.531-534, 1988.11.
- 5) 김태경, 정호선, 이우일, "신경 회로망을 이용한 A / D 변환기 설계", 1988년도 추계종합학술대회 논문집, pp.511-515, 1988.11.
- 6) 김태경, "신경 회로망의 VLSI의 구현", 경북대학교

- 석사학위논문, 1989.2.
- 7) Daud, T., Moopenn, A., Lamb, J.L., Ramesham, R. and Thakoor, A.P., "Neural Network Based Feed-Forward High Density Associative Memory", Technical Digest of 1987 IEEE International Electron Devices Meeting, pp.107-110, Dec.1987.
- 8) Graf, H.P.and Vegvar, P., "A CMOS Associative Memory Chip Based on Neural Networks", 1987 IEEE International Solid-State Circuits Conference Digest of Technical Papers, FAM 22.1, pp.304-305, Feb.1987.
- 9) Sage, J.P., Thompson, K. and Withers, R.S., "An Artificial Neural Network Integrated Circuit Based on MNOS / CCD Principles", Proceedings of the Conference on Neural Networks for Computing, pp. 381, 1986.
- 10) Hutchinson, J., Koch, C., Luo, J. and Mead, C., "Computing Motion using Analog and Binary Resistive Networks", 1988 IEEE Computer, pp.52-63, Mar.1988.
- 11) Alspector, J., Allen, R.B., Hu, V. and Satyanarayana, S., "Stochastic Learning Networks and their Electronic Implementation", Neural Information Processing Systems-Natural and Synthetic Denver, Nov. 8-12, 1987.
- 12) White, J., Furman, B., Abidi, A.A., Baker, R.L.-Mathur, B. and Wang, H.T., "A 2D Analog Network for Real Time Image Smoothing", International Neural Network Society Meeting, Sept. 1988.
- 13) Akers, L.A. and Walker, M.R., "A Neuromorphic Approach to Adaptive Digital Circuitry", Proceedings of the Seventh Annual International IEEE Phoenix Conference on Computers and Communications, pp.19, Mar. 1988.
- 14) Howard, R.E., Jackel, L.D. and Graf, H.P., "Electronic Neural Network Chips", Extended Abstracts of 5th International Workshop on Future Electron Devices, Topical Meeting on Three Dimensional Integration, pp.33-37, June 1988.
- 15) Graf, H.P., Jackel, L.D., Howard, R.E., Straughn, B., Denker, J.S., Hubbard, W., Tennat, D.M. and

-
- Schwartz, D., "VLSI Implementation of a Neural Network Memory with Several Hundreds of Neurons", *Neural Networks for Computing*, AIP Press, 1986.
- 16) Walker, M.R. and Akers, L.A., "A Neural Approach to Adaptive Digital Circuitry", *IEEE Proceedings of the Seventh Annual International Phoenix Conference on Computers and Communications*, pp. 19-23, Mar. 1988.
- 17) Walker, M.R. and Akers, L.A., "A Limited-Interconnect Synthetic Neural IC", *Technical Digital of the International Workshop on VLSI for Artificial Intelligence*, July 1988.
- 18) Akers, L.A., Ferry, D.K. and Grondin, R.O., "VLSI Implementation of Neural Systems", *Computer and the Brain Symposium*, Apr.1987.
- 19) Alspector, J. and Allen, R.B., "A Neuromorphic VLSI Learning System", *Advanced Research in VLSI, Proceedings of the 1987 Stanford Conference*, pp.313-349, 1987.
- 20) Vegvar, P.D. and Graf, H.P., "A CMOS Associative Memory Chips Based on Neural Networks", 1987 *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp.304-305, Feb.1987.
- 21) Mead, C.A. and Mahowald, M.A., "A Silicon Model of Early Visual Processing", *Neural Networks*, Vol. 1, pp.91-97, 1988.
- 22) Schwartz, D.B. and Howard, R.E., "A Programmable Analog Neural Network Chip", *IEEE 1988 Custom Integrated Circuits Conference*, No.10.2, May 1988.
- 23) Mann, J., Lippmann, R., Berger, B. and Raffel, J., "A Self-Organizing Neural Net Chip", *IEEE 1988 Custom Integrated Circuits Conference*, No.10.3, May 1988.
- 24) 김종렬, 정호선, 이우일, "신경회로망 개념을 이용한 문자 두께 변환회로의 설계", 1988년도 추계종합 학술대회 논문집, pp.520-522, 1988.11.
- 25) 배창석, 정호선, 이우일, "신경회로망 알고리즘을 이용한 한글 문자 인식", 1988년도 추계종합 학술대회 논문집, pp.527-530, 1988.11.
- 26) 김태훈, 정호선, 이우일, "신경회로망을 이용한 2진화 화상의 잡음제거 및 직선화", 1988년도 추계종합 학술대회논문집, pp.554-557, 1988.11.
-