

# DYNAMIC CMOS ARRAY LOGIC 의 설계

## (Design of DYNAMIC CMOS ARRAY LOGIC)

韓 哲 鵬\*, 林 寅 七\*\*

(Seok Bung Han and In Chil Lim)

### 要 約

본 논문에서는 다이내믹 CMOS 회로와 배열논리(array logic) 회로의 장점을 함께 갖는 DYNAMIC CMOS ARRAY LOGIC의 설계방식을 제안한다. 이 회로는 이단(two-stage)의 다이내믹 CMOS들과 내부클럭 발생회로로 구성된다. 다이내믹 CMOS들의 함수블럭은 NMOS 트랜지스터가 병렬로 구성되므로 기존의 다이내믹 CMOS PLA 및 스테틱 CMOS PLA보다 동작속도가 훨씬 빠르다. 그리고 내부신호 지연에 의한 전하 재분배 현상이 존재하지 않는다.

내부클럭 발생회로는 4개의 내부클럭을 발생시키며, 이들은 각 다이내믹 CMOS 회로를 드라이브한다. 회로가 evaluation 동작을 할 때, 이 클럭들 중 2개의 클럭은 다른 클럭들보다 일정한 시간지연을 가짐으로 DYNAMIC CMOS ARRAY LOGIC의 시차문제가 제거된다. 또한 내부클럭 발생회로는 누설전류와 전하결합 현상에 의하여 회로의 출력전압과 잡음여유가 감소되는 문제를 해결한다. 이 경우, 동작속도의 감소와 칩 면적의 증가를 초래하지 않는다.

### Abstract

In this paper, the design of DYNAMIC CMOS ARRAY LOGIC which has both advantages of dynamic CMOS and array logic circuits is proposed.

The major components of DYNAMIC CMOS ARRAY LOGIC are two-stage dynamic CMOS circuits and an internal clock generator. The function block of dynamic CMOS circuits is realized as a parallel interconnection of NMOS transistors. Therefore the operating speed of DYNAMIC CMOS ARRAY LOGIC is much faster than the one of the conventional dynamic CMOS PLAs and static CMOS PLA. Also, the charge redistribution problem by internal delay is solved.

The internal clock generator generates four internal clocks that drive all the dynamic CMOS circuits. During evaluation, two clocks of them are delayed as compared with others. Therefore the race problem is completely eliminated. The internal clock generator also prevents the reduction of circuit output voltage and noise margin due to leakage current and charge coupling without any penalty in circuit operating speed or chip area utilization.

### I. 서 론

집적회로 기술이 발표된 이래 반도체 칩의 집적도는 급속히 증가하여 현재는 하나의 칩에 수십만개 내지 수백만개의 트랜지스터가 집적된 VLSI 칩이 등장하고 있다. 그러나 매우 큰 집적밀도로 인한 과도한

---

\*\*正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

\*正會員, 慶尙大學校 電子工學科

(Dept. of Elec. Eng., Gyeongsang Nat'l Univ.)

接受日字: 1989年 7月 12日

전력소모는 VLSI칩의 실용화에 근본적인 제한 요소가 되었다.<sup>11-13</sup> 그러므로 낮은 전력소모와 고집적도등의 특성을 갖는 CMOS가 VLSI의 중요한 구성소자로 채택되고 있으며, 특히 Domino CMOS<sup>14-16</sup> NORA<sup>17-19</sup> 그리고 Zipper CMOS<sup>18-101</sup> 등과 같은 다이내믹 CMOS (dynamic CMOS)는 기존의 CMOS보다 칩면적이 작고 동작속도도 빠른 동시에 소비전력은 거의 동일한 장점을 갖고 있다.

한편 고집적 기술의 발전으로 회로의 복잡도가 커짐에 따라 VLSI칩의 설계에 많은 시간과 노력이 필요하게 되어 규칙적인 구조를 갖는 배열논리에 대한 연구가 활발하게 행해지고 있다. VLSI 설계에 널리 사용되고 있는 배열논리들 중 PLA (Programmable Logic Array)는 구조가 간단하고 규칙적이므로 설계 시간과 노력이 감소되고 설계 및 변경이 용이한 특징을 갖는다.<sup>12-14</sup> PLA는 대부분 바이폴라 (bipolar) 및 NMOS를 사용하여 구성해 왔으나, CMOS 기술을 이용한 CMOS PLA<sup>18,9,11</sup>의 사용이 점차 증가하고 있다.

최근에는 배열논리의 규칙구조와 다이내믹 CMOS 회로의 장점을 함께 갖는 다이내믹 CMOS PLA 가 논리회로 설계에 많이 이용되고 있다. 다이내믹 CMOS PLA에는 Domino CMOS PLA<sup>111</sup>와 NORA CMOS를 NAND-NAND의 이단논리로 구성한 배열논리 회로 (이하 NORA CMOS PLA) 및 Zipper CMOS를 동일한 논리로 구성한 배열논리 회로 (이하 Zipper CMOS PLA) 등이 있다.

이러한 다이내믹 CMOS PLA를 사용하여 VLSI 논리회로를 설계하는 경우, 다음과 같은 문제점을 고려해야 한다. 우선 이단으로 구성된 다이내믹 CMOS PLA에서는 전단의 내부신호 지연에 의한 시차문제 (race problem)<sup>13,7-9</sup>가 발생한다. 다음으로 누설전류 (leakage current), 전하 재분배 (charge redistribution) 그리고 전하결합 (charge coupling) 현상으로 인하여 출력전압이 변동하고 '잡음여유'가 감소한다.<sup>13,4,7-10,15</sup> 또한 논리함수를 결정하는 함수블럭내에서 직렬로 연결된 트랜지스터의 수가 많은 경우, 전체회로의 동작속도가 매우 늦어진다. 일반적으로 다이내믹 CMOS PLA의 함수블럭내에 직렬로 연결된 NMOS들의 갯수가 N이라 할 때, N이 작을 경우 ( $N < 4$ ), 이 트랜지스터를 통한 방전 지연시간 (discharge delay time)은 N에 비례하지만 N이 클 경우에는 N의 제곱에 비례한다.<sup>9</sup>

Domino CMOS PLA는 시차 문제를 해결하기 위하여 각 단의 출력에 CMOS인버터를 추가하였으나, 이것으로 인하여 칩 면적이 증가하고 동작속도

가 늦어지는 문제점이 있다. 또한 NORA CMOS PLA와 Zipper CMOS PLA는 각 단의 함수블럭을 NMOS와 PMOS로 번갈아 사용하여 이를 해결하였으나, PMOS는 NMOS보다 스위칭 속도가 느므로 회로전체의 동작이 지연되는 결과를 가져온다. 그리고 Domino CMOS PLA, NORA CMOS PLA 및 Zipper CMOS PLA는 모두 회로의 함수블럭내에 NMOS 혹은 PMOS 트랜지스터들이 직렬로 연결되므로 입력의 갯수가 많은 경우에 전체회로의 동작속도가 늦어지는 원인이 된다.

한편, Domino CMOS PLA와 NORA CMOS PLA는 전하 재분배 현상이나 누설전류에 의한 출력전압의 변동을 제거하기 위하여 각 단의 출력에 이를 보상하기 위한 외부 트랜지스터가 추가된다. 이것은 모든 단의 출력에 추가되어야 하므로 이로 인하여 칩면적이 매우 커지는 단점을 가지고 있다.

본 논문에서는 전력소모가 적고 칩 면적이 작으며 동작속도가 빠른 동시에 규칙적인 구조를 갖는 새로운 다이내믹 CMOS PLA-DYNAMIC CMOS ARRAY LOGIC (DCAL)-의 설계방식을 제안한다. DCAL은 출력함수 값을 결정하는 함수블럭의 NMOS 트랜지스터들이 병렬로 연결되어 있으므로 Domino CMOS PLA, NORA CMOS PLA 그리고 Zipper CMOS PLA보다 동작 속도가 빠르다. 또한 내부클럭 발생회로에 의하여, 시차문제를 해결하고 누설전류, 전하결합 현상에 의한 출력전압의 변동과 잡음여유의 감소를 제거한다. 즉, 각 단의 클럭킹 게이트에 일정한 시간지연을 갖는 클럭펄스를 인가하여 출력함수 값을 결정하는 시간을 다르게 하는 동시에 클럭킹 게이트에 인가되는 클럭펄스의 전압값을 조절함으로써 이러한 문제점들을 해결한다. 따라서 DCAL에서는 기존의 Domino CMOS PLA에 존재하였던 CMOS 인버터와 외부 트랜지스터들이 필요없게 되므로 칩 면적이 매우 작아진다. 그리고 본 논문에서 설계한 DCAL의 모든 회로동작을 SPICE에 의하여 회로 시뮬레이션을 행함으로써 본 설계방식의 유효성을 입증한다.

## II. DYNAMIC CMOS ARRAY LOGIC의 구조

DCAL은 AND(INVERT-NOR)-OR (NOR-INVERT) 형태의 이단구조로 배열된 다이내믹 CMOS들과 내부클럭 발생회로로 구성된다. 그림 1은 4개의 입력과 3개의 출력을 갖는 DCAL의 한 예를 나타내고 다음과 같은 논리함수를 실현한다. 그리고 이 예는 조합논리를 실현하는 모든 회로에 대하여 확장될

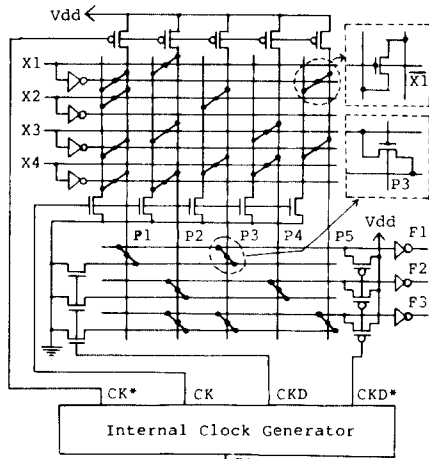


그림 1. DCAL의 한 예  
Fig. 1. An example of DCAL.

수 있다.

$$F1 = X1\overline{X2} X3X4 + \overline{X2} \overline{X4}$$

$$F2 = \overline{X1} \overline{X3} X4 + \overline{X3} \overline{X4}$$

$$F3 = \overline{X1} \overline{X3} X4 + \overline{X2} \overline{X4} + X1X3$$

그림 1에서 AND 평면의 다이내믹 CMOS들은 적항(product term)을 이루고, OR 평면의 다이내믹 CMOS들은 각각 하나의 CMOS 인버터와 연결되어 출력항(output term)을 형성한다. 적항과 출력항의 다이내믹 CMOS는 클러킹 게이트와 함수블럭으로 구성되며, 이 클러킹 게이트의 PMOS와 NMOS 트랜지스터에는 내부클럭이 인가되어 회로동작을 제어한다. 그리고 각 함수블럭들은 NMOS 트랜지스터들이 병렬로 연결되어 출력 함수값을 결정한다. 적항을 구성하는 함수블럭에는 반전된 외부입력이 인가되어 INVERT-NOR의 논리가 이행되고, 이 적항이 출력항을 구성하는 함수블럭에 대한 입력으로 사용되므로 다시 NOR-INVERT의 논리를 이행한다. 따라서 DCAL은 AND-OR의 이단논리를 실현한다. 특히, DCAL은 각 함수블럭이 병렬로 연결된 트랜지스터들로만 구성되므로 직렬로 구성된 다른 다이내믹 CMOS PLA보다 동작속도가 매우 빠르다.

내부클럭 발생회로는 외부 시스템클럭 SC가 인가되어 4개의 내부클럭 CK, CK\*, CKD 그리고 CKD\*가 생성된다. 이 내부클럭 CK(CKD)와 CK\*(CKD\*)는 적항(출력항)의 클러킹 게이트를 구성하는 NMOS와 PMOS 트랜지스터에 각각 연결된다. 그림 2는 두가지 형태의 내부클럭 발생회로를 나타낸다.

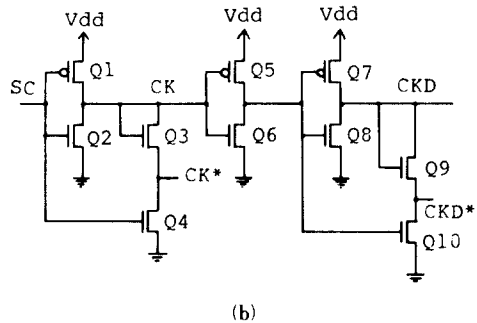
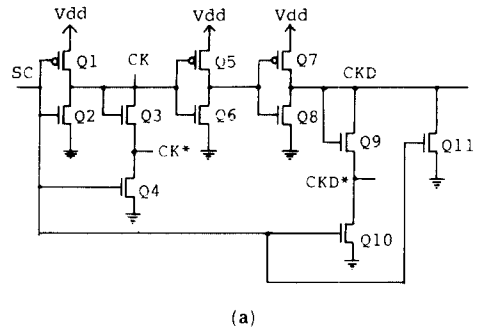
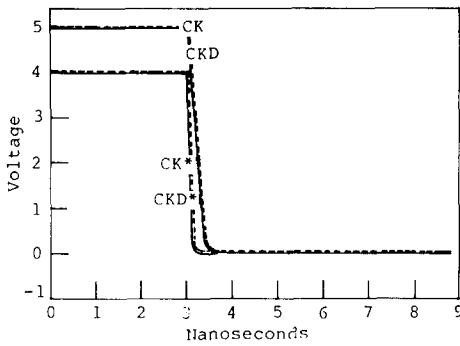


그림 2. 내부클럭 발생회로  
(a) 형태 1 (b) 형태 2  
Fig. 2. Internal clock generator.  
(a) Type 1. (b) Type 2.

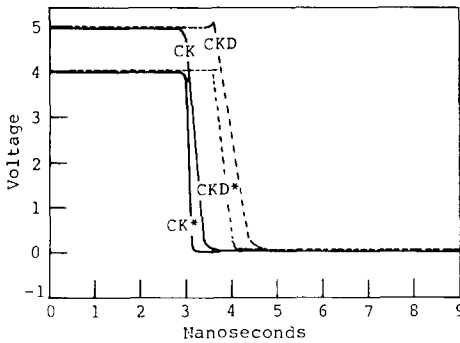
그림 2(b)의 내부클럭 발생회로는 그림 2(a)보다 트랜지스터의 갯수가 적고 구조가 간단하다. 그림 2(a)에서 외부 시스템클럭 SC가 논리값 1일 경우, 트랜지스터 Q2, Q4, Q10 그리고 Q11이 on 되어, 내부 클럭 CK, CK\*, CKD 및 CKD\*가 모두 논리값 0가 된다. 그러므로 이 DCAL의 적항과 출력항들은 precharge된다. 그러나 그림 2(b)의 회로에서는 동일한 SC의 값에 대하여 Q2와 Q4가 먼저 on되고, 일정한 시간이 지난 후에 Q8과 Q10이 on 되므로 DCAL의 출력항은 적항보다 늦게 precharge된다. 이때 그림 2(b)를 사용하는 DCAL은 precharge시간이 길어지고 출력항의 다이내믹 CMOS에서 불필요한 전력이 소비된다.

그림 3(a), (b)는 precharge동작시, 그림 2(a) 및 그림 2(b)의 출력파형을 각각 나타낸 것이다. 이때, precharge동작이 3nS에서 시작되도록 SPICE에 의하여 시뮬레이션하였다.

그림 2(b)의 내부클럭 발생회로에서 CKD와 CKD\*는 CK 및 CK\*보다 0.9nS 늦게 0가 됨을 알 수 있다.



(a)



(b)

그림 3. Precharge 동작시, 내부클럭 발생회로의 출력파형

(a) 형태 1 (b) 형태 2

Fig. 3. Output waveforms of the internal clock generator during precharge.

(a) Type 1. (b) Type 2.

다음으로 SC가 0이면, 그림 2 (a), (b)의 내부클럭 발생회로는 동일하게 evaluation 동작을 한다. 즉, 내부클럭 CK와 CK\*가 먼저 1이 되어 적항을 evaluation하고, 일정한 시간(적항이 안정된 값을 갖는 시간)이 지난 후에 CKD와 CKD\*가 1을 유지하므로 출력항이 evaluation된다. 이와 같이 적항과 출력항의 evaluation시간을 다르게 함으로써 내부신호 지연에 의해 발생하는 시차문제를 해결할 수 있다.

한편, 내부클럭 CK, CK\*, CKD 및 CKD\*는 논리값 0일 때, 모두 0V의 전압값을 갖는다. 그러나 이 클럭들이 논리값 1일 경우에는 CK와 CKD는 VddV를 갖는 반면, CK\*와 CKD\*는 Vdd보다 항복전압(threshold voltage) Vth만큼 낮은 전압을 나타낸다. 그러므로 내부클럭 CK\*와 CKD\*에 의하여 드라이브되는 클럭킹 게이트의 PMOS들은 완전히 off

되지 않고, 약간 on되어 적은 양의 전류를 다이내믹 CMOS회로에 공급한다. 결과적으로 다이내믹 CMOS회로의 가장 큰 문제점인 누설 전류와 전하 재분배 그리고 전하결합 현상에 의한 출력전압의 변동을 막아주며 잡음여유도 증가시킨다.

그림 4는 evaluation 동작시, 그림 2 (a), (b)의 출력파형을 나타낸다. 이 경우에서도 evaluation 동작이 3 nS에서 시작되도록 하였다.

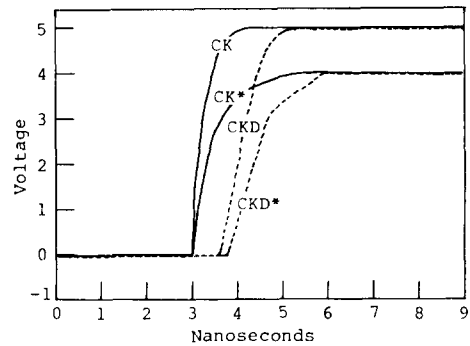


그림 4. Evaluation 동작시, 내부클럭 발생회로의 출력파형

Fig. 4. Output waveforms of the internal clock generator during evaluation.

그림 4에서 CKD와 CKD\*는 CK 및 CK\*보다 0.9nS 지연된 클럭이고, CK\*와 CKD\*는 CK 및 CKD보다 1.0V 정도 낮은 전압을 갖는다.

이러한 내부클럭 발생회로를 사용하는 DCAL의 회로 동작은 다음과 같다. 외부 시스템클럭 SC가 1일 때, 적항과 출력항의 클럭킹 게이트를 구성하는 PMOS는 on, NMOS는 off가 되어 DCAL은 precharge 된다. 이때 적항의 함수블럭에 외부입력이 인가된다. 다음으로 SC가 0이면 적항과 출력항이 일정한 시간간격으로 evaluation된다. 따라서 DCAL의 최종출력은 적항의 함수블럭 값에 의하여 precharge 값인 0를 그대로 유지하거나, 1이 된다.

### Ⅲ. 회로성능 (Performance)

이 절에서는 본 논문에서 설계한 DCAL의 회로성능을 평가하기 위하여 DCAL과 다른 다이내믹 CMOS PLA (Domino CMOS PLA와 NORA CMOS PLA)와의 함수블럭 구성상의 차이에 의한 동작속도를 비

교한다. 그리고 DCAL의 동작속도를 빠르게 하며 전력소비가 적은 내부클럭 발생회로의 설계에 관하여 언급한다.

1. 함수블럭 구성에 의한 회로성능

DCAL의 적항은 NMOS가 병렬 연결된 함수블럭을 갖는다. 그러나 Domino CMOS PLA나 NORA CMOS PLA는 NMOS가 직렬 연결된 함수블럭을 갖는 적항으로 구성된다. 그러므로 함수블럭을 통하여 방전(discharge)하는 시간은 DCAL이 가장 짧다.

각 회로의 동작속도를 비교하기 위하여, 그림 1의 출력함수 중에서 함수블럭내의 트랜지스터 수가 가장 많은 적항으로 구성된 출력함수 F1을 선택하여 그림 5에 나타내었다.

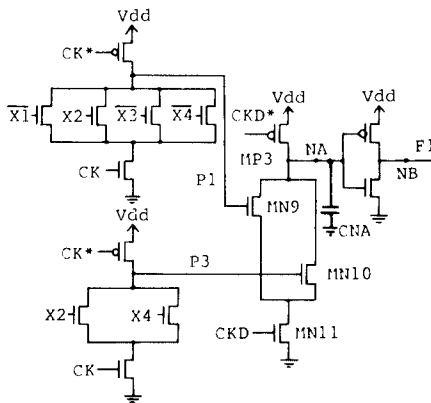


그림 5. 그림 1의 출력함수 F1을 이행한 DCAL  
Fig. 5. DCAL implementing the output function F1 of Fig. 1.

여기서 적항 P1의 함수블럭은 4개의 NMOS들이 병렬로 연결되어 있다. 그리고 그림 6, 7은 동일한 출력함수를 Domino CMOS PLA와 NORA CMOS PLA로 각각 이행한 회로이다.

그림 6과 그림 7에서는 적항 P1의 함수블럭의 트랜지스터들이 직렬로 연결되어 있다.

일반적으로 다이내믹 CMOS 회로의 동작속도를 비교하기 위해서는 precharge와 evaluation시간을 함께 고려하여야 한다. 그러나 다이내믹 CMOS의 precharge 시간은 evaluation 시간보다 훨씬 짧고 각 회로에

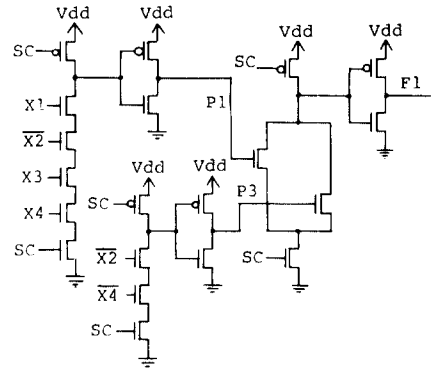


그림 6. 그림 1의 출력함수 F1을 이행한 Domino CMOS PLA  
Fig. 6. Domino CMOS PLA implementing the output function.

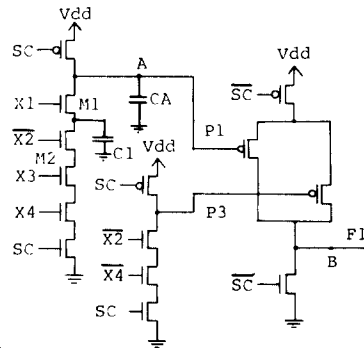


그림 7. 그림 1의 출력함수 F1을 이행한 NORA CMOS PLA  
Fig. 7. NORA CMOS PLA implementing the output function F1 of Fig. 1.

대하여 거의 동일하므로 본 논문에서는 각 회로의 evaluation시간에 의하여 동작속도를 평가한다.

그림 5, 6 그리고 그림 7의 회로입력에 X1=X3=X4=1, X2=0을 인가하고 회로를 evaluation한다. 즉, 외부 시스템클럭 SC에 의하여 각 회로를 precharge하고, 다시 SC를 인가하여 회로가 evaluation을 행하는 직후부터 precharge된 출력값이 1 혹은 0로 되기까지 걸리는 시간을 비교한다.

그림 5의 DCAL은 시차문제를 제거하기 위하여 적항과 출력항을 동시에 evaluation하지 않는다. 이때

내부클럭 발생회로에 의하여 적항의 evaluation 시간이 함수블럭을 통하여 방전하는데 걸리는 시간과 같거나 크도록 한다. 그러므로 그림 5의 전체 지연시간은 내부클럭 발생회로와 출력항에 존재하는 CMOS 인버터에 의한 지연시간 그리고 적항과 출력항에서 각각 2개의 NMOS를 통하여 방전하는 시간이다.

한편, 그림 6의 Domino CMOS PLA에서는 적항에서 5개의 직렬 연결된 NMOS와 출력항에서 2개의 NMOS를 통하여 방전하는 시간과 적항 및 출력항에 각각 존재하는 CMOS 인버터에 의한 지연시간으로 전체 지연시간이 결정된다. 그림 7의 전체 지연시간은 적항에서는 Domino CMOS PLA와 동일하고 출력항에서 2개의 PMOS를 통하여 방전하는 시간의 합이다.

그림 8은 그림 5, 6 및 그림 7의 evaluation 시, 전체 지연시간을 SPICE에 의하여 시뮬레이션한 결과이다.

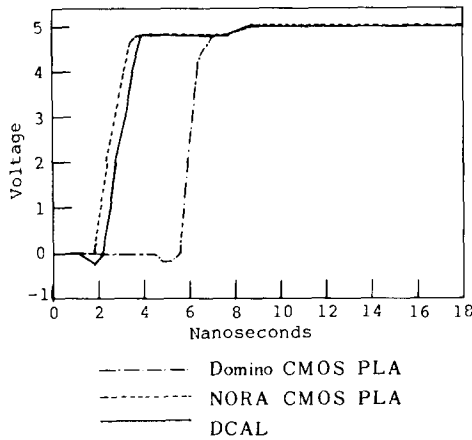


그림 8. 각 회로의 전체 지연시간  
Fig. 8. Total delay time of each circuit.

그림 8에서 DCAL의 지연시간은 2.8nS이고, Domino CMOS PLA는 6nS로서 DCAL의 동작속도가 더 빠름을 알 수 있다. 또한 NORA CMOS PLA는 2.4nS이므로 DCAL보다 조금 빠르다. 이는 DCAL의 내부클럭 발생회로와 CMOS인버터에 의한 지연시간으로 인한 것이다. 그러나 외부입력의 갯수가 많을 경우에는, 다음과 같이 DCAL이 NORA CMOS PLA보다 빠른 동작속도를 갖는다.

그림 9, 10은 그림 5, 6 및 그림 7의 회로에서 적항 P1의 함수블럭을 구성하는 트랜지스터의 수 M이 7개 또는 10개일 경우의 전체 지연시간을 각각 시뮬레이션한 결과이다.

여기에서 보는 바와 같이 함수블럭의 트랜지스터 수가 증가함에 따라 DCAL의 지연시간은 2.8nS로서 거의 일정하지만, Domino CMOS PLA는 9.7nS (M=7), 14.4nS (M=10)이고, NORA CMOS PLA는 4.3nS (M=7) 및 7.1nS (M=10)이므로 DCAL의 지연시간보다 매우 증가한다. 이러한 현상은 다입력을 갖는 배열논리에서 더욱 현저하므로 DCAL이 다른 다이내믹 CMOS PLA보다 회로성능이 훨씬 뛰어나음을 알 수 있다.

2. 내부클럭 발생회로 구성에 의한 회로성능

DCAL은 내부클럭 발생회로에 의하여 적항과 출력항을 일정한 시간 간격을 두고 evaluation함으로써 시차문제를 해결한다. 본 논문에서는 이러한 기능을 갖는 두가지 형태의 내부클럭 발생회로 (그림 2 (a), (b))를 설계한다. 그림 2 (a)의 내부클럭 발생회로는 그림 2 (b)보다 트랜지스터의 수가 많고 구조도 복잡하다. 그러나 DCAL의 precharge 시, 그림 2 (a)는 적항과 출력항을 동시에 행하고, 그림 2 (b)의 회로는 출력항을 적항보다 일정한 시간 늦게 precharge 한다. 그러므로 그림 2 (b)는 그림 2 (a)를 사용하였을 경우보다 precharge 시간이 길어지므로 DCAL의 동작속도가 늦어진다.

또한 그림 2 (b)를 사용한 DCAL은 precharge 시,

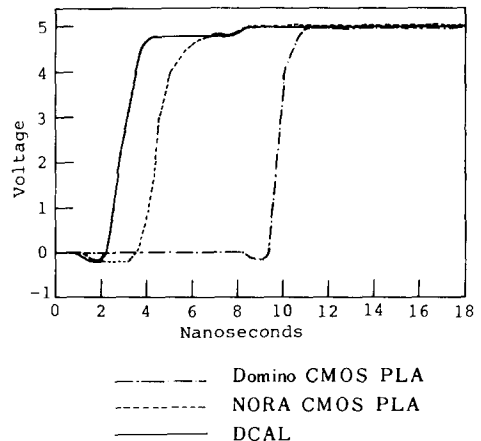
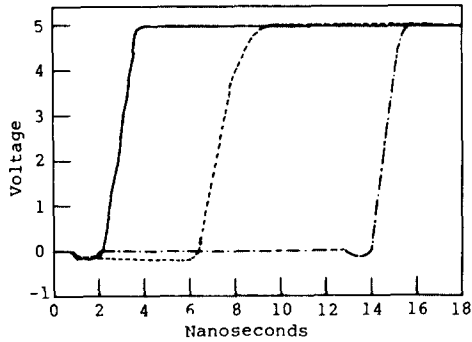


그림 9. 각 회로의 전체 지연시간 (M=7)  
Fig. 9. Total delay time of each circuit (M=7).



----- Domino CMOS PLA  
 ..... NORA CMOS PLA  
 \_\_\_\_\_ DCAL

그림 10. 각 회로의 전체 지연시간(M = 10)  
 Fig. 10. Total delay time of each circuit (M = 10).

출력항의 다이내믹 CMOS에서 정적 전력소비(static power consumption)가 존재한다.

그림 5의 DCAL에 그림 2(a), (b)의 내부클럭 발생회로를 사용하는 경우를 각각 고려한다. 그림 11, 12는 그림 2(a) 및 그림 2(b)를 사용하는 DCAL에 대한 precharge 시, 전체회로의 지연시간과 출력항의 클러킹 게이트를 구성하는 PMOS트랜지스터(MP3)에 흐르는 전류의 양을 각각 나타낸다.

그림 11에서 그림 2(a)의 내부클럭 발생회로를 사용한 DCAL의 동작속도가 그림 2(b)를 사용하였을 경우보다 0.8ns 빠르게 precharge됨을 알 수 있다. 그림 12는 트랜지스터 MP3의 드레인에 흐르는 전류의 양을 시뮬레이션한 것이다. 그림 2(a)의 경우는 precharge 시,  $CK=CKD=CK^*=CKD^*=0$ 이므로, 트랜지스터  $MN3=MN9=MN10=on$ 이지만  $MN11$ 이 off이므로  $V_{dd}$ 로부터 전류가 흐르지 않는다. 그러나 그림 2(b)의 경우는 다음과 같다. DCAL의 precharge 시, 일정한 시간(약 0.9ns)동안 적항은 precharge, 출력항은 evaluation인 상태가 존재한다. 이때 트랜지스터  $MN9=MN10=MN11=on$ 이고,  $CKD^*$ 는  $V_{dd}$ 보다  $V_{th}$ 만큼 낮은 전압을 나타내므로 트랜지스터 MP3는 약간 on이 된다. 따라서  $V_{dd}$ 로부터 MP3를 통하여 최대 0.5mA 정도의 전류가 흐르고, 이 결과 전력이 소비된다. 그러므로 그림 2(a)의 내부클럭 발생회로가 그림 2(b)보다 회로성능이 우수하다.

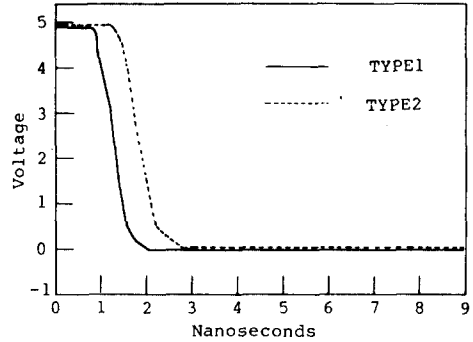


그림 11. Precharge 시, DCAL의 전체 지연시간  
 Fig. 11. Total delay time of DCAL during precharge.

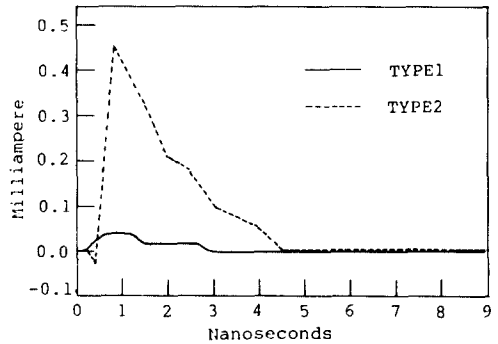


그림 12. Precharge 시, DCAL의 MP3에 흐르는 드레인 전류  
 Fig. 12. The drain current of MP3 in DCAL during precharge.

IV. 시차 문제

이단으로 구성된 다이내믹 CMOS PLA는 내부 신호 지연에 의한 시차 문제를 고려해야 한다. 다이내믹 CMOS PLA에 존재하는 시차문제는 회로의 precharge 시, 적항에 의하여 드라이브되는 출력항의 트랜지스터들이 off되지 않을 경우에 발생한다. 이 결과 회로의 출력이 원하지 않는 값을 갖게 된다.

Domino CMOS PLA는 적항과 출력항에 CMOS 인버터를 부가하여 이를 제거한다. 이때 부가된 CMOS 인버터에 의하여 칩 면적이 증가하고 동작 속도가 늦어진다. 그리고 NORA CMOS PLA에서는 적항과 출력항의 함수블럭을 NMOS와 PMOS로 번

갈아 사용함으로써 시차문제를 해결한다. 그러나 AND-OR 형태의 논리함수를 실현하기 위하여 적항의 함수블럭을 구성하는 트랜지스터들이 반드시 직렬로 연결되어야 하며 이로 인하여 동작속도가 늦어진다.

본 논문에서 설계한 DCAL은 내부클럭 발생회로를 사용하여 시차문제를 해결한다. 따라서 Domino CMOS PLA에서와 같은 기능을 갖는 CMOS 인버터가 필요없고, 각 함수블럭의 트랜지스터를 병렬로 연결하여 논리함수를 실현하므로 회로의 동작속도가 향상된다.

그림 13, 14는 그림 5의 DCAL에 내부클럭 발생회로를 사용하지 않은 경우와 사용한 경우를 각각 SPICE에 의하여 시뮬레이션한 결과이다. 즉, 회로 입력  $X1 = X2 = 0$ ,  $X3 = X4 = 1$ 을 인가하고 회로를 evaluation한다. 이때 정상적인 회로출력은  $NA = 1$ ,  $NB = 0$ 이다.

그림 13에서 적항선 P1과 P3의 논리값이 0.8nS 지난후에 1에서 0로 변화하므로 이 시간동안 MN9와 MN10은 on이 되고 출력 NA에 저장되었던 전하가 MN11을 통하여 방전을 한다. 그러므로 정상적인 값을 유지하지 못한다. 그러나 그림 14에서는 시차문제가 발생하지 않으므로 정상적인 값을 가짐을 알 수 있다. 이때 내부클럭 발생회로의 클럭 CKD와 CKD\*의 지연시간 T1은 1.2nS이고, 적항선 P1과 P3가 안정된 값을 갖는 시간(함수블럭을 통하여 방전하는 시간) T2는 0.8nS이므로,  $T1 > T2$ 이다. 또한 T1이 T2보다 클수록 회로는 안정된 동작을 하나, 회로의 동작속도는 늦어진다. 그리고  $T1 = T2$ 일 때, 동작속도가 최대이다.

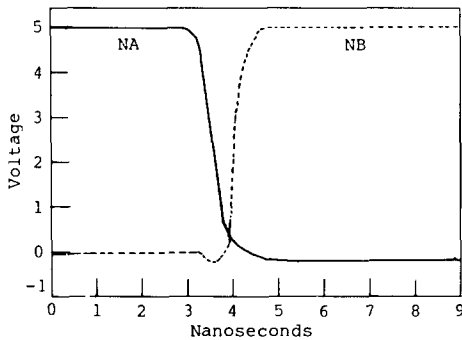


그림 13. 내부클럭 발생회로를 사용하지 않는 DCAL의 출력파형

Fig. 13. Output waveform of DCAL without internal clock generator.

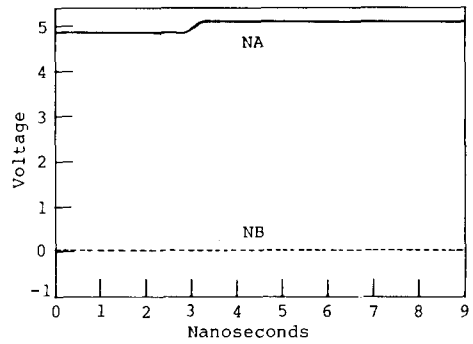


그림 14. 내부클럭 발생회로를 사용한 DCAL의 출력파형

Fig. 14. Output waveform of DCAL with internal clock generator.

한편, 이단 이상의 다단회로에서는 모든 단에 대하여 서로 다른 지연시간을 고려해야 하므로 실제적으로 실현이 불가능하다. 그러나 다이내믹 CMOS PLA와 같은 이단의 회로구성에서는 오직 한번의 시간지연만 주면 되므로 본 논문에서 제안한 설계방식이 매우 효과적이다.

V. 누설전류, 전하 재분배 및 잡음여유

대부분의 다이내믹 CMOS PLA는 누설전류의 영향으로 인하여 출력 전압이 변동하고 잡음여유도 감소한다. 예로써, 그림 7의 NORA CMOS PLA를 고려한다. 외부입력  $X1 = X2 = 0$ ,  $X3 = X4 = 1$ 로 하면 각 단의 출력  $A = 1$ ,  $B = 0$ 가 된다. 그러므로 트랜지스터 M1은 off이고, 출력 A에 존재하는 기생 커패시터 CA에 전하가 충전되어 evaluation 동안 출력 A의 전압 VA는 Vdd값을 나타낸다. 그러나 실제적으로는 트랜지스터 M1의 누설전류에 의하여 CA의 전하가 방전되어 전압 VA는 점차 감소한다. 이때 누설전류를 Ik라 하면 시간 t에서의 출력 A의 전압

$$VA(t) \approx Vdd - \frac{1}{CA} \int_0^t Ik dt$$

$$\approx Vdd - \frac{Ik}{CA} t \text{가 된다.}$$

따라서 evaluation시간이 길어질수록 전압은 더욱 감소하고 이것은 다음 단의 출력 B에도 영향을 주게 된다. 이 경우의 시뮬레이션 결과는 그림 15와 같다.

여기서 누설전류의 영향을 명확하게 관찰하기 위하여 evaluation시간을 100nS이상으로 하였다. 그림



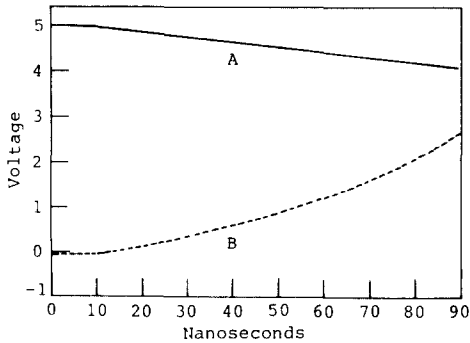


그림15. NORA CMOS PLA의 누설전류 영향  
Fig. 15. Effect of leakage current in NORA CMOS PLA.

15에서 출력 A는 누설전류에 의하여 전압값이 점차 감소한다.

NORA CMOS PLA와 Domino CMOS PLA는 이 문제를 해결하기 위하여 모든 적항과 출력항에 외부 트랜지스터를 추가하여 약간의 전류를 공급한다. 그러나 이 방법은 적항과 출력항이 많은 배열논리에서는 칩 면적이 매우 증가한다.

다음으로 그림 5의 DCAL에 동일한 입력값을 인가한 후, 출력 A에 나타나는 전압변화를 시뮬레이션하여 그림 16과 그림 17에 각각 나타내었다. 그림 16은 내부클럭 발생회로를 사용하지 않고 시뮬레이션한 출력파형이고, 그림 17은 사용한 경우이다. 그림 16에서 출력 NA의 전압이 감소하는 현상은 그림 15의 누설전류에 의한 것과 동일하다. 한편 내부클럭 발생회로를 사용하는 경우에는 그림 17과 같이 출력 NA값이 변화하지 않고 일정하게 유지되는데 이 현상은 다음과 같다. 그림 5에서 출력 NA에 존재하는 기생 커패시터를 CNA라 하면 precharge 동안에 트랜지스터 MP3가 on되어 출력 NA의 전압 VNA는 Vdd가 된다. 다음으로 evaluation시, 입력 X1=X2=0, X3=X4=1이 주어지면 트랜지스터 MN9과 MN10은 off이므로 VNA = Vdd를 유지하여야 하나 누설전류 Ik의 영향으로 출력전압 VNA(t)는 시간에 따라 감소하게 된다. 이때 트랜지스터 MP3의 입력 CKD\*는 내부클럭 발생회로의 출력이므로 그 전압값은 Vdd-Vth가 된다. 그러므로 MP3는 완전히 off되지 않고 약간 on된 선형영역에 있게 된다. 이 MP3를 통하여 흐르는 전류를 Ids(t)라 하면 시간 t에서 출력 NA의 전압

$$VNA(t) = Vdd + \frac{1}{CNA} \left[ \int_0^t (Ids(t) - Ik) dt \right]$$

가 되어 이 Ids(t)로 인하여 누설전류에 의해 감소되었던 전압값이 그대로 유지된다. 이때,

$$Ids(t) = \beta_p \left[ (Vin - Vth) Vds + \frac{Vds}{2} \right] Vds,$$

Vin = Vdd - Vth, Vds = VNA(t) - Vdd 이다.

그림 16에서 보는 바와 같이 출력 A는 precharge된 전압값을 유지하지 못한다. 그러나 그림 17에서는 정상적인 출력값이 유지됨을 알 수 있다. 이 경우 다른 다이내믹 CMOS PLA에서 각 단에 추가되었던

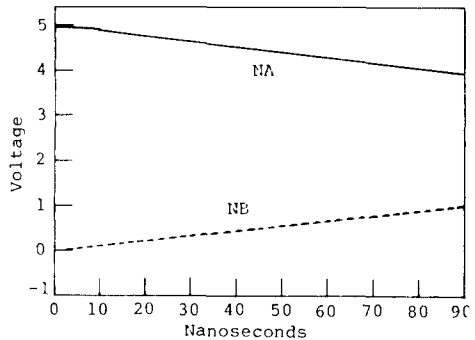


그림16. 내부클럭 발생회로를 사용하지 않은 DCAL의 누설전류 영향  
Fig. 16. Effect of leakage current in DCAL without internal clock generator.

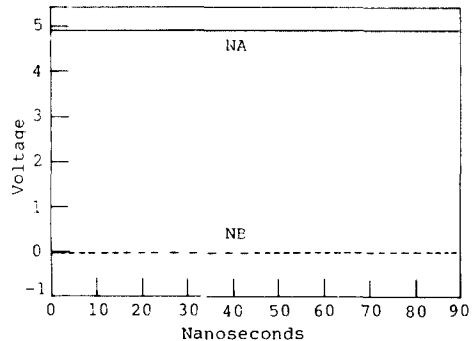


그림17. 내부클럭 발생회로를 사용한 DCAL의 누설전류 영향  
Fig. 17. Effect of leakage current in DCAL with internal clock generator.

외부 트랜지스터가 필요없고, 누설전류에 의하여 감소되는 잡음여유도 상당히 증가한다.

한편, Domino CMOS PLA와 NORA CMOS PLA에서는 내부신호 지연에 의한 전하 재분배 현상이 존재한다. 이것은 함수블럭내에 직렬로 연결된 트랜지스터들의 각 노드에 존재하는 기생 커패시턴스(stray capacitance)에 의하여 각 단의 출력이 precharge된 값을 갖지 못하는 현상이다. 즉, 그림 7에서 출력 A에 존재하는 기생 커패시턴스를 CA, 트랜지스터 M1과 M2의 연결 노드에 존재하는 기생 커패시턴스를 C1이라 하자. 우선 precharge단계에서 출력 A의 전압 VA는 Vdd의 값을 갖는다. 다음으로 evaluation 단계에서 입력 X2=1, X3=X4=0의 값을 갖고 입력 X1은 내부신호 지연에 의하여 일정한 시간동안 0에서 1로 변화할 경우, 트랜지스터 M1이 on되어 기생 커패시턴스 CA에 저장되었던 전하가 CA와 C1에 나누어 진다. 즉 전압분배 현상이 일어난다. 이때 출력 A의 전압

$$VA' = \frac{CA}{CA+C1} Vdd$$

가 되고, 만약 C1이 충분히 크다면 VA는 Vdd의 값을 유지하지 못한다. 특히 입력의 갯수가 많은 배열 논리에서는 이 현상이 뚜렷하게 나타난다. 그러나 D가 되고, 만약 C1이 충분히 크다면 VA는 Vdd의 값을 유지하지 못한다. 특히 입력의 갯수가 많은 배열 논리에서는 이 현상이 뚜렷하게 나타난다. 그러나 DCAL은 기본적으로 각 함수블럭의 트랜지스터들이 병렬로 연결되어 있으므로 내부신호 지연으로 인한 전하 재분배 현상이 존재하지 않는다.

## VI. 결 론

본 논문에서는 새로운 다이내믹 CMOS PLA의 설계방식을 제안하였다. 이 방식에 의하여 설계한 회로는 기존의 다이내믹 CMOS PLA 및 스틱 CMOS PLA보다 동작속도가 빠르다. 또한 내부클럭 발생회로를 사용하여 시차문제를 제거하는 동시에 전하 재분배 현상과 누설전류에 의한 출력전압의 변동과 잡음 여유감소등의 문제점을 해결하였다. 이때 외부회로를 부가하지 않으므로 기존의 회로들보다 칩면적이 훨씬 작아진다.

본 논문에서 설계한 DCAL과 같은 논리함수를 실현하는 Domino CMOS PLA 그리고 NORA CMOS PLA에 대하여 SPICE 시뮬레이터에 의한 회로 시뮬레이션을 행하였다. 이때 각 트랜지스터의 파라미터는 3μM CMOS공정에서 추출된 값을 사용하였다.

각 회로의 시뮬레이션 결과, 동작속도는 입력의 수가 4인 경우, NORA CMOS PLA가 가장 빠르고, 다음으로 DCAL이며 Domino CMOS PLA가 가장 느리나, 입력의 수가 커짐에 따라서 DCAL의 동작속도는 거의 일정한 반면, NORA CMOS PLA와 Domino CMOS PLA는 매우 늦어짐을 알 수 있었다. 그리고 내부클럭 발생회로를 사용하여 DCAL의 적향과 출력항에 대하여 일정한 간격을 두고 evaluation을 행한 결과, 시차문제가 발생하지 않음을 관찰하였다. 이때 내부클럭 발생회로의 지연시간이 적향의 출력이 함수블럭을 통하여 방전하는 데 걸리는 시간보다 크거나 같게 하였다. 또한 DCAL의 적향과 출력항을 동시에 precharge하는 내부클럭 발생회로를 설계하였다. 이 경우, 회로의 precharge시, 동작속도가 빠르고 출력항의 다이내믹 CMOS에서 소비되는 전력이 거의 없음을 확인하였다.

다음으로 각 회로에 대하여 누설전류에 의한 영향을 시뮬레이션하였다. 이때 가장 최악의 경우를 가정하기 위하여 누설전류에 영향을 주는 트랜지스터 파라미터를 최대값으로 취하였고, 시뮬레이션 온도는 27°C 이상의 온도에 대하여 행하였다. 시뮬레이션 결과, Domino CMOS PLA와 NORA CMOS PLA는 외부 트랜지스터를 부가하지 않았을 때 출력 전압이 변동하였으나, DCAL은 정상적인 값을 그대로 유지하였다. 결과적으로 DCAL이 기존의 다이내믹 CMOS PLA보다 우수한 성능을 갖는 동시에 다이내믹 CMOS 회로에 공통적으로 존재하는 문제점들을 해결한 설계방식임을 입증하였다.

본 논문에서 제안한 DCAL은 회로설계의 용이성, 고 집적도, 저 전력소비 그리고 고속을 요구하는 마이크로 프로세서와 컴퓨터 제어부 그리고 코드변환 회로등의 VLSI 설계에 많이 이용될 것이다. 앞으로 DCAL의 응용회로에 대한 연구가 행해져야 하겠다.

## 參 考 文 獻

- [1] R.D. Davis, "The case of CMOS," *IEEE Spectrum*, vol. 20, no. 10, pp. 26-32, Oct. 1983.
- [2] J.Y. Chen, "CMOS- the emergency VLSI technology," *IEEE Circuits and Devices Magazine*, pp. 16-31, March 1986.
- [3] D.J. Myers and P.A. Ivey, "A design style for VLSI CMOS," *IEEE Journal of Solid-State Circuits*, vol. SC-20, pp. 741-745, June 1985.
- [4] R.H. Crambeck, C.M. Lee and H.S. Law,

- “High-speed compact circuits with CMOS,” *IEEE Journal of Solid-State Circuits*, vol. SC-17, no. 3, pp. 614-619, June 1982.
- [5] J.A. Pretorius, A.S. Shubat and C.A.T. Salama, “Analysis and design optimization of Domino CMOS logic with application to standard cells,” *IEEE Journal of Solid-State Circuits*, vol. SC-20, pp. 523-530, April 1985.
- [6] V.G. Oklobdzija and R.K. Montoye, “Design-performance trade-offs in CMOS-Domino,” *IEEE Journal of Solid-State Circuits*, vol. SC-21, pp. 304-306, April 1986.
- [7] N.P. Goncalves and H.J. de Man, “NORA: a racefree dynamic CMOS technique for pipelined logic structures,” *IEEE Journal of Solid-State Circuits*, vol. SC-18, pp. 261-268, June 1983.
- [8] M. Shoji, CMOS digital circuit technology, Prentice-Hall, 1988.
- [9] J.P. Uyemura, Fundamentals of MOS digital integrated circuits, Addison-Wesley, 1988.
- [10] C.M. Lee and E.W. Szeto, “Zipper CMOS,” *IEEE Circuits and Devices Magazine*, pp. 10-17, May 1986.
- [11] A. Mukjerjee, Introduction to nMOS & CMOS VLSI systems design, Prentice-Hall, 1986.
- [12] H. Fleisher and L.I. Maissel, “An introduction to array logic,” *IBM Journal of Research and Development*, vol. 19, pp. 98-109, March 1975.
- [13] M.S. Schmookler, “Design of large ALUs using multiple PLA macros,” *IBM Journal of Research and Development*, vol. 24, pp. 2-14, Jan. 1980.
- [14] R.A. Wood, “High-speed dynamic programmable logic array chip,” *IBM Journal of Research and Development*, vol. 19, pp. 379-383, July 1975.
- [15] J.A. Pretorius, A.S. Shubat and C.A.T. Salama, “Charge redistribution and noise margins in Domino CMOS logic,” *IEEE Transactions on Circuits and Systems*, vol. CAS-33, no. 8, pp. 768-793, Aug. 1986.

著 者 紹 介



**韓 哲 鵬 (正會員)**  
 1958年 12月 8日生. 1982年 2月 한양대학교 전자공학과 졸업 (공학사) 1984年 2月 한양대학교 대학원 전자공학과 졸업 (공학석사). 1988年 2月 한양대학교 대학원 전자공학과 졸업 (공학박사)

1988年 3月~현재 경상대학교 전자공학과 전임강사. 주관심분야는 VLSI설계, Logic Design 및 VLSI Testable Design임.

**林 寅 七 (正會員)** 第25卷 第8號 參照  
 현재 한양대학교 전자공학과 교수