

## 이중-적분을 이용한 용량형 센서용 스위치드-커패시터 인터페이스

## (A Switched-Capacitor Interface Based on Dual-Slope Integration)

鄭元燮\*, 車炯雨\*\*, 魯承容\*\*\*

(Won Sup Chung, Hyeong Woo Cha, and Seung Yong Rho)

## 要 約

용량형 센서와 디지털 시스템을 결합시키기 위한 새로운 스위치드-커패시터 회로를 이중-적분(dual-slope integration)에 기초를 두어 개발했다. 회로는 차동 적분기와 비교기 그리고 제어 논리회로로 구성되며, 2상 클럭(two phase clock)에 의해 구동된다. 회로는 먼저 센서와 기준 용량 사이의 용량차를 전하 형태로 감지한다. 그리고 감지된 전하를 고정된 시간의 주기 동안 적분기의 폐환 커패시터에 축적시킨다. 전하 축적이 종료된 후, 회로는 일정한 기준 전하를 적분기 출력전압이 0V로 될때까지 축적된 전하로부터 추출한다. 전하가 추출되는 동안의 시간을 카운터로 측정하면 용량차에 해당하는 디지털 출력을 얻는다.

회로의 모든 동작은 기준 전압과 회로내에 포함된 커패시터 값의 변화에 영향을 받지 않는다. 따라서 제안한 회로를 사용하면 용량차를 정도(accuracy) 높게 측정할 수 있다. 오차 해석에 의하면 회로를 모노리딕 MOS IC로 실현할 경우 약 8비트의 분해능을 얻을 수 있다는 것을 보여준다. 또한, 이 회로는 적은 소자 수로 실현되므로, 작은 칩 면적 위에 직접화할 수 있는 특징을 갖는다. 따라서 이 회로는 온-칩(on-chip) 인터페이스로 특히 적합하다.

## Abstract

A novel switched-capacitor circuit for interfacing capacitive microtransducers with a digital system is developed based on the dual-slope integration. It consists of a differential integrator and a comparator. Driven by the two phase clock, the circuit first senses the capacitance difference between the transducer and the reference capacitor in the form of charge, and accumulates it into the feedback capacitor of the integrator for a fixed period of time. The resultant accumulated charge is next extracted by the known reference charge until the integrator output voltage returns to zero. The length of time required for the integrator output to return to zero, as measured by the number of clock cycle gated into a counter is proportional to the capacitance difference, averaged over the integration period.

The whole operation is insensitive to the reference voltage and the capacitor values involved in the circuit. Thus the proposed circuit permits an accurate differential capacitance measurement. An error analysis has shown that the resolution as high as 8 bits can be expected by realizing the circuit in a monolithic MOS IC form. Besides the accuracy, it features the small device count integrable onto a small chip area. The circuit is thus particularly suitable for the on-chip interface.

\*正會員, \*\*準會員, 淸州大學校 半導體工學科  
(Dept. of Semiconductor Eng., Chungju Univ.)

\*\*\*正會員, 서울市立大學校 電子工學科  
(Dept. of Elec. Eng., Seoul City Univ.)

接受日字: 1989年 7月 1日

## I. 서 론

지능센서(intelligent sensor) 개발은 계측 제어 시스템의 성능 향상과 응용 범위 확대를 위한 필수불가결의 선결 과제이다. 디지털 출력을 갖는 센서는

마이크로 컴퓨터와 직접 결합 가능하다. 따라서, 이와 같은 센서를 사용함으로써 디지털 프로세스 제어를 보다 용이하고 효과적으로 수행할 수 있다. 용량형 센서는 압력, 유압, 속도, 습도등의 측정에 광범위하게 사용된다.<sup>11,12</sup> 센서 특성의 직선화(linearization), 보상(compensation), 조정(calibration) 등을 마이크로 프로세스로 수행하기 위해서는 감지된 용량을 반드시 디지털 수로 변환시켜야 한다. 센서용 용량을 디지털 수로 변환시키는 가장 손쉬운 방법은 이완 발진기(relaxation oscillator)를 사용하여 용량을 주파수로 변환시키는 것이다.<sup>13,14</sup> 이러한 주파수 변환은 회로 구성이 간단하고 데이터(data) 전송이 용이하지만, 반도체 센서(solid-state sensor)는 일반적으로 용량 변화가 매우 작고, 큰 오프셋(offset) 용량을 갖기 때문에, 이 방법으로는 높은 분해능을 기대할 수 없다.<sup>15-19</sup>

용량 변화를 디지털 수로 정확히 변환시키는 방법은 용량형 센서와 기준 커패시터 사이의 용량차를 검출한 다음, 이를 2진수로 변환시키는 것이다. 이러한 변환을 스위치드-커패시터(switched-capacitor) 회로를 사용하여 효율적으로 실현한 구상이 발표되었다.<sup>16</sup> 이 회로는 많은 장점을 갖고 있으나, 회로의 동작이 감지된 용량뿐만 아니라 기준 전압과 회로에 포함된 용량값에도 의존하기 때문에, 이 회로로 고정도 변환을 실현하려면 고정도 기준 전압을 사용해야 하는 등, 회로가 복잡해지는 문제가 있다.

본 논문은 이중-적분(dual-slope integration)에 기초를 둔 새로운 스위치드-커패시터 인터페이스 회로에 대해 기술한다. 위에서 언급한 회로 구성과는 달리, 새롭게 제안한 스위치드-커패시터 회로는 기준 전압, 그리고 회로에 포함된 용량값의 영향을 받지 않으므로, 간단한 회로 구성으로 비교적 높은 분해능과 직선성이 좋은 전달 특성을 얻을 수 있다.

II. 회로구성 및 동작

이중-적분에 기초를 둔 스위치드-커패시터 인터페이스 회로를 그림 1에 나타냈다. 여기서  $C_x$ 는 용량형 센서를 나타내고,  $C_r$ 은 센서의 용량과 비교되어질 기준 커패시터이다. 전체 회로는 3가지 블럭 즉, 스위치드-커패시터 적분기, 비교기, 그리고 디지털 제어 회로로 구성된다. 회로 동작은 크게 2가지 상태 즉, "축적(accumulation)" 상태와 "추출(extraction)" 상태로 나뉘어 진다. 각 상태의 동작은 논 오우버래핑(non-overlapping) 2상 클럭(two phase clock)에 의해 제어된다. "축적" 상태에서, 회로는 센서의 용량

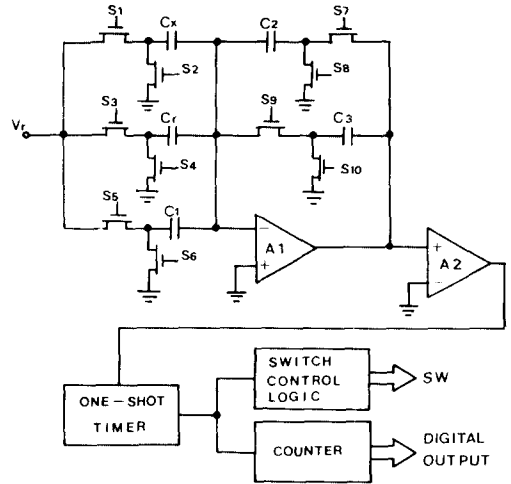


그림 1. 이중-적분을 이용한 스위치드-커패시터 인터페이스 회로도  
Fig. 1. The circuit diagram of the switched-capacitor interface based on dual-slope integration.

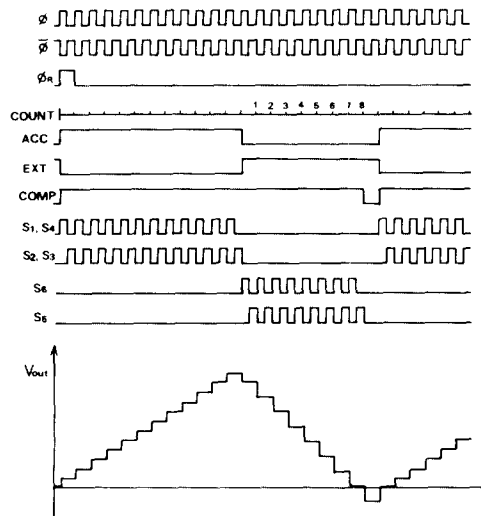


그림 2. 디지털 제어 신호의 타이밍도와 연산증폭기 A1의 출력 파형  
Fig. 2. The timing diagram of digital control signals and the output waveform of op-amp A1.

$C_x$ 와 기준 커패시터  $C_r$ 사이의 용량차  $\Delta C = (C_x - C_r)$ 를 전하의 형태로 검출하고, 검출된 전하를 연산증폭기의 계환 커패시  $C_2$ 에 축적시킨다. 이 과정은

정해진  $2^N$ 회 만큼 반복된다. 그 다음의 "추출" 상태에서는,  $C_1$ 에 비례하는 일정한 기준 전하가  $C_2$ 에 축적된 전하로부터 반복적으로 추출되며, 적분기의 출력이 0V로 돌아오는데 소요되는 클럭수가 용량차  $\Delta C$ 에 비례하는 디지털 출력이 된다. 각 상태에서의 클럭 타이밍(clock timing) 및 적분기의 출력 파형을 그림 2에 나타냈다. 각 상태에서의 회로 동작을 아래에 자세히 기술한다. 편의상  $C_x > C_r$ 인 경우에 대해서만 설명한다.

1. 축적(Accumulation : ACC) 상태

이 상태에서  $S_5$ 와  $S_6$ 는 OFF이다. 따라서 이 상태에서 동작하는 애널로그 회로구성은 그림 3과 같이 된다. 연산증폭기  $A_1$ 과 용량형 센서  $C_x$ , 기준 커패시터  $C_r$ , 그리고 제환 커패시터  $C_2$ 가 비반전 차동 적분기를 형성한다.

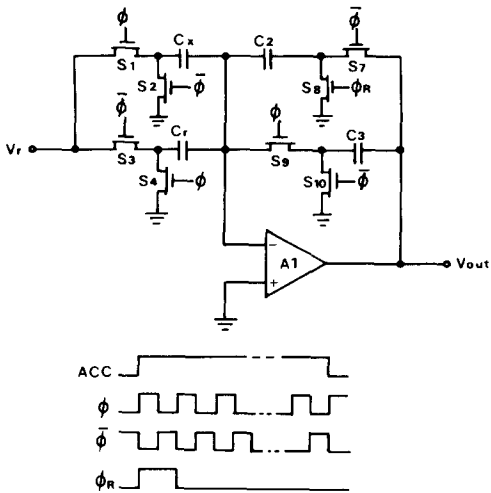


그림 3. "축적" 상태에서의 애널로그 회로  
Fig. 3. The analog circuitry in the "accumulation" state.

$\phi = 1$ 일 때,  $C_r$ 과  $C_2$ 는 접지로 방전되고,  $C_x$ 는  $S_1$ 를 통하여 기준 전압  $V_r$ 까지 충전된다. 다음으로  $\bar{\phi} = 1$ 이 될 때  $C_x$ 에 저장되었던 전하는 제환 커패시터  $C_2$ 로 전달되며 이와 동시에  $C_r$ 은  $S_3$ 를 통해  $V_r$ 까지 충전된다. 이 때,  $C_r V_r$ 의 전하 역시  $C_2$ 를 통해  $C_x$ 에 의한 전하와 반대 방향으로 흐르게 된다. 따라서,  $C_2$ 에 저장되는 참 전하(net charge)는  $(C_x - C_r) V_r$ 이 된다. 이러한 과정은 정해진 주기동안  $2^N$ 회 반복되며, 이에 따라 적분기의 출력전압은 계단 형태

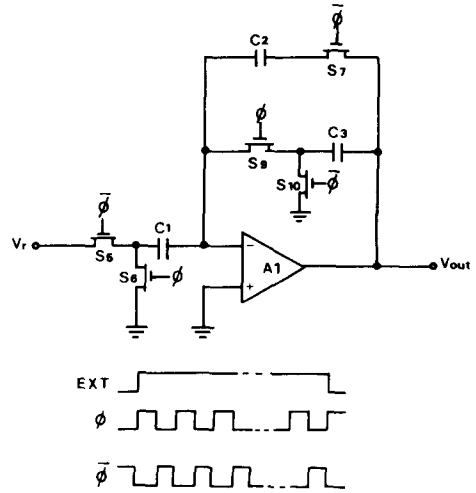


그림 4. "추출" 상태에서의 애널로그 회로  
Fig. 4. The analog circuitry in the "extraction" state.

로 증가한다.  $\phi = 1$ 과  $\bar{\phi} = 1$ 일 때의  $C_x$ ,  $C_r$ , 그리고  $C_2$ 의 전하량을 각각 살펴본 후, 연산증폭기  $A_1$ 의 가산마디(summing node)에 전하량 보존의 법칙을 적용하여  $2^N$ 번째 클럭 후의 적분기의 출력전압을 구하면

$$V_{out}(\bar{\phi}_2^N) = \frac{2^N (C_x - C_r)}{C_2} V_r \quad (1)$$

이 된다.

2. 추출(Extraction : EXT) 상태

이 상태에서는  $S_1, S_2, S_3, S_4$ , 그리고  $S_6$ 이 OFF가 된다. 따라서 이 상태에서 사용되는 애널로그 회로는 그림 4와 같이 된다. 연산증폭기  $A_1$ 과 커패시터  $C_1$  그리고  $C_2$ 가 반전 적분기를 형성한다.  $\bar{\phi} = 1$ 이 될 때마다 기준 전하  $C_1 V_r$ 이 "축적" 상태에서  $C_2$ 에 저장되어 있던 전하로부터 추출된다. 이러한 전하 추출은 적분기의 출력이 0V가 될 때까지 계속된다. 출력 전압이 0V가 될 때의 클럭을  $m$ 이라고 표기하면, 다음 식이 성립된다.

$$V_{out}(\bar{\phi}_m) = -m \frac{C_1}{C_2} V_r + 2^N \frac{C_x - C_r}{C_2} V_r = 0 \quad (2)$$

따라서, 용량차와 카운터(counter)로 계수될 클럭수와의 관계는 다음과 같이 주어진다.

$$C_x - C_r = \Delta C = \frac{m}{2^N} C_1 = \left( \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right) C_1 \quad (3)$$

윗식으로 부터, 인터페이스의 변환 동작이 기준 전압  $V_r$ 과 케환 커패시터  $C_2$ 의 용량값에 영향을 받지 않는다는 것을 알 수 있다. 인터페이스의 최소 검출 가능 용량차 즉,  $1\text{LSB} = C_1/2^N$ 으로 주어진다. 따라서, 풀 스케일(full scale) 용량  $C_1$ 을 작게하고 전하 축적 회수  $2^N$ 을 크게하면 할수록 더 작은 용량 변화를 측정할 수 있으나, 회로에 사용되는 소자들의 비이상적인 특성에 의해서 그 값이 제한된다.

### III. 정도 (Accuracy) 고찰

이 절에서는, 모든 회로 ( $C_x$ 와  $C_r$ 을 제외한)를 MOS IC 프로세스로 집적화했을 때, 이 인터페이스로 얻을 수 있는 분해능을 계산한다. 그림 1을 살펴보면, 인터페이스의 동작이 연산증폭기의 옴셋 전압과 각 마다와 접지사이의 기생용량의 영향을 받지 않는다는 것을 알 수 있다.<sup>[11], [12]</sup> 따라서, 주된 오차의 근원은 MOS 스위치들의 게이트-소오스 그리고 게이트-드레인을 통한 클럭 신호의 피드스루(feedthrough)와 연산증폭기의 유한 개방-루프 이득이다. 이들에 대해 아래에서 자세히 논의한다.

#### 1. 클럭 피드스루

실제로, 그림 1의 모든 스위치가 회로동작에 영향을 미치지만, 연산증폭기의 반전 입력 단자에 연결된 스위치의 영향이 가장 크다.  $S_n$  스위치가 ON에서 OFF로 상태가 바뀔 때, 피드스루 효과에 의해 연산증폭기의 반전 입력 단자로 주입되는 전하를  $Q_f$ 로 표기하기로 한다. 적분기가 전하 축적 동작 또는 추출 동작을 수행할 때마다  $S_n$  스위치가 ON에서 OFF로 되므로, 피드스루에 의해 야기되는 적분기 출력전압의 오차는 추출 횟수가 가장 클때 최대가 된다.

$\Delta C = C_1$ 일 때 또는, 적분기가 전하를  $2^N$ 번 축적하고  $2^N$ 번 추출했을 때의 적분기의 실제의 출력전압은 다음과 같이 주어진다.

$$[V_{out}(\bar{\phi}_{2^N})]_{\text{actual}} = -\frac{2^{2N}Q_f}{C_2} \quad (4)$$

따라서 피드스루에 의한 출력 전압의 최대 오차는

$$[\Delta V]_{\text{max}} = [V_{out}(\bar{\phi}_{2^N})]_{\text{ideal}} - [V_{out}(\bar{\phi}_{2^N})]_{\text{actual}} = \frac{2^{2N}Q_f}{C_2} \quad (5)$$

이 된다. 인터페이스가 오차 비트를 발생시키지 않기 위해서는, 다음 조건(1LSB 조건)을 만족해야 한다. 즉,

$$[\Delta V]_{\text{max}} = \frac{2^{2N}Q_f}{C_2} < \frac{C_1}{C_2} V_r \quad (6)$$

클럭 피드스루 소거 방안을 채택할 경우,  $Q_f$ 는  $5rQ$ 까지 줄일 수 있다.<sup>[13]</sup> 따라서,  $C_1 = 200\text{pF}$  그리고  $V_r = 1\text{V}$ 의 전형적인 값을 이용하여 계산하면, 약 8비트의 변환 정도를 얻는다.

#### 2. 연산증폭기의 유한 직류 이득

연산증폭기의 개방-루프 이득이 무한대가 아니기 때문에, 각 커패시터 사이의 전하 전달이 불완전하게 이루어지며, 이에 따라 오차전압이 발생한다. “축적” 상태에서의 실제의 출력전압  $V_{out}$ 은 다음 근사식으로 표현된다.

$$V_{out}(\bar{\phi}_{k+1}) \simeq \frac{C_2 V_{out}(\bar{\phi}_k) + \Delta C V_r}{\frac{\Delta C + C_2}{A} + C_2} \quad (7)$$

또한, “추출” 상태에서의 실제의 출력전압은

$$V_{out}(\bar{\phi}_{k+1}) \simeq \frac{C_2 V_{out}(\bar{\phi}_k) - C_1 V_r}{\frac{C_1 + C_2}{A} + C_2} \quad (8)$$

으로 쓰여진다. 여기서  $A$ 는 연산증폭기  $A_1$ 의 개방-루프 직류 이득이다. 적분기가 전하를  $2^N$ 번 축적하고  $2^N$ 번 추출할 때 오차 전압이 최대가 되며,  $\Delta C = C_1 \ll C_2$ 로 가정했을 경우, 실제의 출력전압은 다음 식으로 주어진다.

$$[V_{out}(\bar{\phi}_{2^N})]_{\text{actual}} \simeq -\frac{1}{A} \frac{C_1}{C_2} V_r \cdot 2^{2N} \quad (9)$$

따라서 유한 이득에 의한 출력전압의 최대 오차는

$$[\Delta V]_{\text{max}} = \frac{1}{A} \frac{C_1}{C_2} V_r \cdot 2^{2N} \quad (10)$$

이 된다. 인터페이스가 1LSB 조건을 만족하기 위해서는

$$[\Delta V]_{\text{max}} = \frac{1}{A} \frac{C_1}{C_2} V_r \cdot 2^{2N} < \frac{C_1}{C_2} V_r \quad (11)$$

이 되어야 한다. 현재의 MOS 기술로 얻을 수 있는  $A$  값을 약 97dB로 가정하여,<sup>[14]</sup> 윗식을 계산하면 약 8비트의 변환 정도를 얻는다.

이상의 논의로부터 인터페이스의 변환 정도는 연산증폭기의 유한 이득에 의해서 결정된다는 것을 알

수 있다. 따라서, 고정도의 변환을 실현하려면 높은 이득의 연산증폭기를 채용해야 한다.

IV. 실험 결과

그림 1의 인터페이스를 개별 부품을 사용하여 구성했다. 사용된 연산증폭기, 스위치, 그리고 one-shot timer는 각각 LF356, MC4066, NEC4528이었다. 커패시터는  $C_1 = 989\text{pF}$ ,  $C_2 = C_3 = 3.3\text{nF}$ 이었다. 기준 전압  $V_r$ 과 스위치 제어 클럭 주파수  $f_c$ 는 각각  $0.2\text{V}$ 와  $49.3\text{kHz}$ 로 조정했다. 또한 one-shot의 주기를  $7.4\text{ms}$ 로 조정해서, 축적 횟수를 185로 설정했다. 회로의 동작원리를 확인하기 위해,  $C_x$ 로써  $986\text{pF} + 270\text{pF}$ 의 가변 커패시터를 사용했고, 가변 커패시터의 용량 변화를  $C_r = 982\text{pF}$ 를 기준으로 비교 측정했다.

그림 5는  $\Delta C = 244\text{pF}$ 가 인터페이스에 인가됐을 때 연산증폭기  $A_1$ 의 출력파형을 보여 준다. 이 파형으로부터, 회로가 감지된 전하  $\Delta CV_r = 244\text{pF} \times 0.2\text{V}$ 를  $7.4\text{ms}$ 동안  $C_2$ 에 185회(약 7-비트) 축적한 다음, 기준 전하  $C_1 V_r = 989\text{pF} \times 0.2\text{V}$ 로 축적된 전하를 45회에 걸쳐 추출함을 알 수 있다. 따라서, 측정된 용량차는  $\Delta C = (45/185) 989 = 240.57\text{pF}$ 으로, 이는 인가된 용량차에 근접한 값이다.  $0 \sim 270\text{pF}$ 의  $\Delta C$ 의 범위에서  $\Delta C$ 를  $10\text{pF}$ 씩 변화시키면서 측정한 결과를 그림 6에 도시했다. 측정 결과가 이론에 의한 예상값에 잘 일치함을 알 수 있다. 인터페이스로 측

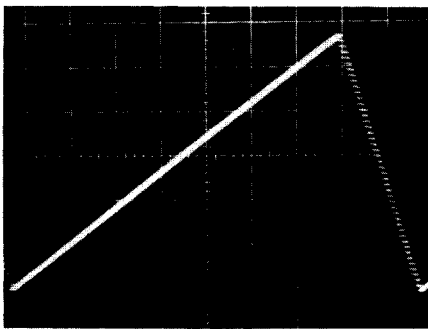


그림 5. 실험적으로 관측된 인터페이스의 출력파형  
수평 스케일 :  $1\text{ms}/\text{div}$ .  
수직 스케일 :  $0.5\text{V}/\text{div}$ .

Fig. 5. Experimentally observed output waveform of the prototype interface.  
Horizontal scale :  $1\text{ms}/\text{div}$ .  
Vertical scale :  $0.5\text{V}/\text{div}$ .

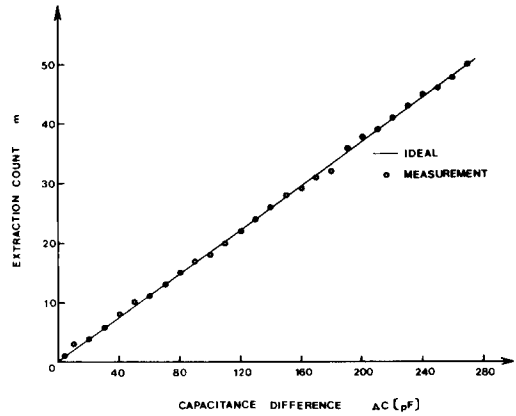


그림 6. 용량차에 대한 디지털 출력 특성  
Fig. 6. Capacitance difference versus digital output characteristics obtained by the prototype interface.

정할 수 있는 최소 검출 가능 용량차는 약  $5.4\text{pF}$ 이었다. 이 역시 이론에 근접한 값이다.

V. 결 론

용량형 센서를 디지털 시스템에 결합시키기 위한 스위치-커패시터 인터페이스에 대해 기술했다. 개발한 회로는 이중-적분 애널로그-디지털 변환기의 장점을 그대로 갖고 있기 때문에, 센서 출력신호를 매우 정확하게 처리해 준다. 또한, 회로구성에 필요한 소자 수가 적기 때문에, 현재 이용 가능한 MOS 기술을 사용하여 모노리틱 IC로 쉽게 실현될 수 있다. 따라서, 제안한 회로는 용량형 반도체 센서의 빌트-인(built-in) 인터페이스로서 특히 적합하게 이용될 수 있을 것이다.

參 考 文 獻

[1] T. Saigusa and S. Gotoh, "UNI  $\Delta$  series electronic differential pressure transmitter," (in Japanese), Yokogawa Tech. J., vol. 22, pp. 23-29, Mar. 1978.  
[2] Y.S. Lee and K.D. Wise, "A batch-fabricated silicon capacitive pressure transducer with low temperature sensitivity," IEEE Trans. Electron Devices, vol. ED-29, pp. 42-48, Jan. 1982.  
[3] P.J. Ross, "A water-level sensor using a capacitance to frequency converter," J. Phys. E: Sci. Instrum., vol. 16, pp. 827-828, 1983.

[4] A. Hannborg, T.E. Hansen, P.A. Ohlckers, E. Calson, B. Dahl, and O. Holwech, "A new integrated capacitive pressure sensor with frequency modulated output," in Dig. Int. Conf. Solid-State Sensors and Actuators, pp. 186-188, 1985.

[5] J.E. Brignell, "Interfacing solid-state sensors with digital systems," J. Phys. E: Sci. Instrum., vol. 18, pp. 559-565, 1985.

[6] J.M. McCreary and D.A. Sealer, "Precision capacitor measurement technique for integrated circuit capacitor arrays," IEEE Trans. Instrum. Meas., vol. IM-28, pp. 11-17, Mar. 1979.

[7] K. Watanabe and G.C. Temes, "A switched-capacitor digital capacitance bridge," IEEE Trans. Instrum. Meas., vol. IM-33, pp. 247-251, Dec. 1984.

[8] Y.E. Park and K.D. Wise, "An MOS switched-capacitor readout amplifier for capacitive pressure sensors," in Proc. Custom Integrated Circuits Conf., pp. 380-384, 1983.

[9] G.J. Yeh, I. Dendo, and W.H. Ko, "Switched-capacitor interface circuit for capacitive transducers," in Dig. Int. Conf. Solid-State Sensors and Actuators, pp. 60-63, 1985.

[10] K. Watanabe and W.-S. Chung "A switched-capacitor interface for intelligent capacitive transducers," IEEE Trans. Instrum. and Meas., vol. IM-35, pp. 472-476, Dec. 1986.

[11] K. Martin and A.S. Sedra, "Stray-insensitive switched-capacitor filters based on bilinear z-transform," Electron. Lett., vol. 15, pp. 365-366, June 1979.

[12] R. Gregorian and S. Fan, "Offset free high-resolution D/A converter," in Proc. 14th Asilomar Conf. Circuits, Systems, Components, pp. 316-319, Nov. 1980.

[13] K. Martin, "New clock feedthrough cancellation technique for analog MOS switched-capacitor circuits," Electron. Lett., vol. 18, pp. 39-40, Jan. 1982.

[14] P.W. Li, M.J. Chin, P.R. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," IEEE J. Solid-State Circuits, vol. SC-19, pp. 828-836, Dec. 1984.

著 者 紹 介

魯承容 (正會員) 第24卷 第5號 參照  
 현재 서울시립대 전자공학과 부교수



車炯雨 (準會員)  
 1962年 1月 27日生. 1989年 2月 淸州대학교 반도체공학과 졸업. 1989年 3月~현재 淸州대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계, 센서 신호처리 회로 설계 및 CAD 등임.

센서 신호처리 회로 설계 및 CAD 등임.



鄭元燮 (正會員)  
 1955年 11月 3日生. 1977年 2月 한양대학교 전자통신공학과 졸업. 1979年 한양대학교 대학원 전자통신공학과 공학석사학위 취득. 1986年 3月 일본 靜岡 (Shizuoka) 대학 전자과학 연구과 공학박사학위 취득. 1986年 4月~현재 淸州대학교 반도체 공학과 조교수. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계, 센서 신호처리 회로 설계 및 CAD 등임.