

GaAs E/D MESFET의 임계전압 변동에 강한 레벨 변환회로의 설계

(A Design of Level Converter with the Increased Acceptable
Threshold Voltage Variations of GaAs E/D MESFETs)

李 昌 錫*, 尹 光 俊*, 朴 亨 茂*, 馬 東 星*

(Chang Soek Lee, Kwang Jun Youn, Hyung Moo Park, and Dong Sung Ma)

要 約

본 논문은 GaAs E/D MESFET의 임계전압 변동에 따른 DCFL(Direct Coupled FET Logic)의 특성변화를 보완하여 증가형 MESFET(enhancement type MESFET)의 임계전압이 $-0.05V$ 에서 $0.35V$, 공핍형 MFSFET(depletion type MESFET)의 임계전압이 $-0.3V$ 에서 $-0.7V$ 까지 변하더라도 일정한 특성을 갖게 하는 레벨 변환 회로(level converter)를 제안하고 이를 해석하였다. 전원전압 $-0.8V$ 의 DCFL 논리레벨을 전원전압 $-2.0V$ 의 DCFL 논리레벨로 변환하는 레벨 변환 회로의 경우, 종래의 회로는 위의 임계전압 변동에 대하여 $600mV$ 이상의 입력 특성변화가 있지만 본 논문에서 제안된 레벨 변환 회로는 $100mV$ 이하의 입력 특성 변화를 나타내었다.

Abstract

In this paper, a new design of GaAs level converter is proposed, and analyzed with the variation of the threshold voltages of E/D MESFETs. The threshold voltage ranges analyzed are $-0.05V$ to $0.35V$ for enhancement type MESFETs and $-0.3V$ to $-0.7V$ for depletion type MESFETs. In this range, the variation of the input characteristics of the conventional level converter designed to convert the level of DCFL using V_{ss} of $-0.8V$ to that of $-2.0V$, is greater than $600 mV$, but of the level converter proposed here is less than $100 mV$.

I. 서 론

사회가 발전함에 따라 처리해야할 정보의 양이 많아지게 되었고, 이에따라 고속의 정보처리에 대한 요구가 급증하고 있다. 고속 정보처리를 위하여 시도되고 있는 한 방법으로 기존의 Si 소자 대신 GaAs

소자를 사용하는 방법이 제시되어 발전되고 있지만 여기에는 여러가지 해결해야할 문제들이 있다. 특히 GaAs MESFET을 기본소자로 하는 디지털 IC의 경우에는, GaAs 기판 자체의 성장기술에서 오는 문제 및 공정에서의 문제 때문에 각 MESFET의 임계전압이 균일하지 않기 때문에 IC의 전체 성능을 저하시키며, 나아가서는 집적도를 높이지 못하는 제한요소로 되고있다.¹⁾

GaAs IC의 기본회로로 많이 사용되고 있는 DCFL(Direct Coupled FET Logic)의 경우, 단일 전원

*正會員, 韓國電子通信研究所, 化合物半導體 研究部
(Compound Semiconductor Department, ETRI)
接受日字: 1989年 7月 5日

의한 동작이 가능하다는 점과 소비전력이 낮으면서도 속도특성이 다른 기본 논리에 비해 뒤떨어지지 않는다는 점에서 고집적 IC에 유리하다고 판단되어 많이 사용되고 있지만 작은 논리 진폭 때문에 MESFET의 임계전압 변동이 그 특성에 미치는 영향이 커서 전체회로의 안정성이 떨어진다. 특히 IC의 설계시 필수적으로 사용되는 레벨변환 회로의 경우에는 본문에서 설명하는 바와같이 그 문제가 심각하게 되어 새로운 방법이 요구된다.

본 논문에서는 각 MESFET의 임계전압 변동에 대한 레벨 변환 회로를 제안하고 그 특성을 분석하였다. MESFET의 임계전압이 400mV변할때 일반적인 레벨 변환회로의 입력 특성은 600mV 이상 변하는 반면, 본 논문에서 제안한 레벨 변환회로의 입력 특성은 100mV 정도 변하였다.

II. GaAs DCFL 회로의 특성

GaAs 디지털 IC의 기본논리로 현재 가장 많이 사용되고있는 DCFL은 실리콘의 NMOS 논리와 원리적으로는 같으나 증가형 MESFET(enhancement type MESFET)의 경우 재현성 있는 매우 얇은 (0.1μm 이하) 활성층(active layer)을 필요로 하기 때문에 최근에 와서야 실용화되기 시작하였다. DCFL 논리는 그림 1 - (a)와 같이 구동작용을 하는 증가형 MESFET(J2)와 부하로 작용하는 공핍형 MESFET(depletion type MESFET)(J1)으로 구성된다. GaAs ME-

SFET은 Si JFET이나 MOSFET에 비해 드레인 포화전압이 낮아서 낮은 전원전압 동작이 가능하다. 일반적으로 -1V 내외의 전원전압을 사용하며 그림1-(b)에는 전원전압 -0.8V를 사용하는 DCFL 인버터의 임출력 전달특성을 나타냈다. 입력전압을 -1V에서 0V까지 증가시키면서 출력전압을 보면, 입력전압이 낮을 때는 출력전압이 높으며 입력 전압이 높을 때는 출력전압이 낮아진다. 일반적으로 이 특성을 수치적으로 간략히 나타내기 위하여 그림1-(b)에 표시한 4 가지 특성상수를 정의하고 있다. 출력전압의 최대치 및 최소치를 각각 VOH 및 VOL이라 하고, 입력전압의 변화분에 대한 출력전압의 변화분이 -1이 되는 두 점 중에 낮은 입력전압값 및 높은 입력전압값을 각각 VIL 및 VIH라고 정의한다. 이러한 DCFL이 직렬로 연결되는 경우 앞단 DCFL의 VOH는 뒷단 DCFL의 VIH 보다 높아야 하며, 앞단의 VOL은 뒷단의 VIL 보다 낮아야 한다. 여기서 발생하는 또 하나의 중요한 특성으로는 잡음 여유도인데 VOH와 VIH의 차를 고전압 잡음 여유도라 하고, VIL과 VOL의 차를 저전압 잡음 여유도라 한다. 잡음 여유도는 클수록 좋으며 고전압 잡음 여유도와 저전압 잡음 여유도 중 어느것 하나라도 음의 값을 가지면 회로에 사용할 수 없다.

GaAs IC의 집적도를 높이는데 가장 큰 제한 요소로는 각 MESFET의 임계전압 변동인데, 이 제한요소를 줄이기 위하여 공정의 질적 향상 및 재현성 향상 외에도 공정의 한계를 보완해 주는 회로설계기술이 필요하다. GaAs MESFET의 임계전압 변동은 공정조건변동에서 올 수도 있지만 현재는 GaAs 웨이퍼 자체의 질에 따라 크게 좌우되는 것으로 알려져 있다. 일반적으로 웨이퍼와 웨이퍼 간의 임계전압 변동은 50~150mV정도이며, 한 웨이퍼 내에서 위치에 따른 임계전압의 변화는 10~50mV 정도이다. 웨이퍼 내에서의 임계전압 변동은 무작위로 변하기 때문에 그 효과를 회로적으로 상쇄 시키기 어렵지만 웨이퍼와 웨이퍼 간의 변화는 임계전압의 평균적인 변화이므로 회로적으로 그 변동효과를 줄일 수 있다. 본 논문에서는 충분한 검토를 위하여 임계전압 중심값에 대하여 -200mV에서 +200mV까지의 400mV 임계전압 변동에 대하여 논하며 증가형 MESFET 및 공핍형 MESFET의 임계전압 중심값은 각각 0.15V 및 -0.5V로 하였다. 그림2(a), (b)에 전원전압 -0.8V를 사용하는 DCFL에서 증가형 MESFET의 임계전압(Vte) 변동에 따른 임출력 전달특성의 형태 변화 및 특성상수 변화를 나타냈으며 빗금친 부분은 잡음 여유도를 나타내고 있다. 증가형 MESFET의 임계

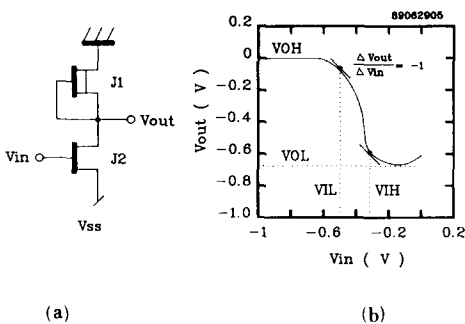


그림 1. GaAs E/D DCFL의 회로 및 임출력 전달 특성

- (a) GaAs E/D DCFL의 회로도
- (b) GaAs E/D DCFL의 임출력 전달특성

Fig. 1. Circuit and transfer characteristics of GaAs E/D DCFL.

- (a) Circuit of GaAs E/D DCFL.
- (b) Transfer characteristics of GaAs E/D DCFL.

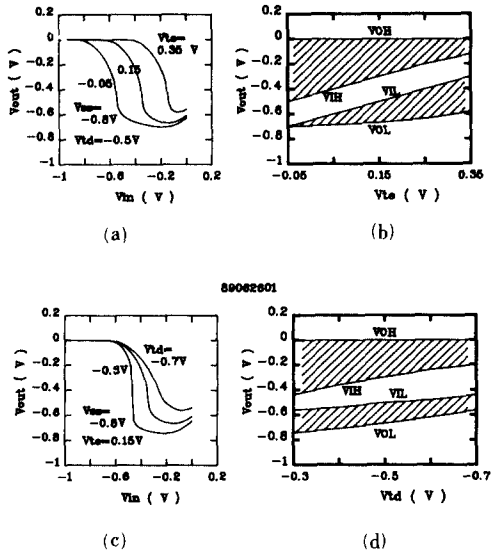


그림 2. MESFET의 임계전압 변동에 따른 DCFL의 입출력 전달특성 변화
 (a) (b) 증가형 MESFET의 임계전압 변동에 따른 특성변화
 (c) (d) 공핍형 MESFET의 임계전압 변동에 따른 특성변화

Fig. 2. Variation of transfer characteristics vs. threshold voltage of MESFETs.
 (a) (b) Variation of transfer characteristics vs. threshold voltage of enhancement type MESFET.
 (c) (d) Variation of transfer characteristics vs. threshold voltage of depletion type MESFET.

전압이 $-0.05V$ 에서 $0.35V$ 까지 $0.4V$ 변할 때 V_{IH} 및 V_{IL} 은 $0.4V$ 정도 변하고 있으며 출력전압의 V_{OL} 은 $0.1V$ 정도 변한다. 이와같은 사실로부터 DCFL의 증가형 MESFET의 임계전압 변동은 출력특성에는 큰 변화를 나타내지 않는 반면 입력특성에는 큰 영향을 미침을 알 수 있다. 그림 2 - (c), (d)에는 공핍형 MESFET의 임계전압 (V_{td}) 변동에 따른 입출력 전달 특성의 '형태 변화 및 특성상수 변화'를 나타냈다. 공핍형 MESFET의 임계전압 변동에 의한 DCFL의 특성변화는 증가형 MESFET의 임계전압 변동에 의한 특성변화와는 또 다른 특성을 보이고 있는데, 전체적인 레벨의 이동 현상 외에도 입출력 전달특성의 기울기가 변하고 있어 V_{IH} 와 V_{IL} 의 차가 변한다. 즉 DCFL이 동작하기 위해 필요로 하는 평균 입력 전압의 뿐 아니라 필요진폭도 변하고 있다. 공핍형

MESFET의 임계전압이 $-0.3V$ 에서 $-0.7V$ 까지 $0.4V$ 변할때 V_{IH} 는 $0.2V$ 정도, V_{IL} 은 $0.1V$ 정도, 그리고 V_{OL} 은 $0.2V$ 정도 변하고 있다. 전원전압을 $-0.8V$ 를 사용하는 DCFL의 논리진폭이($V_{OH}-V_{OL}$) $0.7V$ 정도 임을 감안하면 위의 입력특성 변화는 고 집적 IC의 동작을 좌우하기에 충분하며 따라서 임계전압의 변동특성을 면밀히 조사하여 회로를 설계할 필요가 있다. 특히 이 효과는 다음에 언급할 레벨 변환회로에서 더욱 그 중요성이 크다.

GaAs IC의 제어부분 및 출력 부분 등에는 $1.5V$ 정도의 큰 진폭이 필요하며 이 경우에는 더 큰 전원 전압의 DCFL을 사용하게 되므로 그림 3에 전원전압 $-2.0V$ 의 DCFL에 대하여 임계전압 변동특성을 나타냈다. 전원전압이 $-2.0V$ 일 경우에도 입력특성은 기준 전압이 $-0.8V$ 대신 $-2.0V$ 로 내려간 것을 제외하면 전원전압 $-0.8V$ 일 때와 같으며 출력전압의 논리진폭만 커졌음을 알 수 있다. 전원전압이 $-0.8V$ 인 DCFL의 출력으로 전원전압이 $-2.0V$ 인 DCFL을 구동하기 위해서는 레벨 이동회로가 필요하며 레벨 이동 회로와 이에 직렬로 연결된 전원전압 $-2V$ 의 DCFL을 합하여 레벨 변환 회로라 하고 이에 대해서는 뒤에서 자세히 다루기로 한다.

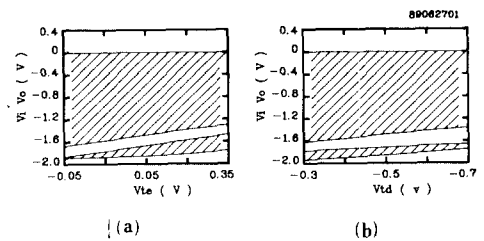


그림 3. 전원전압 $-2.0V$ 를 사용하는 DCFL의 임계전압 특성변동
 (a) 증가형 MESFET의 임계전압 변동에 따른 특성변화
 (b) 공핍형 MESFET의 임계전압 변동에 따른 특성변화

Fig. 3. Variation of transfer characteristics of DCFL using V_{ss} of $-2.0V$ vs. threshold voltage of E/D MESFET.
 (a) vs. threshold voltage of enhancement type MESFET.
 (b) vs. threshold voltage of depletion type MESFET.

III. 레벨 변환회로

GaAs IC의 설계에 있어서 내부회로에는 작은 전

원전압(여기서는 $-0.8V$)의 DCFL을 사용하여 소비 전력을 줄이고 있으나 입출력 및 제어부분에서는 큰 논리진폭이 필요 하므로 레벨 변환 회로를 사용한다. 레벨 변환 회로는 그림 4와 같이 레벨 이동회로(level shifter)와 큰 전원전압(여기서는 $-2V$)의 DCFL을 직렬 연결하여 구성하며 레벨 이동 회로를 적절히 구성 함으로써 MESFET의 임계전압 변동에 의한 레벨변환회로의 특성변화를 줄이고자 한다. 레벨이동 회로는 진폭은 변화시키지 않고 단순히 전압의 기본레벨을 이동시키는 회로로서 그림 5-(a)와 같은 회로가 많이 쓰이고 있다. 그림 5-(a)에 보인 회로는 레벨 이동 회로의 기본형으로 가장 많이 사용되고 있으며, 이 외에도 그림 5-(a)의 J_1 이 없이 직

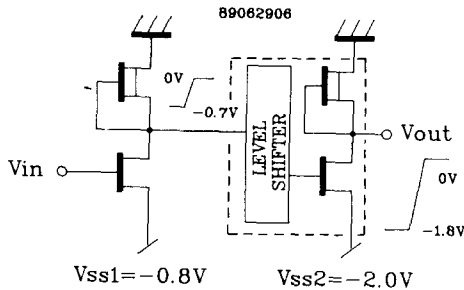


그림 4. 레벨 이동 회로를 이용한 레벨 변환 회로
Fig. 4. Level converter using level shifter.

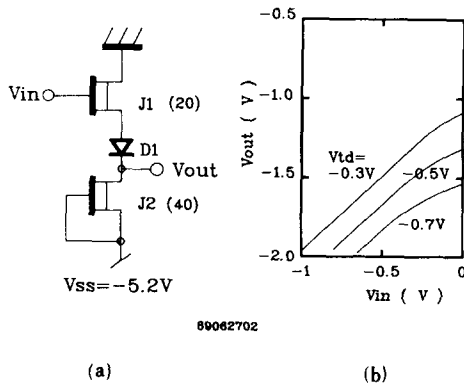


그림 5. 일반적인 레벨 이동회로 및 특성
(a) 회로도
(b) 입출력 전달 특성
Fig. 5. The circuit and transfer characteristics of the conventional level shifter.
(a) circuit.
(b) transfer characteristics.

접 다이오드의 양극(anode)에 입력을 가하는 방법^[5]과 J_2 대신 저항을 사용하는 방법^[6]이 있으나 근본적으로는 같은 원리이므로 기본형만을 해석 하기로 한다. 회로를 해석하기 위해서는 GaAs MESFET의 회로 모델이 필요한데, 시뮬레이션에 사용한 모델은 해석적으로 설명하기 어려우므로 간단한 JFET 모델을 이용하여 해석적으로 설명한다. 그림 5-(a)의 J_2 의 게이트-소오스 전압 V_{gs_2} 는 $0V$ 로 일정 하므로 드레인-소오스 전압 V_{ds_2} 가 포화전압 이상이면 V_{ds_2} 에 관계없이 J_2 에 흐르는 드레인 전류 I_{ds_2} 는 다음 값으로 일정하게 된다.

$$I_{ds_2} = W_2 \beta_2 V_{td}^2 \quad (1)$$

W_2 : J_2 의 게이트폭(J_2 의 크기라고도 함)

β_2 : W_2 가 $1 \mu m$ 일 때의 MESFET 포화전류

레벨 변환용 다이오드 D_1 의 양단전압 V_d 는 식 (2)와 같이 표시되며 다이오드를 통해 흐르는 전류 I_d 가 변하지 않는한 다이오드 양단전압은 일정하다.

$$V_d = (nkT/q) \ln(I_d/I_s - 1) \quad (2)$$

n : ideality factor

k : Boltzman constant

T : 온도(K)

q : 전자의 전하량

I_s : 다이오드의 포화전류

입력용 MESFET인 J_1 의 게이트-소오스 전압(V_{gs_1})은 V_{ds_1} 이 포화전압 이상인 경우 J_1 의 드레인-소오스 전압 V_{ds_1} 에 관계없이 다음과 같이 표시된다.

$$V_{gs_1} = \sqrt{\frac{I_{ds_1}}{W_1 \cdot \beta_1}} + V_{td} \quad (3)$$

I_{ds_1} : J_1 의 드레인 전류

W_1 : J_1 의 게이트 폭

β_1 : W_1 이 $1 \mu m$ 일 때의 MESFET 포화전류

그림 5-(a)에서 알 수 있는 바와 같이 J_1 의 드레인 전류, 다이오드의 전류 및 J_2 의 드레인 전류는 같아야 하며 V_{ds_2} 가 포화전압 이상일 경우 모두 J_2 의 드레인 전류는 V_{ds_2} 에 관계없이 일정하므로 J_1 의 게이트-소오스 전압 및 다이오드 양단전압은 일정하다. 따라서 입력전압 V_{in} 과 출력전압 V_{out} 의 관계를 식으로 나타내면 다음과 같다.

$$V_{out} = V_{in} - V_{gs_1} - V_d \quad (4)$$

다이오드 양단전압은 대개 $0.7V$ 에서 $0.8V$ 정도이

므로 0.8V 이상의 레벨이동이 필요할 경우에는 다이오드의 갯수로 이동량을 조정하고 미세한 양의 레벨 이동은 식 (3)에서와 같이 W_1 의 크기를 변화시켜 조정한다. 그림5-(b)에는 전원전압 $-0.8V$ 의 DCFL 레벨을 전원전압 $-2.0V$ 의 DCFL 입력으로 이동시키기 위하여 $J_1 = 20\mu m$, $J_2 = 40\mu m$ 을 사용한 레벨 변환회로의 입출력 전달특성을 나타냈다. 임계전압의 중심값인 $V_{td} = -0.5V$ 일때의 특성을 보면, 입력전압이 $-0.8V$ 에서 $0V$ 까지 변할때 출력전압은 $-2V$ 에서 $-1.3V$ 까지 변하고 있다. 입력전압이 $0V$ 근처에서는 식 (4)에서 예상한 출력전압보다 더 낮은 값이 되는데 이것은 J_1 의 드레인-소오스 전압 V_{ds1} 이 포화전압 보다 작아서 I_{ds1} 이 V_{ds1} 에 관계없이 V_{gs1} 에 의해서만 결정된다는 가정에서 벗어나기 때문이다. 임계전압이 변하면 그림5-(b)에서 레벨 이동량이 변하는데, 그 원인은 두가지 나누어 생각할 수 있다. 첫째로 식(1)에서 임계전압이 변하면 J_2 의 드레인 전류가 변하며 이에 따라 식(2)에서 다이오드 양단 전압 V_d 가 변하여 전체적인 레벨 이동량은 식(4)와 같이 변한다. 둘째로 임계전압이 변하면 식(1)에서 J_2 의 드레인 전류가 변하고 식(3)에서 J_1 의 V_{gs1} 이 변하여 전체적인 레벨이동량은 식(4)와 같이 변한다. 즉 I_{ds1} 과 I_{ds2} 를 같다고 놓고 식(1)과 식(3)을 조합하면 다음과 같다.

$$V_{gs1} = \sqrt{\frac{W_2}{W_1}} V_{td}^2 - V_{td} \quad (5)$$

$$= -V_{td} \left(1 + \sqrt{\frac{W_2}{W_1}} \right) \quad (6)$$

그림5-(b)에서 임계전압 변동에 따라 레벨 이동량이 크게 변하는 것은 레벨이동량을 조정하기 위하여 W_1 보다 W_2 를 크게 한 것이 식(6)에서와 같이 주 원인이다. 또한 그림 2와 그림 3에서 공핍형 MESFET의 임계전압이 낮아지면 다음단 DCFL은 더 높은 입력전압을 요구하나 그림 5와 같은 레벨 변환회로는 더 낮은 값으로 변환 시키므로 회로의 허용 임계전압 변동폭을 줄이는 결과가 된다. 그림 6에 그림5의 레벨 이동 회로를 이용하여 전원전압 $-2.0V$ 의 DCFL에 신호를 입력하는 레벨 변환회로의 입력 전압과 출력 전압의 전달특성을 나타냈다. 증가형 MESFET 및 공핍형 MESFET의 임계전압이 $400mV$ 변동함에 따라 요구 입력 특성은 $600mV$ 이상 변함을 알 수 있다.

그림 5와 같은 레벨 이동 회로를 사용하여 레벨 변환 회로를 구성하는 경우 발생하는 문제인 MESFET의 임계전압 변동에 따른 요구입력 전압의 변동

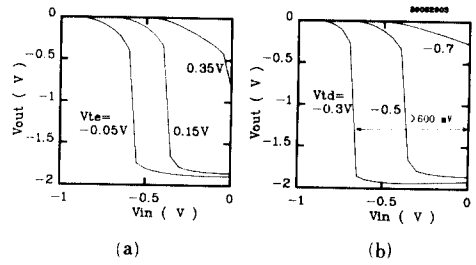


그림 6. 일반적인 레벨 이동 회로를 이용한 레벨 변환회로의 특성
(a) 증가형 MESFET의 임계전압 변동특성
(b) 공핍형 MESFET의 임계전압 변동특성

Fig. 6. Characteristics of the level converter using conventional level shifter.
(a) Transfer characteristics vs. threshold voltage of enhancement type MESFET.
(b) Transfer characteristics vs. threshold voltage of enhancement type MESFET.

을 줄이기 위하여 본 논문에서는 그림 7에 나타낸 회로를 사용하였다. 이 회로를 그림 5의 회로와 비교하면 공핍형 대신 증가형 MESFET을 사용하였으며, 레벨 이동용 다이오드 대신 공핍형 MESFET을 사용하였다. 앞에서와 마찬가지로 해석하여 보면 J_3 에 흐르는 전류 I_{ds3} , J_2 의 드레인-소오스 전압 V_{ds2} 및 J_1 의 게이트-소오스 전압 V_{gs1} 은 각각 다음과 같다.

$$I_{ds3} = W_3 \beta_e (V_{gs3} - V_{te})^2 \quad (7)$$

$$V_{gs3} = -V_{ss} \left(\frac{R_2}{R_1 + R_2} \right) \quad (8)$$

$$V_{gs2} = \sqrt{\frac{I_{ds2}}{W_2 \beta_e}} + V_{td} \quad (9)$$

$$V_{gs1} = \sqrt{\frac{I_{ds1}}{W_1 \beta_e}} + V_{te} \quad (10)$$

$$V_{out} = V_{in} - V_{gs1} - V_{ds2} \quad (11)$$

β_e : 증가형 MESFET의 임계전압
 β_d : 공핍형 MESFET의 임계전압

증가형 MESFET의 임계전압이 높아지면 뒷단의 DCFL 인버터는 그림 3에서와 같이 보다 높은 입력전압을 요구하며 본 논문에서 제안된 그림 7의 레벨 변환회로는 레벨 변환량을 줄여 뒷단에 보다 높은 전압을 공급한다. 증가형 MESFET의 임계전압이 높아지면 식(7)에서 I_{ds3} 가 줄어들며 $I_{ds1} = I_{ds2} = I_{ds3}$ 이므로 V_{ds2} 가 줄어들어 다음단 DCFL에 보다 높은 전압을 공급한다. 공핍형 MESFET의 임계전압이

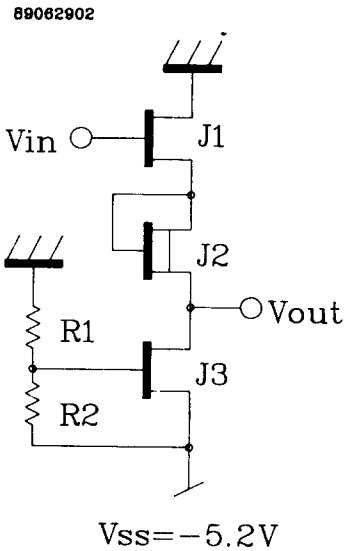


그림 7. 본 논문에서 제안한 레벨 이동회로의 회로도
Fig. 7. The circuit of level shifter proposed here.

높아지면 다음단 DCFL은 그림 3에서와 같이 보다 낮은 입력전압을 요구하며 제안된 회로에서 공핍형 MESFET의 임계전압이 높아지면 식(9)에서 V_{GS2} 가 늘어나서 다음단 DCFL에 보다 낮은 전압을 공급 받게 된다.

그림 8에는 본 논문에서 제안한 레벨 변환회로의 입출력 특성 및 임계전압 변동특성을 나타냈다. 그림 5의 일반적인 구조와 비교할 때 입력전압이 높을 때 출력전압이 낮아지는 현상이 입력전압의 전 영역에서 직선적으로 변환됨을 알 수 있는데 이것은 입력전압이 높을 경우 입력 MESFET(J_1)의 게이트-소오스 전압이 0.7V 정도의 값을 갖게하여 결과적으로 드레인-소오스 전압이 0.7V 되어 포화영역에서 동작 할 뿐 아니라 증가형 MESFET의 포화전압이 공핍형 MESFET의 포화전압보다 작기 때문에 입력전압 -1V에서 0V 까지의 영역에서 J_1 이 항상 포화되어 있기 때문이다. 그림 8-(a)에는 공핍형 MESFET의 임계전압이 변할때의 전달특성이고 그림 8-(b)는 증가형 MESFET의 임계전압 변화에 대한 전달특성이다. 그림 3의 DCFL 특성과 비교할 때 증가형 MESFET의 임계전압변동에 따른 입력 특성의 변화가 공핍형 MESFET의 임계전압변동에 의한 입력 특성의 변화 보다 심한것을 잘 보완해 주고 있음을 알 수 있다. 그림 9에는 본 논문에서 제시한 그림 7의 레벨이동 회로를 이용한 레벨 변환 회로의 입출력 전달특성을 나타냈다.

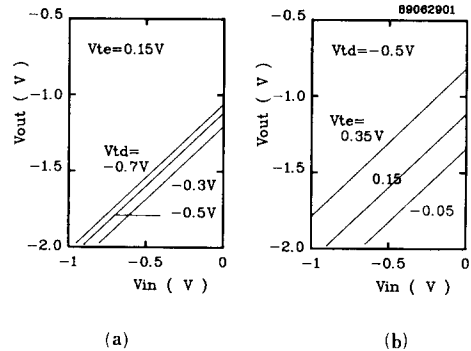


그림 8. 본 논문에서 제안한 레벨 이동회로의 특성
(a) 공핍형 MESFET의 임계전압 변화에 따른 특성변화
(b) 증가형 MESFET의 임계전압 변화에 따른 특성변화

Fig. 8. The characteristics of level converter proposed here.
(a) Transfer characteristics vs. threshold voltage of depletion type MESFET.
(b) Transfer characteristics vs. threshold voltage of enhancement type MESFET.

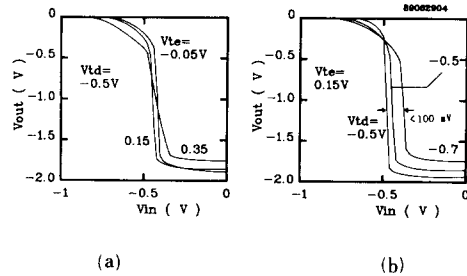


그림 9. 본 논문에서 제안한 레벨 변환 회로의 특성
(a) 증가형 MESFET의 임계전압 변동특성
(b) 공핍형 MESFET의 임계전압 변동특성
Fig. 9. Characteristics of the level converter proposed here.

(a) Transfer characteristics vs. threshold voltage of enhancement type MESFET.
(b) Transfer characteristics vs. threshold voltage of enhancement type MESFET.

그림 5에 나타낸 일반적인 레벨 이동 회로를 사용했을 때의 전달 특성은 그림 6에 나타낸 바와 같이 임계전압 400mV 변화에 대하여 600mV 이상의 입력 특성 변화가 나타나는 반면 그림 7의 레벨 이동회로를 사용했을 때에는 그림 9에 나타낸 바와 같이 100mV 이내의 입력 특성 변화 밖에 나타나지 않는다. 이와

같은 레벨변환회로는 IC 내부에서 큰 전압폭을 요구하는 모든 제어 부분 및 출력회로에 사용되어 임계전압 변동에 따른 동작특성을 향상시켜 공정 수율을 현저히 높일 수 있을 것으로 예상된다.

IV. 결 론

GaAs IC의 고집적화에 제한요소인 MESFET의 임계전압 변동에 대하여 현재 GaAs IC의 기본 논리로 가장 많이 사용되고 있는 DCFI의 특성을 분석하고, 이에 따라 각 MESFET의 임계전압 변동에 의한 특성변화를 보상하는 레벨이동 회로 및 이를 이용한 레벨 변환 회로를 제안하고 그 특성을 분석하였다. 일반적으로 사용되고 있는 레벨 변환 회로의 특성은 임계전압이 400mV 변할 때 입력특성의 변화가 600mV 이상이었으나 본 논문에서 제시한 레벨 변환회로는 사용하면 같은 양의 임계전압 변동에 대하여 100mV 이하의 특성변화를 나타냈다. 임계전압 변동에 강한 회로를 IC 제작에 채용함으로써 같은 공정 조건에서 GaAs IC의 집적도를 크게 향상시킬 수 있을 것으로 기대 된다.

감사의 글

이 연구는 한국과학기술처의 '88년 국책 과제중 "GaAs 초고속 집적회로 설계기술 개발"의 일환으로 수행되었음.

參 考 文 獻

- [1] Stephen I. Long and Mani Sundaram, "Noise-margin limitations on gallium-arsenide VLSI," *IEEE J. SSC*, vol. 23, no. 4, pp. 893-900, Aug. 1988.
- [2] Masahiro Hirayama, et al., "A GaAs 4kbit SRAM with direct coupled FET logic," *IEEE J. SSC*, vol. 19, no. 5, pp. 716-720, Oct. 1984.
- [3] Masahiro Hirayama, et al., "A GaAs 16-kbit static RAM using dislocation-free crystal," *IEEE Tr. Electron Devices*, vol. 33, no. 1 pp. 104-110, Oct. 1986.
- [4] S. Notomi, et al., "A high speed 1K X 4-bit static RAM using 0.5 um-gate HEMT," *Tech. Dig. GaAs IC Symp.* pp. 177-180, 1987.
- [5] Alan Fiedler, et al., "A GaAs 256 X 4 static self-timed random access memory," *Tech. Dig. GaAs IC Symp.* pp. 89-92, 1986.
- [6] Takehisa Hayashi, et al., "Novel circuit technology for ECL-compatible GaAs static RAM's with small access time scattering," *IEEE J. SSC*, vol. 22, no. 5, pp. 853-860, Oct. 1987.

著 者 紹 介



李 昌 錫 (正會員)

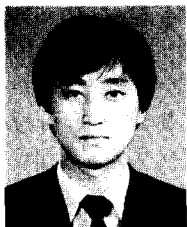
1961년 3월 29일생. 1984년 2월 경북대학교 전자공학과 졸업. 1986년 2월 한국과학기술원 전기및 전자공학과 졸업. 석사학위 취득. 1986년 2월~현재 한국전자통신연구소 화합물 집적회로 연구실 연구원.

주 관심분야는 갈륨비소 반도체의 고집적화 연구임.



朴 亨 茂 (正會員)

1955년 4월 29일생. 1978년 서울대학교 전자공학과 공학석사 학위 취득. 1980년 한국과학기술원 전기 및 전자공학과 석사학위 취득. 1984년 한국과학기술원 전기 및 전자공학과 박사학위 취득. 현재 한국전자통신연구소 화합물 집적회로실장. 주관심분야는 GaAs 고속 IC, MMIC, GaAs device simulation 등 .



尹 光 俊 (正會員)

1962년 7월 22日生. 1985년 2월 충남대학교 전자공학과 졸업. 1987년 2월 연세대학교 대학원 전자공학과 졸업. 공학석사 학위 취득.

1987년 2월 부터 현재 한국전자통신연구소 화합물 집적회로 연구

실 연구원. 주관심분야는 GaAs IC 설계 등임.

馬 東 星 (正會員) 제25권 제11호 참조
현재 한국전자통신연구소
화합물 반도체 연구부 연구위원.