

# 利得과 反射係數를 考慮한 마이크로波 增幅器用 有損失 中間段 整合回路 設計

## (Design of Lossy Interstage Network for Microwave Amplifiers Considering Gain and Reflection Coefficients)

具 京 憲\*, 李 忠 雄\*\*

(Kyung Heon Koo and Choong Woong Lee)

### 要 約

廣帶域 마이크로波 增幅器用 有損失 中間段 整合回路 設計法을 提示한다. 有損失 中間段 回路는 無損失 整合回路 사이에 有損失 直列 임피던스 또는 並列 어드미턴스가 挿入된 구조로 표시된다. 두개의 트랜지스터 사이에 直列 또는 並列 이미턴스가 挿入된 경우 具現 可能한 利得 및 反射係數의 범위를 유도하고, 이때 利得과 反射係數 사이의 關係式을 유도하였다. 제안된 方法을 이용하여 增幅器 設計例를 提示하였다.

### Abstract

A design method of lossy interstage networks for broadband microwave amplifiers is presented. A lossy interstage network is assumed as the combination of two lossless networks between which a lossy serial impedance or a lossy parallel admittance is inserted. For the circuit with two transistors and a lossy element, realizable ranges of gain and reflection coefficients are derived. And the relationships between gain and reflection coefficients are derived. Illustrative examples are presented by using the proposed method.

### I. 序 論

有損失 整合 마이크로波 增幅器에 대한 많은 研究가 進行되어 왔으나 대부분은 特정한 回路 형태를 定하여 一般적으로 모든 回路에 적용할 수 없었다.<sup>[1-3]</sup> 임의의 回路 형태를 갖는 整合回路에 대한 研

究가 Perez등에 의하여 행해졌으나, 이 경우 具現한 利得 및 反射係數가 最適인지가 불확실하다.<sup>[4]</sup>

본 研究에서는 有損失 中間段 整合回路를 두개의 無損失 네트워크 사이에 直列 또는 並列의 有損失 이미턴스가 挿入된 구조로 생각하여 有損失 이미턴스와 利得, 反射係數 사이의 關係를 구하고 具現 可能한 利得 및 反射係數의 범위를 구하였다. 이때 利得과 反射係數사이의 關係를 이용하여 원하는 利得과 反射係數를 갖는 整合回路를 設計하는 方法을 提示한다. 일단 有損失 이미턴스를 구한 후에는 實 周波數 技法을 이용하여 추가의 無損失 네트워크를 設計하여 增幅器의 特性을 개선한다.<sup>[5]</sup>

\*正會員, 仁川大學校 電子工學科  
(Dept. of Elec. Eng., Incheon Univ.)

\*\*正會員, 서울大學校 電子工學科  
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

接受日字: 1989年 10月 11日

II. 마이크로波 多段 增幅器의 利得 및 反射係數

일반적인 마이크로波 多段 增幅器는 그림 1과 같이 나타낼 수 있다. 그림 1에서 보듯이 多段 增幅器를 設計하기 위해서는 入力, 中間段 및 出力 整合回路를 設計해야 한다. 트랜지스터를 측정한 2포트 散亂係數로 나타내어 中間段 整合回路의 設計 方法을 確立하면, 入力이나 出力 整合回路는 中間段 整合回路의 設計에서 두개의 트랜지스터중 하나가 電源 또는 負荷의 산란 계수를 갖는 것으로 생각하여 設計할 수 있다.

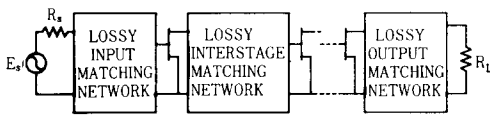


그림 1. 多段 增幅器의 블럭 다이어그램  
Fig. 1. Block diagram of a multistage amplifier.

實 周波數 技法을 이용한 無損失 整合回路 合成 方法을 이용하기 위하여 有損失 整合回路를 두개의 無損失 回路 사이에 有損失 直列 임피던스 또는 有損失 並列 어드미턴스가 插入된 구조로 생각할 수 있다.<sup>6)</sup> 예를 들면 無損失 回路 사이에 有損失 並列 어드미턴스가 插入된 구조로 생각하여 中間段 整合回路의 設計를 그림 2와 같이 생각할 수 있다.

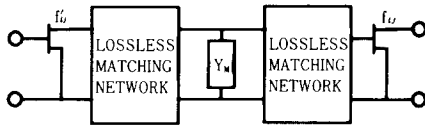


그림 2. 두개의 無損失 回路와 正規化 並列 有損失 어드미턴스  $Y_M$ 으로 표시된 有損失 中間段 整合回路  
Fig. 2. Lossy interstage network represented as the combination of two lossless networks and normalized parallel lossy admittance  $Y_M$ .

먼저 有損失 整合소자  $Y_M$ 과 增幅器의 利得, 反射係數 사이의 關係를 구하기 위하여 그림3의 回路를 생각해 보기로 한다. 트랜지스터는 2端子 散亂係數  $f_{ij}$  및  $f_{ji}$ 로 표시되며  $Y_M$ 은 正規化 어드미턴스이다.

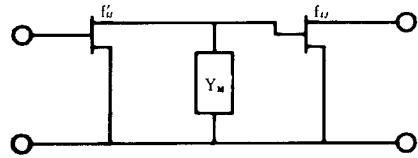


그림 3. 두개의 트랜지스터와 正規化 並列 어드미턴스  $Y_M$ 의 串속 연결 회로  
Fig. 3. Cascade connection of two transistors and the normalized parallel admittance  $Y_M$ .

그림3에서 전체 回路의 散亂係數를  $S_{ij}$  ( $i, j=1, 2$ )라 하면  $S_{ij}$ 와  $Y_M$ 과의 關係는 다음과 같다.

$$S_{11} = f'_{11} - \frac{f'_{12} f'_{21} \{Y_M(1+f_{11}) - 2f_{11}\}}{Y_M(1+f'_{22})(1+f_{11}) + 2(1-f'_{22} f_{11})} \quad (1)$$

$$S_{22} = f'_{22} - \frac{f_{21} f_{12} \{Y_M(1+f'_{22}) - 2f'_{22}\}}{Y_M(1+f'_{22})(1+f_{11}) + 2(1-f'_{22} f_{11})} \quad (2)$$

$$S_{21} = \frac{2f'_{21} f_{21}}{Y_M(1+f'_{22})(1+f_{11}) + 2(1-f'_{22} f_{11})} \quad (3)$$

(1), (2), (3)식에서 反射係數  $S_{11}$ ,  $S_{22}$ , 傳送係數  $S_{21}$ 과  $Y_M$ 사이에는 雙一次變換(bilinear transformation)의 關係가 있음을 알 수 있다. 따라서 復素數 理論에 의하여 일정한 크기의 反射係數나 利得을 갖는  $Y_M$ 의 値를  $Y_M$ 평면 또는 스미스 차트에 그리면 원이 된다. 또한 利得과 反射係數 사이의 關係도 위 식에서 쉽게 구할수 있다.

$$S_{21} = \frac{f_{21}(1+f'_{22})}{f'_{12}(1+f_{11})} [S_{11} - (f'_{11} - \frac{f'_{12} f'_{21}}{1+f'_{22}})] \quad (4a)$$

이 식은 다음과 같이 간단히 표시할 수 있다.

$$S_{21} = M_0(S_{11} - C_0) \quad (4b)$$

여기서  $M_0$ ,  $C_0$ 는 다음과 같다.

$$M_0 = \frac{f_{21}(1+f'_{22})}{f'_{12}(1+f_{11})}$$

$$C_0 = f'_{11} - \frac{f'_{12} f'_{21}}{1+f'_{22}}$$

식 (4)에서  $S_{21}$ 과  $S_{11}$ 사이에는 線形 變換의 關係가 있고,  $S_{21}$ 의 크기는  $S_{11}$ 과  $C_0$ 사이의 거리에 비례함을 알 수 있다. 마찬가지로 方法으로  $S_{21}$ 과  $S_{22}$ 사이의

關係도 유도된다. 식 (4)에서 利得이나 反射係數중 하나를 결정하면 다른 하나가 결정되고, 목표로 하는 利得이나 反射係數를 선택하기 위해서는 具現 可能한 利得과 反射係數의 範圍를 알아야 한다.

1. 具現 可能한  $S_{11}$  및  $S_{21}$ 의 範圍

식 (1), (3)에서  $Y_M$ 이 受動 素子일 경우 具現 可能한  $S_{11}$  및  $S_{21}$ 의 範圍를 구하면 다음과 같다.

$$|S_{11} - (C_0 + \frac{C}{2n})| \leq |\frac{C}{2n}| \tag{5}$$

$$|S_{21} - \frac{D}{2n}| \leq |\frac{D}{2n}| \tag{6}$$

여기서 C, D, n은 각각 다음과 같다.

$$C = \frac{f'_{12} f'_{21}}{(1+f'_{22})^2}$$

$$D = \frac{f'_{21} f_{21}}{(1+f'_{22})(1+f_{11})}$$

$$n = \text{Re} \left[ \frac{1 - f'_{22} f_{11}}{(1+f'_{22})(1+f_{11})} \right]$$

특정한  $S_{21}$  및  $S_{11}$ 이 되는  $Y_M$ 의 주파수 변화에 따른 궤적을 알면 整合回路를 設計할 수 있다.  $Y_M$ 의 궤적은  $Y_M$  평면보다 스미스 차트에 그리는 것이 간편하므로 스미스 차트에서의 궤적을 구한다.  $\alpha$ 를 스미스 차트의  $Y_M$  대응점, 즉  $\alpha = (1 - Y_M) / (1 + Y_M)$  이라 하자. 이때  $S_{21}$ ,  $S_{11}$ 과  $\alpha$ 사이에는 다음의 雙一次 變換의 關係가 성립하며, 따라서  $S_{21}$ ,  $S_{11}$ 의 크기가 일정한 스미스 차트의 궤적은 원이 된다. 이 원의 중심과 반지름은 복소수 이론에서 구할 수 있다.<sup>[7]</sup>

$$S_{11} = \frac{A_1 \alpha + B_1}{C_1 \alpha + D_1} \tag{7}$$

$$S_{21} = \frac{A_2 \alpha + B_2}{C_2 \alpha + D_2} \tag{8}$$

이때 계수들의 값은 다음과 같다.

$$A_1 = f'_{11} - f'_{11} f'_{22} + f'_{12} f'_{21} + f_{11} (-f'_{11} - 3f'_{11} f'_{22} + 3f'_{12} f'_{21})$$

$$B_1 = 3f'_{11} + f'_{11} f'_{22} - f'_{12} f'_{21} + f_{11} (f'_{11} - f'_{11} f'_{22} + f'_{12} f'_{21})$$

$$C_1 = 1 - f'_{22} - f_{11} - 3f'_{22} f_{11}$$

$$D_1 = 3 + f'_{22} + f_{11} - f'_{22} f_{11}$$

$$A_2 = 2f'_{21} f'_{21}$$

$$B_2 = 2f'_{21} f_{21}$$

$$C_2 = 1 - f'_{22} - f_{11} - 3f'_{22} f_{11}$$

$$D_2 = 3 + f'_{22} + f_{11} - f'_{22} f_{11}$$

2. 적절한 利得 및 反射係數의 선택

利得과 反射係數의 關係는 식 (4)와 같다. 식 (4)에서 특정한  $|S_{21}|$ 을 선택하면  $|S_{11}|$ 의 具現 可能한 範圍는 다음과 같다.  $|S_{21}|$ 을 M이라 하면

$$|S_{21}| = |M_0(S_{11} - C_0)| = M \tag{9a}$$

이고

$$|S_{11} - C_0| = \frac{M}{|M_0|} = M_d \tag{9b}$$

이다. 단 이때 M은 앞에서 구한  $S_{21}$ 의 具現 可能한 範圍내의 값이다. 식 (9)에서  $S_{11}$ 은 중심이  $C_0$ 이고, 반경이  $M_d$ 인 원 위의 값이며, 앞의 식 (5)에서 具現 可能한  $S_{11}$ 의 範圍를 구하였으므로,  $|S_{21}| = M$ 일 때의  $S_{11}$ 은 식 (5)와 (9)의 공통 부분이다. 그림 4에서 점선이 具現 可能한  $S_{11}$ 이다.  $C_0$ 와  $C_0 + \frac{C}{2n}$ ,  $M_d$ 사이의 關係에 따라 여러가지 경우가 생기며, 이에 따라  $S_{11}$ 크기의 최대치 및 최소치가 여러가지로 결정된다.

그림 4에서  $S_{11}$ 의 크기를 具現 可能한 範圍내의 값인 R로 선택하면,  $S_{11}$ 은 원점에서 거리 R인 원과 중심  $C_0$ 에서 반경  $M_d$ 인 원과의 교점이다. 이때 두개의 교점이 생기며, 이 교점은 具現 可能한  $S_{11}$ 의 範圍내의 값인지 확인해야 한다. 이 교점들은 원점에서 거리 R이고, 位相은  $\theta_c$ 를  $C_0$ 의 位相이라할때 cosine 제 2法則에 따라 다음과 같이 주어진다.

$$\theta = \theta_{C_0} \pm \cos^{-1} \left( \frac{R^2 + |C_0|^2 - M_d^2}{2R|C_0|} \right) \tag{10}$$

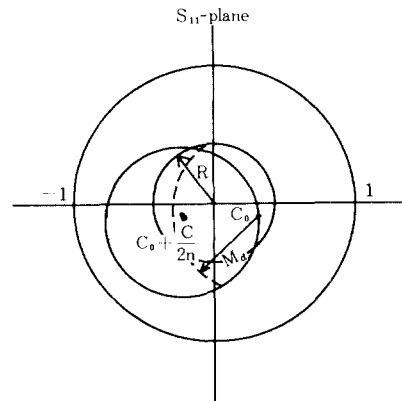


그림 4.  $|S_{21}| = M$ 일 때 具現 可能한  $S_{11}$ 의 계산  
Fig. 4. Calculation of  $S_{11}$  when  $|S_{21}|$  is M.

3. 有損失 整合 마이크로波 增幅器의 安定度

마이크로파 增幅器 設計에서 安定度는 매우 중요한 문제이다.<sup>9)</sup> 특히 조건부 안정인 트랜지스터를 이용하여 增幅器를 設計하는 경우에는 設計된 增幅器의 安定度를 반드시 확인해야 한다. 트랜지스터가 무조건 안정인 경우에는 入力과 出力 整合回路를 공액 整合 (conjugate matching) 시켜 최대 利得을 얻을 수 있다. 트랜지스터의 入力 또는 出力에 並列 어드미턴스를 연결하여 增幅器를 設計하는 경우에는 조건부 안정인 트랜지스터라도 적절한 어드미턴스를 연결하여 트랜지스터와 並列 어드미턴스로 구성된 새로운 트랜지스터 모듈이 무조건 안정되도록 할 수 있다. 이때 並列 어드미턴스의 선정은 스미스 차트에서 다음과 같이 구할 수 있다. 조건부 안정인 트랜지스터의 散亂係數를 이용하여 安定度 원을 그리고, 이 트랜지스터의 出力에 並列 어드미턴스를 연결하였다고 생각한다(그림 5, 6 참조).

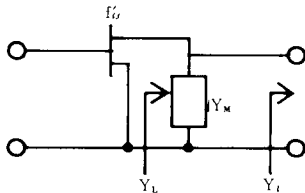


그림 5. 트랜지스터 出力에 並列 어드미턴스  $Y_M$ 을 연결하여 만든 새로운 트랜지스터 모듈  
 Fig. 5. A transistor module made with the parallel admittance  $Y_M$  connected to the transistor output.

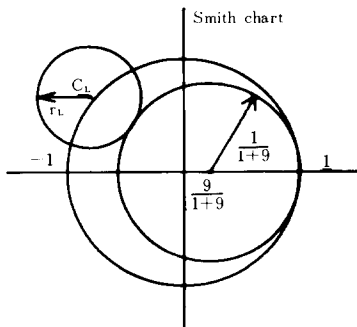


그림 6. 스미스 차트에 표시된 負荷 安定度원(어드미턴스 좌표)  
 Fig. 6. Load stability circle on the admittance derived Smith chart.

트랜지스터 出力에서 負荷쪽을 바라본 어드미턴스가 負荷 安定度 원 바깥이 되면 이 모듈은 무조건 안정이 되며, 이때 負荷  $Y_i$ 은 受動 어드미턴스의 조건 (즉  $Re Y_i \geq 0$ )을 갖고 있으므로  $Y_M$ 의 실수부가 負荷 安定度 원 내부의 임의의 점의 실수값보다 크면  $Y_i$ 은 모든 受動 負荷에 대해 負荷 安定度 원 외부에 있으므로 이 트랜지스터 모듈은 무조건 안정의 상태를 갖는다. 負荷 安定度 원의 중심을  $C_L$ , 반경을  $r_L$  이라 하면 스미스 차트내의 일정 컨덕턴스 원 및 負荷 安定度 원의 식은 다음과 같이 표시된다.

$$(X - \frac{g}{1+g})^2 + Y^2 = (\frac{1}{1+g})^2 \tag{11}$$

$$(X - C_{L,r})^2 + (Y - C_{L,i})^2 = r_L^2 \tag{12}$$

이때  $C_L = C_{L,r} + jC_{L,i}$ 로 安定度 원의 중심 좌표이다. 두 원이 접하는 경우의 컨덕턴스  $g$ 는 다음과 같다.

$$g = \frac{1+r_L^2 - |C_L|^2 + 2r_L}{1-r_L^2 + |C_L|^2 - 2C_{L,r}} \tag{13}$$

따라서  $Y_M$ 은  $g$  이상의 컨덕턴스를 갖으면 된다. 마찬가지로 트랜지스터의 入力에 並列 어드미턴스를 연결하는 경우도 回路가 무조건 안정화되는 최소 컨덕턴스의 값을 구할 수 있다. 단, 이 경우 電源 또는 負荷 安定度 원이 컨덕턴스가 무한대인 점을 포함하면 並列 어드미턴스를 연결하여서는 무조건 안정인 트랜지스터 모듈로 만들 수는 없다. 이 경우는 直列로 임피던스를 연결하여 앞에서 언급한 方法으로 무조건 안정인 트랜지스터 모듈을 만들 수 있다. 廣帶域 增幅器를 設計하는 경우에는 대역내의 몇 개 주파수에서 安定度 원을 그려 무조건 안정인 트랜지스터 모듈로 만드는  $Y_M$ 값의 範圍를 그리고, 이 範圍내에서 적절한 利得 및 反射係數를 갖는  $Y_M$ 값을 선택한다.

Ⅲ. 有損失 多段 마이크로波 增幅器의 設計 例

앞에서 제안한 이론을 이용하여 多段 增幅器를 設計하기 위한 프로그램을 작성하였다. 例로써 MGF 4305를 이용한 2단 增幅器를 6-12GHz에서 設計해 본다. MGF 4305의 散亂係數는 표 1과 같다. 먼저 6-12 GHz의 安定度를 조사해보면 6에서 10GHz의 範圍에서 安定度 계수  $K$ 가 1보다 작으며 따라서 조건부 안정임을 알 수 있다. 각 주파수에서 電源 및 負荷 安定度 원을 그리면 그림 7과 같다.

그림 7에서 트랜지스터 增幅器를 무조건 안정으로 만드는 並列 어드미턴스의 범위를 알 수 있다. 두 개

표 1. MGF4305 GaAs FET의 산란계수

Table 1. S parameters of GaAs FET MGF4305.

FREQ (GHZ)	$S_{11}$	$S_{21}$	$S_{12}$	$S_{22}$
	MAG ANG	MAG ANG	MAG ANG	MAG ANG
6	.778, -111.2	2.928, 76.2	.083, 16.4	.605, -80.3
7	.742, -125.6	2.701, 62.5	.084, 8.3	.597, -89.4
8	.710, -139.5	2.500, 49.1	.083, 1.0	.592, -98.2
9	.681, -152.3	2.333, 36.3	.083, -5.5	.593, -107.1
10	.655, -165.4	2.196, 24.0	.083, -11.5	.598, -115.8
11	.632, -177.5	2.083, 12.0	.083, -17.2	.607, -124.4
12	.613, 170.3	1.988, 0.3	.084, -22.7	.616, -132.5

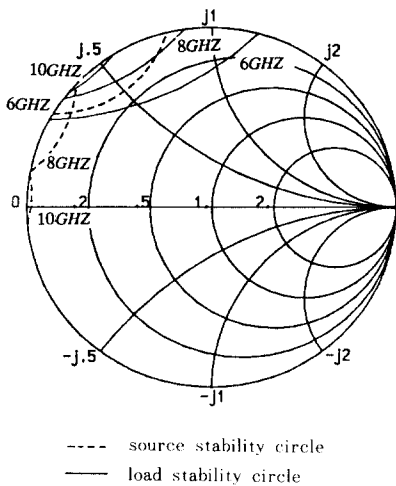


그림 7. MGF4305의 電源 및 負荷 安定度원  
Fig. 7. Source and load stability circles of MGF 4305.

의 MGF4305 FET 사이에 並列 어드미턴스를 연결하여 具現할 수 있는  $S_{11}$  및  $S_{21}$ 의 6GHz에서의 範圍는 다음과 같다.

$S_{11}$ ... 중심 (-0.352, -0.791)  
반경 (0.198)

$S_{21}$ ... 중심 (-5.940, -6.170)  
반경 (8.565)

이 주파수에서 최대  $|S_{21}|$ 은 17.12이며  $|S_{21}|$ 이 17.12 일때의  $|S_{11}|$ 은 0.86이고, 이 값을 얻을 수 있는 正規化 어드미턴스  $Y_M$ 의 값은  $0-j2.14$ 이다. 마찬가지로 6-12GHz사이의 주파수에 대하여 具現 가능한  $S_{21}$  및  $S_{11}$ 들을 구할 수 있다. 두개의 FET 사이

에 병렬 어드미턴스를 연결하여 구현 가능한  $|S_{21}|$ 의 최대치는 6, 8, 10, 12GHz에서 각각 17.12, 10.27, 6.094, 5.32이다.

多段 增幅器의 設計는 入力에서 出力측으로 순차적으로 設計하는 방법과 出力측에서 設計해 오는 방법이 있다. 본 設計 例에서는 入力에서 出力측으로 순차적으로 設計하고, FET의 주파수에 따른 이득 감쇄는 中間段에서 보상하는 방법을 택하였다. 먼저 入力段은 整合이 잘 되게끔 無損失回路로 設計하였다. 入力回路는 4次回路를 택했으며 변환 Q방법을 이용하였다.<sup>[10]</sup> 設計된 回路는 그림9의 入力整合回路와 같다. 入力 整合回路 및 MGF4305로 구성된 回路의 散亂係數와, MGF4305의 散亂係數를 이용하여 앞의 이론에 따라 具現 可能 利得 및 反射係數등을 구하였다. 6-12GHz대역에서 並列 어드미턴스를 이용하여 구현가능한 최대  $|S_{21}|$  값은 12GHz에서 6.67이므로 이값을 並列 어드미턴스를 연결하여 구현하는 利得의 목표치로 설정한다. 일정한  $|S_{21}|$ 을 갖는 정규화 어드미턴스  $Y_M$ 을 스미스차트에 그려, 각 주파수에서의 특성이 一定 利得 원과 교차하는 回路를 complex curve fitting등의 여러 방법으로 합성할 수 있다.<sup>[9]</sup> 평탄 이득의 목표치에서 적절한 변화 범위를 설정하여 (例  $\pm 10\%$  등) 이값에 해당하는 一定 利得 曲線을 함께 그려 구현이 용이한 利得值를 선택한다. 具現 可能한 回路는 스미스차트에서, 주파수가 증가함에 따라 그 軌적이 시계 방향으로 회전해야 한다. 6, 9, 12GHz에서  $|S_{21}|$ 을 각각 7.2, 5.6, 6.4를 택하였다. 그림8에 각 주파수에서의 선택  $|S_{21}|$ 을 갖는 軌적 원을 그렸다. 이들 일정 이득 원에서 구현 가능한 최소 반사 계수를 택하였을 때의 정규화 어드미턴스는 각각  $0.309+j0.058, 0.185+j0.266, 0.119+j0.478$  등이다. 6GHz 및 9GHz에서 어드미턴스를 여러 방법으로 구현할 수 있으나 바이어스등에 용이한 直列 저항-인덕턴스 回路로 구현하는 경우 R은 75  $\Omega$ 이고 L은 2.14nH이다. 이때 12GHz에서의 컨덕턴스는 0.118로 선택한  $Y_M$ 의 실수부와 거의 일치한다. R-L로는 실수부만 일치시켰으므로 허수부를 일치시키기 위해 並列 인덕턴스-캐패시턴스 回路등을 이용한다. 이 경우는 6, 9, 12GHz에서 구현해야 할 서셉턴스 값이 각각 0.3902, 0.5664, 0.7327 등으로 並列 캐패시턴스 0.2pF만으로도 거의 유사한 값을 얻을 수 있다. 그림8에 설계된 회로의 선택 이득 원과의 교차점을 표시하였다. 일단  $Y_M$ 을 구현한 후 추가의 無損失 回路를 實周波數 技法으로 設計하였다. 중간단에 추가의 正합회로를  $Y_M$ 의 앞과 뒤에 삽입하였으며 이 경우 큰 특성의 변화는 없었다. 이는  $Y_M$ 을 스미스 차

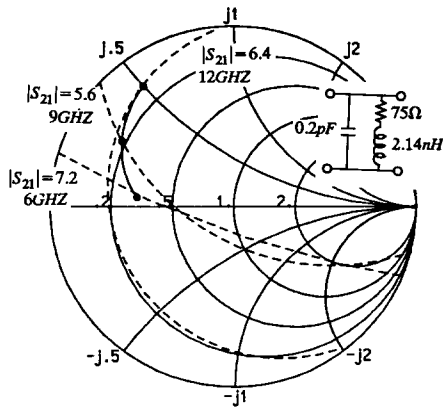
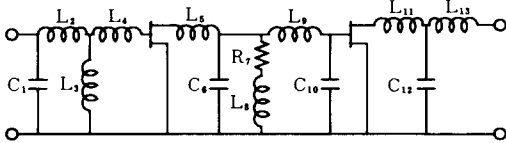


그림 8. 6, 9, 12GHz에서  $|S_{21}|$ 이 일정한 원의 궤적  
 Fig. 8. Loci of constant  $|S_{21}|$  circles at 6, 9 and 12GHz.



$C_1 = 0.365\text{pF}$ ,  $L_2 = 0.223\text{nH}$ ,  $L_3 = 0.637\text{nH}$ ,  $L_4 = 0.080\text{nH}$   
 $L_5 = 0.041\text{nH}$ ,  $C_6 = 0.217\text{nH}$ ,  $R_7 = 75.0\text{ohm}$ ,  $L_8 = 2.14\text{nH}$   
 $L_9 = 0.004\text{nH}$ ,  $C_{10} = 0.017\text{pF}$ ,  $L_{11} = 0.914\text{nH}$ ,  $C_{12} = 0.408\text{pF}$   
 $L_{13} = 0.500\text{nH}$ , FET : MGF4305 GaAs FET

그림 9. 설계된 2단 증폭기의 회로도  
 Fig. 9. Circuit diagram of designed 2 stage amplifier.

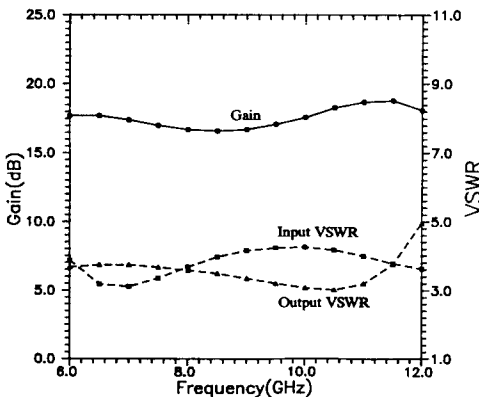


그림 10. 설계된 2단 증폭기의 특성  
 Fig. 10. Characteristics of designed 2 stage.

트를 이용하여 최적점 근방에서 구현하였기 때문이다. 출력에는 3단의 무손실 정합회로를 설계하였다. 설계된 증폭기의 회로 및 특성은 그림 9, 10과 같다. 이득은  $17.7 \pm 1.1\text{dB}$ 의 특성을 나타내었다. 입력 및 출력 반사계수는 비교적 큰 값을 나타내었는데 이를 개선하기 위해서는 입력 및 출력단에도 有損失 整合 회로를 이용하거나 더욱 차수가 높은 회로가 필요하다. 중간단 회로의 설계에서 보듯이 본 방법은 이득 및 반사계수의 값을 함께 선택 가능하므로 작은 반사 계수 값이 필요한 경우에는 그에 적합하게 이득의 목표치를 선택하면 된다.

IV. 結 論

본 논문에서는 有損失 中間段 整合 회로를 無損失 회로 사이에 直列 임피던스 또는 並列 어드미턴스가 삽입된 구조로 가정하였다. 이때 並列 어드미턴스가 삽입된 회로에 대해 利得 및 反射係數의 구현 가능한 범위 및 상호 관계를 유도하였다. 또한 利得 및 反射係數의 목표치를 설정하고 이를 並列 어드미턴스로 구현하는 방법을 제안하고 증폭기의 특성을 개선하기 위해 實 周波數 技法을 이용하여 추가의 無損失 회로를 설계하였다. 제안된 이론을 이용하여 利得 및 反射係數의 구현 가능한 범위등을 구하는 예를 제시하였으며, 6에서 12GHz 범위에서  $17.7 \pm 1.1\text{dB}$ 의 이득을 갖는 2段 증폭기를 설계하여 제안된 방법이 유용함을 보였다.

參 考 文 獻

[1] A.N. Riddle and R.J. Trew, "A broadband amplifier output network design," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp. 192-196, Feb. 1982.  
 [2] K.B. Niclas, "On design and performance of lossy match GaAs MESFET amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp. 1900-1907, Nov. 1982.  
 [3] L.T. Liu and W.H. Ku, "Computer aided synthesis of lumped lossy matching networks for monolithic microwave integrated circuit," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, pp. 282-290, Mar. 1984.  
 [4] J.C. Villar and F. Perez, "Graphic design of matching and interstage lossy networks for microwave transistor amplifier," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, pp. 210-215, Mar. 1985.  
 [5] B.S. Yarman, "Modern approaches to broad-

- band matching problem, "IEEE Proc., vol. 132, pt.H. pp. 87-92, Apr. 1985.
- [6] Kyung Heon Koo and Choong Woong Lee, "Design of lossy matching network for microwave broadband amplifier using the relationships between gain and reflection coefficients," *KITE Journal*, vol. 26, pp. 10-17, May 1989.
- [7] Herb Silverman, *Complex Variables*, Houghton Mifflin Company, 1975.
- [8] T.T. Ha, *Solid State Microwave Amplifier Design*, John Wiley and Sons, 1981.
- [9] E.C. Levy, "Complex curve fitting," *IRE Trans. Automatic Control*, pp. 37-43, May 1959.
- [10] Pieter L.D. Abrie, *The Design of Impedance Matching Network for Radio Frequency and Microwave Amplifiers*, Artech House, 1985.

---

 著 者 紹 介
 

---

具 京 憲 (正會員) 第26卷 號5號 參照  
 현재 인천대학교 전자공학과  
 조교수

李 忠 雄 (正會員) 第26卷 第5號 參照  
 현재 서울대학교 전자공학과  
 교수