

# 상온에서 짧은 채널 n-MOSFET의 이동도 감쇠 변수 추출에 관한 연구

(A Study on the Extraction of Mobility Reduction Parameters  
in Short Channel n-MOSFETs at Room Temperature)

李明福\*, 李精一\*, 姜光男\*

(Myoung Bok Lee, Jung Il Lee, and Kwang Nham Kang)

### 要 約

상온에서 짧은 채널 n-MOSFET의 이동도 감소 변수들이 강한 반전 영역에서의  $I_d-V_g$ 와  $g_m-V_g$  특성들로부터 추출되었다. 채널 길이의 감소에 따른 최대전계 효과 이동도  $\mu_{FE,max}$ 의 감소는 i) 문턱전압과 최대 상호 컨덕턴스에 해당하는 게이트 전압의 차이와 ii) 채널 길이에 의존하는 이동도 감쇠 계수 때문인 것으로 나타났다. 저전장 이동도  $\mu_0$ 는 적어도  $0.25\mu m$ 의 유효채널 길이까지는 채널 길이에 관계없이 일정함이 밝혀졌다. 그 밖에 채널길이 감소,  $\Delta L$ 과 이동도 감쇠 계수,  $\theta$ 와 문턱전압  $V_t$  및 소오드-드레인 저항  $R_{sd}$  등도 짧은 채널 n-MOSFET의 전기적 특성들인  $I_d-V_g$  및  $g_m-V_g$  특성으로부터 구할 수 있었다.

### Abstract

Mobility reduction parameters are extracted using a method based on the exploitation of  $I_d - V_g$  and  $g_m - V_g$  characteristics of short channel n-MOSFETs in strong inversion region at room temperature. It is found that the reduction of the maximum field effect mobility,  $\mu_{FE,max}$ , with the channel length is due to i) the difference between the threshold voltage and the gate voltage which corresponds to the maximum transconductance, and ii) the channel length dependence of the mobility attenuation coefficient,  $\theta$ . The low field mobility,  $\mu_0$ , is found to be independent of the channel length down to  $0.25 \mu m$  of effective channel length. Also, the channel length reduction,  $\Delta L$ , the mobility attenuation coefficient,  $\theta$ , the threshold voltage,  $V_t$ , and the source-drain resistance,  $R_{sd}$ , are determined from the  $I_d - V_g$  and  $g_m - V_g$  characteristics of short channel n-MOSFETs.

### I. 서 론

소자의 성능과 회로의 집적도를 높이기 위하여 소자의 크기는 축소되어 왔으며 최근에는 채널 길이가

$0.1\mu m$  급인 미세 MOSFET이 보고되었다.<sup>1)</sup> 이러한 소자의 미세화에 따라 발생하는 여러가지 문제 중의 하나가 이동도 감소이다.<sup>2~4)</sup> 현상론적 모형으로 표시되기도 하는<sup>4,5)</sup> 이동도 감소에 대하여 아직까지 확실한 해명은 없다.

최근에는 이온 주입이나 건식 이온 식각 등 고에너지 공정으로 말미암아 채널양단, 즉 소오드-드레

\*正會員, 韓國科學技術研究院 光電子工學研究室  
(Optical Electronics Laboratory, KIST)  
接受日字: 1989年 6月 7日

인 근처에 결함 지역이 생긴다고 가정하는 쓰리-피스 모형으로 이동도 감소를 설명하려는 시도도 있었다.<sup>6</sup> 그러나 이러한 결함지역의 존재여부는 확인하기 어려우며 확인되지도 않았고 설사 존재하더라도 소오스-드레인 형성시 증착화산에 의해 소오스-드레인 영역이 확장되므로 소오스-드레인 영역에 포함되어 소오스-드레인 저항에 흡수된다고 보는 것이 타당하다. 채널 길이가 짧아짐에 따라 산란 없이 채널 길이를 가로지르는 탄동 전송의 확률이 무시 못하게 되어 이에 따른 이동도의 채널 길이 의존성을 고려하기도 하였으나,<sup>7</sup> 세 3절에서 논의된 대로 채널길이 0.1 $\mu\text{m}$ 까지는 탄동 전송에 의한 영향은 무시할 만하다. 본 연구에서는 이상의 이동도 감소의 논의에서 저전장 이동도,  $\mu_0$ 와 최대전계 효과 이동도,  $\mu_{FE,max}$ 의 혼동도 정확한 해석에 장애가 되었다고 보고 이 두 이동도의 구분을 엄격히하여 해석을 시도하였다.

중전에 MOSFET의 해석적 모형을 실제 소자의 특성에 적용할 때에 저전장 이동도,  $\mu_0$ 를 최대 전계 효과 이동도인  $\mu_{FE,max}$ 와 동일시 하여왔다.<sup>3</sup> 이러한 근사는 매우 편리하고 긴 채널 소자인 경우 상당히 정확하지만 짧은 채널 소자인 경우 심각한 차이가 나타나므로 구분되어야 하며 특히 채널길이의 감소에 따라  $\mu_{FE,max}$ 가 감소하는 것을  $\mu_0$ 의 감소로 오인하기<sup>3,4</sup> 쉬우므로 주의해야 한다. 본 연구에서는 최근 개발된 방법<sup>8</sup>을 이용하여 짧은 채널 n-MOSFET의 주요 파라미터인 문턱전압  $V_t$ , 저전장 이동도  $\mu_0$ , 채널길이 감소  $\Delta L$ , 이동도 감쇠 계수  $\theta$ , 소오스-드레인 저항  $R_{sd}$  등을 추출하였다. 이 방법은 강한 반전 영역에서의 드레인 전류와 상호 컨덕턴스를 사용하는 것으로 가령 HP4140B와 같은 측정장비에서 일차적으로 얻는 데이터를 가지고 손쉽게 원하는 변수들을 구할 수 있다는 장점이 있다. 본 연구의 결과 저전장 이동도는 상온에서, 적어도 유효채널 길이 0.25 $\mu\text{m}$ 까지는, 채널 길이에 관계없이 일정하며 최대 전계효과 이동도의 감소는 문턱전압과 최대 전계효과 이동도에 해당하는 게이트 전압의 차이와 이동도 감쇠 계수의 채널길이 의존도 때문인 것으로 나타났다.

## II. 실험

본 연구에 쓰여진 소자는 LDD(lightly doped drain) 구조를 갖는 n-MOSFET로서 산화막은 염산이 3% 첨가된 건조한 산소 분위기에 제조되었으며 산화막 두께는 20nm이고 채널 영역은 이온 주입방식으로 주입된 보론이 약  $2 \times 10^{16}/\text{cm}^3$ 의 농도를 갖는 P형이다.

소오드-드레인 접합은 n<sup>+</sup> 영역은 비소가  $\sim 10^{20}/\text{cm}^3$ 의 농도로 n 영역은 인이  $\sim 10^{17}/\text{cm}^3$ 의 농도로 각각 이온 주입되었으며 접합 깊이는 평균 0.35 $\mu\text{m}$ 이다. 게이트 너비는 15 $\mu\text{m}$ 이며 채널(마스크) 길이는 0.6, 0.8, 1.0, 1.2 $\mu\text{m}$ 의 네 가지를 사용하였다.

드레인 전류는 선형 영역( $V_d=0.1\text{V}$ )에서 게이트 전압을 변화시켜 수백 측정하였는데 이것은 채널에서 수평전장의 효과를 최소화 시키고 수직전장(게이트 전장)의 효과만을 보기 위함이었다. 소자의 전기적 특성과 데이터 처리는 자동 전산화된 HP4140B pA meter 시스템을 사용하였다. 그림 1에 넓이 15 $\mu\text{m}$ , 길이 1.0 $\mu\text{m}$ 인 (15/1.0) 소자에 대한 측정 데이터  $I_d-V_g$ 와  $g_m-V_g$ 가 예시되어 있다.

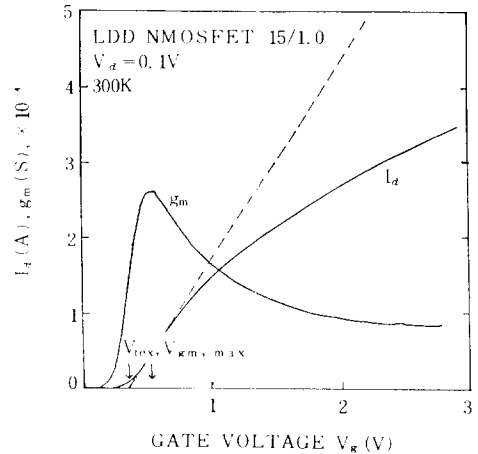


그림 1. W/L=15/1.0 $\mu\text{m}$ 소자의 측정 데이터

$I_d-V_g$  및  $g_m-V_g$  특성

Fig. 1.  $I_d-V_g$  and  $g_m-V_g$  curve obtained from W/L=15/1.0 $\mu\text{m}$  device.

그림에 표시된 대로 최대상호 컨덕턴스( $I_d$ 의 최대 기울기)가 나타나는 게이트 전압  $V_{gm,max}$ 는  $I_d$ 의 선형 영역 기울기를 외삽한 선형 외삽 문턱전압  $V_{tex}$ 보다 큼을 알 수 있다. 상온에서 선형 영역, 또는 오픈 영역( $V_d \rightarrow 0$ )이며, 강한 반전 영역( $V_g > V_t$ )인 경우 드레인 전류  $I_d$ 와 이의 게이트 전압에 대한 미분지인 트랜스 컨덕턴스  $g_m$ 은 다음과 같이 표시할 수 있다.<sup>8</sup>

$$I_d = g_{m0}(V_g - V_t) / [1 + \theta(V_g - V_t)] \quad (1)$$

$$g_m = g_{m0} / [1 + \theta(V_g - V_t)]^2 \quad (2)$$

이때에  $V_g$ 와  $V_t$ 는 각각 게이트 전압과 문턱전압이고  $\theta$ 는 이동도 감쇠 계수이다.  $g_{m0}$ 는 순수 상호 컨덕턴스이며 주어진 드레인전압에 대해 다음과 같이 나타낼 수 있다.

$$g_{m0} = \frac{WC_o}{L - \Delta L} \mu_o V_a \quad (3)$$

여기서  $W$ 는 유효게이트 너비,  $L - \Delta L$ 은 유효채널 길이,  $C_o$ 는 게이트 산화막 용량이고  $\mu_o$ 는 저전장 이동도이다. 위의 두 특성 즉  $I_d$ 와  $g_m$ 을 이용하여  $V_t$ ,  $\mu_o$ ,  $\Delta L$ ,  $R_{sd}$  및  $\theta$ 를 구할 수 있다.<sup>8</sup>

### III. 결과 및 토의

식 (1)과 (2)에서  $I_d/g_m^2$ 을  $V_g$ 에 대하여 그려보면 강한 반전영역에서 선형관계를 얻을 수 있고 이 직선의 선형외삽인 X-절편으로부터 문턱전압  $V_t$ 를 구할 수 있다.<sup>8</sup> 또한 이 직선의 기울기를 제공하여  $g_{m0}$ 를 구할 수 있다. 그림 2에 세가지 짧은 길이 (0.8, 1.0, 1.2 $\mu m$ )에 대한 결과가 나타나 있다. 채널 길이가 감소할 수록 문턱전압도 감소함을 알 수 있는데 이때 얻어진 문턱 전압은 '전하문턱 전압'이라 하여 잘 알려진 선형외삽 문턱전압,  $V_{tex}$ 나 최대 트랜스컨덕턴스에 해당하는 게이트 전압,  $V_{gm,max}$  등과는 구분되어야 한다.<sup>3,18</sup> 그림 1채널 길이가 0.6 $\mu m$ 인 소자들은 대부분 강전계효과가 나타나지 않아 소오스와 드레인이 접촉, 중복된 것으로 판단되며, 강전계효과가 나타난 일부 소자들도  $I_d - V_d$  곡선의 포화 영역이 상당한 기울기를 갖는 등 정상적이 아닌 특성을 나타내었으므로 그림에 포함시키지 않았다.

식 (3)에서 알 수 있듯이 순수 상호 컨덕턴스의 역  $g_{m0}^{-1}$ 은 마스크 채널길이에 대해, 동일한 chip상의 소자에서  $\Delta L$ 을 상수로 간주하면 선형적인 관계에 있다. 그림 2의 기울기가  $g_m^{1/2}$ 이므로 마스크 채널 길이에 따른  $g_{m0}$ 를 구할 수 있다. 이렇게 얻어진  $g_{m0}$ 이  $L$ 에 대하여 그리면 식 (3)에서와 같은 직선 관계를 얻을 수 있다. (그림 3) 이러한 직선관계는  $\mu_o$ 가 채널 길이에 관계없이(적어도 유효채널길이 0.25 $\mu m$ 까지는) 일정하다는 것을 확인시켜 준다. 이 직선의 기울기에서 구한 저전장 이동도  $\mu_o$ 는 650cm<sup>2</sup>/V.sec였다. 채널길이 감소  $\Delta L$ 은 그림 3의 x-절편에서 구할 수 있는데 여기서 구한 0.55 $\pm$ 0.05 $\mu m$ 은 소오스/드레인에서의 측면 확산(접합 깊이의 80%)으로 인한 채널감소와 비교적 잘 일치한다. 이것은 또한 대부분의 채널길이 0.6 $\mu m$ 인 소자에서 전계 효과가 나타나지 않은 사실과 잘 일치한다. 이와 같이  $\Delta L$ 이 짧은 채널 소자의 특성으로부터 구해질 수 있는 것은

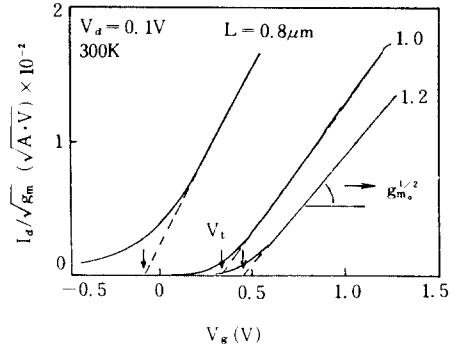


그림 2. (마스크) 채널길이  $L=0.8, 1.0, 1.2\mu m$  인 소자에서의  $I_d/g_m^2$ 대 게이트 전압  $V_g$ . 각각의 채널 길이에 대한 문턱전압  $V_t$ 가 표시되어 있다. 직선 부분의 기울기가  $g_m^{1/2}$ 이다.

Fig. 2.  $I_d/g_m^2$  vs. gate voltage,  $V_g$  for devices with (mask) channel lengths,  $L=0.8, 1.0, 1.2\mu m$ . Threshold voltage  $V_t$  is indicated for each channel length. The slope gives  $g_m^{1/2}$ .

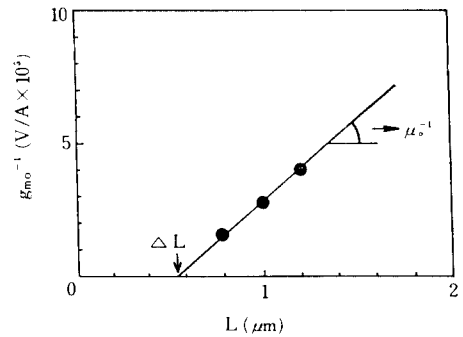


그림 3. 순수상호 컨덕턴스의 역수  $g_{m0}^{-1}$  대 게이트 (마스크) 길이  $L$ . 채널길이 감소  $\Delta L$ 이 절편에서 구해진다.

Fig. 3. Inverse of 'pure' transconductance  $g_{m0}^{-1}$  vs. (mask) channel length  $L$ . The channel length reduction  $\Delta L$  is obtained from the X-intercept.

$\mu_{E,max}$ <sup>11</sup>가 아니라  $\mu_o$ 를 사용했기 때문이다.

식 (2)에서 보이는 것처럼 이동도 감쇠 계수  $\theta$ 는  $(g_{m0}/g_m)^{1/2} - 1$ 대  $V_g$ 의 기울기에서 얻을 수 있다. 식(1)

(2)은 본래 conventional 구조의 MOSFET에서 쓰이는 식인데 LDD MOSFET은 conventional MOSFET의 양단에 직렬저항(소오스-드레인 저항)이 연결된 형태로 모형을 세울 수 있다.<sup>10)</sup> 소오스-드레인 저항은  $V_g, V_d$  등의 영향을 받아 특히  $V_d$ 와 함께 증가하지만 선형영역( $V_d \rightarrow 0$ )에서는 일정한 상수로 간주할 수 있다. 이때 소오스-드레인 저항  $R_{sd}$ 의 영향은 식 (1)과 (3)에서  $V_d - I_d R_{sd}$ 로 대처하여 다음식과 같이 감쇠계수  $\theta$ 에 포함됨을 쉽게 알 수 있다.

$$\theta = \theta_0 + W C_0 R_{sd} \mu_0 / (L - \Delta L) \quad (4)$$

여기서  $\theta_0$ 는 고유 이동도 감쇠계수이다. 그림 4에 나타난 실험결과를 뒷식대로 선형 관계를 잘 보여주고 있다. 소오스/드레인 저항  $R_{sd}$ 를 그림 4의 기울기에서 구해보니  $137\Omega$ 이었다. 이 값은 소오스/드레인이 중박된 트랜지스터에서 직접 구한 값과 잘 일치하였다. 절편에서 구한  $\theta_0$ 값은 이 경우 0.23이었다.

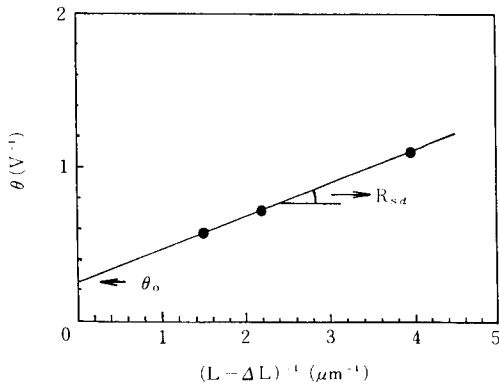


그림 4. 이동도 감쇠계수  $\theta$ 대 유효 채널길이의 역수  $1/(L-\Delta L)$ . 고유감쇠계수  $\theta_0$ 가 표시되어 있다.

Fig. 4. Mobility attenuation coefficient  $\theta$  vs. inverse of the effective channel length  $(L-\Delta L)^{-1}$ . Intrinsic attenuation coefficient  $\theta_0$  is indicated.

그림 5는 전계효과 이동도  $\mu_{FE}$ 의 게이트 전압 의존도를 보여주고 있다. 실선은 측정된 트랜스 컨덕턴스로부터 구한 것이고 쇄선은 식 (2)와 (3)에서 주어진 모형, 즉

$$\mu_{FE} = \mu_0 [1 + \theta (V_g - V_t)]^2 \quad (5)$$

이다. 여기서  $\mu_0, \theta$  및  $V_t$ 는 위에서 서술한 방법으로 구하였다. 그림 5에서보면 세가지 채널길이에 대해  $\mu_0$ 가 모두  $650\text{cm}^2/\text{V}\cdot\text{sec}$ 로 일치하고 최대 전계효과 이동도  $\mu_{FE,max}$ 는 유효 채널길이 0.25, 0.45, 0.65 $\mu\text{m}$ 에 대해 각각 370, 500, 550 $\text{cm}^2/\text{V}\cdot\text{sec}$ 로 다음을 알 수 있다. 즉 채널 길이가 짧아 짐에 따라  $\mu_{FE,max}$ 는 감소하여도  $\mu_0$ 는 변하지 않음을 보여준다. 또 전하 분포 전압  $V_t$ 는  $V_{gm,max}$  보다 작으며 따라서 최대 전계효과 이동도는 게이트 전압에 의존하는 감쇠 영향을 받게 됨을 알 수 있다. 그리고  $(V_{gm,max} - V_t)$ 는 유효 채널 길이 0.65, 0.45, 0.25 $\mu\text{m}$ 에 대하여 각각 0.12, 0.14, 0.19V로서 짧은 채널일 수록 증가하여 이동도 감소를 촉진 시킴도 알 수 있다.

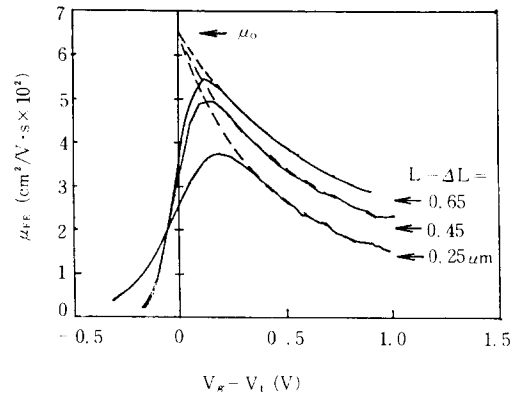


그림 5. 각 채널길이에 있어서 전계효과 이동도  $\mu_{FE}$ 대  $V_g - V_t$ . 점선은 식 (4)에 의한 모형, 저전장 이동도  $\mu_0$ 가 표시되어 있다.

Fig. 5. Field effect mobility  $\mu_{FE}$  vs. modulated gate voltage  $V_g - V_t$  for each channel length. Dashed lines are model from eq. (5). Low field mobility  $\mu_0$  is indicated. Solid lines are the field effect mobility obtained by normalizing the transconductance for each channel length.

채널 길이가 짧아져서 전자의 평균자유 행로와 비슷해지거나 작아지면 전자의 전송기구는 산란전송에서 탄동 전송으로 바뀌게 되며 이때에 저전장 이동도는 채널 길이에 의존하게 된다. 인가 전압이 열전압보다 작은 경우 즉 아주 작은 드레인 전압에 대해 비정상(non-stationary) 불평탄 방정식을 풀면, 다음과 같이 저전장이동도의 채널 길이 의존도를 얻을 수

있다.<sup>9</sup>

$$\mu = \mu_0 (1 - e^{-\frac{4}{\pi} \frac{L}{\lambda}}) \quad (6)$$

여기서  $\mu_0$ 는(유효) 채널길이 L이 평균 자유행로  $\lambda$ 보다 훨씬 클때의 저전장 이동도이다. 채널 길이가 평균 자유행로보다 훨씬 작아지면,  $\mu \approx 4/\pi L/\lambda$ , 즉, 이동도는 채널길이에 비례하며 따라서 컨덕턴스는 채널길이에 관계 없이 일정하게 되어 채널길이 축소에 의한 성능향상에 한계가 된다.<sup>11</sup> 평균 자유행로는 열적속도와 완화시간의 곱인데 완화시간과 이동도의 관계로부터 다음과 같이 평균 자유행로와 이동도의 관계식을 얻을 수 있다.

$$\lambda = v_{th} m^* \mu_0 / q \quad (7)$$

여기서  $v_{th}$ 는 온도에 의해 결정되는 열적 속도,  $m^*$ 는 전자의 유효질량,  $q$ 는 전자의 전하이다. 본 연구에서 결정된 소자의 저전장이동도  $\mu_0 = 650 \text{cm}^2/\text{V} \cdot \text{sec}$ 와 이에 대한 평균자유행로,  $\lambda = 49 \text{nm}$ 를 식 (6)에 대입하여 비정상 전송에 의한 저전장이동도의 감소가 그림 6에 나타나 있다. 이러한 비정상전송에 의한 저전장이동도의 감소는 유효채널길이가  $0.1 \mu\text{m}$  일때

10%미만이며  $0.01 \mu\text{m}$  근처에 가셔야 이동도가 채널 길이에 비례함을 알 수 있다. 이 사실은 본 연구에서 추출한 저전장이동도가 채널길이  $0.25 \mu\text{m}$  까지 채널길이에 무관한 것과 잘 부합한다. 또한 최대 전계 효과 이동도  $\mu_{FE,max}$ 의 감소가 비정상 전송과는 상관이 없음을 보여 준다.

#### IV. 결 론

본 연구결과 짧은 채널에서의 최대전계효과 이동도 감소는 감쇠 계수의 채널길이 의존성과  $V_t$ 와  $V_{gm,max}$ 의 차이 때문임이 드러났다.  $V_t$ 와  $V_{gm,max}$ 의 차이는 짧은 채널일 수록 증가하였다. 저전장 이동도는 상온에서 적어도  $0.25 \mu\text{m}$ 의 유효 채널길이까지는 채널 길이에 무관함을 보여 주었고 MOSFET의 주요변수인 채널길이감소  $\Delta L$ , 문턱전압  $V_t$ , 이동도 감쇠계수  $\theta$  및 소오스-드레인 저항  $R_{sd}$  등도  $g_{m,max}$ 나  $\mu_{FE,max}$  대신  $g_{m0}$ 와  $\mu_0$ 를 사용하여 짧은 채널의 특성들로 부터의 얻어낼 수 있음을 입증하였다.

#### 參 考 文 獻

- [1] G.A. Sai-Halasz, "Experimental technology and performance of  $0.1 \mu\text{m}$  gate-length low temperature operation MOSFETs," Extended Abstracts of SSDM, August, 1988, pp. 5-8, Tokyo, Japan, and references therein.
- [2] G. Bacarani and M.R. Wordemann, "Transconductance degradation in thinoxide MOSFETs," *IEEE Trans. Electron Devices*, ED-30, pp. 1295-1304, 1983.
- [3] Chu Hao, B. Cabon-Till, S. Cristoloveanu, and G. Ghibaudo, "Experimental determination of short-channel MOSFET parameters," *Solid-state Electron.*, 28, pp. 1025-1030, 1985.
- [4] L.A. Akers, M. Holly and J.M. Ford, "Transconductance degradation in VLSI device," *Solid-State Electron.*, 28, pp. 605-609, 1985.
- [5] P. Wang, "Device characteristics of short-channel and narrow-width MOSFETs," *IEEE Trans. Electron Devices*, 25, pp. 779-786, 1978.
- [6] C. Nguyen-Duc, S. Cristoloveanu and G. Ghibaudo, "A three-piece model of channel length modulation in submicrometer MOSFETs," *Solid-State Electron.*, 31, pp. 1057-1063, 1988.

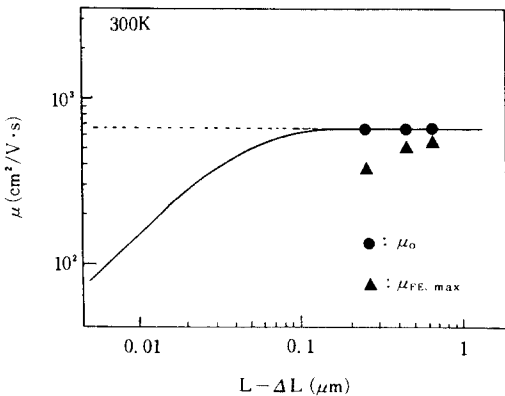


그림 6. 상온(300K)에서의 비정상 전송에 의한 저전장 이동도  $\mu_0$ 의 유효 채널길이  $(L - \Delta L)$ 의존도. 본 연구에서 구한 저전장 이동도  $\mu_0$ (●)와 최대 전계효과 이동도  $\mu_{FE,max}$ (▲)가 표시되어 있다.

Fig. 6. Mobility reduction due to non-stationary transport in short channel devices at room temperature. The low field mobility  $\mu_0$ (●) and the maximum field effect mobility  $\mu_{FE,max}$ (▲) obtained in this study are indicated.

- [7] S. Cristoloveanu, G. Ghibaudo and Chu-Hao, "Temperature behaviour of mobility in sub-micron MOSFETs: Possibility of nearly-ballistic transport?," *Physica 129B*, pp. 542-546, 1985.
- [8] G. Ghibaudo, "New method for the extraction of MOSFET parameters," *Electron. Lett.*, 24, pp. 543-545, 1988.
- [9] A.A. Kastalsky and M.S. Shur, "Conductance of small semiconductor devices," *Solid State Commun*, 39, pp. 715-718, 1981.
- [10] D.A. Baglee, C. Duvvury, M.C. Smayling and M.P. Duane, "Lightly doped drain transistors for advanced VLSI circuits," *IEEE Trans. Electron Devices*, ED-32, pp. 896-902, 1985.
- [11] G. Ghibaudo, "Intrinsic limitation of transconductance in extremely short silicon MOS transistors," *Electron. Lett.*, 24, pp. 1113-1114, 1988.

---

 著 者 紹 介
 

---

李 明 福(正會員) 第 26卷 第 5號 參照  
 현재 한국과학기술연구원 광전  
 자공학연구실 연구원.

姜 光 男(正會員) 第26卷 第5號 參照  
 현재 한국과학기술연구원 광전  
 자공학연구실장.



李 精 一(正會員) 第 26卷 第 5號 參照  
 현재 한국과학기술연구원 광전  
 자공학연구실 선임연구원.