

# 새로운 형태의 BiCMOS 구동회로

## (New Type BiCMOS Drivers)

宋 敏 圭,\* 李 竝 浩,\*\* 金 元 燦\*

(Min Kyu Song, Byoung Ho Lee and Won Chan Kim)

### 要 約

본 논문에서는 두 가지의 새로운 형태의 non-inverting BiCMOS 구동회로를 제안한다. 이들은 pull-down용 바이폴라 트랜지스터의 베이스를 pMOS 트랜지스터를 통해 충전시킴을 그 특징으로 한다. 이들의 pull-up시의 지연시간은 기존의 BiCMOS 구동회로들보다 20%~47% 작다. 또한 본 논문에서 제안하는 구동회로에 사용되는 MOS 트랜지스터의 갯수는 기존의 구동회로에서보다 1~3개가 적기 때문에 그 차지하는 면적이 감소된다.

### Abstract

In this paper two new non-inverting type BiCMOS drivers are proposed. These are characterized by the use of pMOSFET's in charging the bases of pull-down bipolar transistors. The delay time in pull-up transition of the proposed drivers is 20%-47% shorter than that of the drivers of current using. The proposed drivers use 1-3 fewer MOSFET's in comparison with the drivers of current using.

### I. 서 론

CMOS로 이루어진 회로의 출구단(output stage)이 큰 용량성(capacitive) 부하를 구동해야 할 때 그 출구 구동회로(driver)로 바이폴라 트랜지스터와 nMOS, pMOS 트랜지스터들이 결합된 형태의 BiCMOS 회로를 사용하는 연구가 많이 수행되고 있다<sup>1)~3)</sup>. 이렇게 BiCMOS 구동회로를 사용하는 이유는 바이폴라 회로에 대한 CMOS 회로의 단점인 구동능

력 및 동작속도를 개선하기 위한 것이다. 물론 출구 버퍼(output buffer)에 바이폴라 트랜지스터를 추가로 연결시킴으로 인하여 CMOS만으로 회로를 구성할 때보다 사용되는 트랜지스터의 갯수는 늘어나지만, 첨가된 바이폴라 트랜지스터의 큰 구동능력 때문에 MOS 트랜지스터의 면적을 줄일 수 있어서 버퍼 전체의 면적은 그리 크게 증가하지 않는다. 따라서 많은 집적회로 설계 부분에서 BiCMOS 구동회로가 유용하게 쓰이며 이런 추세는 앞으로도 계속될 것으로 전망되고 있다.

본 논문에서는 새로운 형태의 non-inverting BiCMOS 구동회로를 제안하며 그것의 지연시간을 기존의 inverting 형태의 BiCMOS 구동회로들과 비교하고자 한다.

\*正會員, \*\*準會員, 서울대학교 電子工學科  
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

接受日字: 1988年 8月 10日

(※ 본 논문은 서울대학교 반도체공동연구소의 지원에 의한 것임.)

II. 새로운 BiCMOS 구동회로

그림 1은 본 논문에서 제안하는 새로운 형태의 non-inverting BiCMOS 구동회로를 나타낸다. (a)는 두 개의 npn 트랜지스터와 하나의 pMOS 트랜지스터로 구성된 구동회로이다. 출구 전위의 pull-up 동작은 npn 트랜지스터 Q<sub>1</sub>에 의해 이루어지며 출구 전위의 pull-down 동작은 pMOS 트랜지스터 MP와 npn 트랜지스터 Q<sub>2</sub>에 의해 이루어진다. 그림 1의 (b)는 여기에 nMOS 트랜지스터 MN을 추가한 것으로 이 트랜지스터는 출구 전위 상승시 npn 트랜지스터 Q<sub>2</sub>의 베이스에 축적된 전하를 빨리 방전시켜줌으로써 그 지연 시간을 줄여 주는 shunting path 트랜지스터이다.

본 논문에서 제안하는 그림 1의 BiCMOS 구동회로는 non-inverting 형태이다. 즉 입구(input)에 들어오는 정보를 반전시키지 않고 다시 재생시켜(regenerate) 출구단으로 전달한다. 이는 기존의 BiCMOS 구동회로들이(그림 2)<sup>[4,5]</sup> 입구신호를 반전시켜 출구단에 전달하는 inverting 형태라는 것과의 커다란 차이점이다. 따라서 본 논문에서 제안하는 BiCMOS 구동회로를 어떤 CMOS 논리회로의 출구단에 사용할 경우에는 기존의 BiCMOS 구동회로<sup>[4,5]</sup>를 사용하는 경우와 비교할 때, 그 CMOS 논리회로의 설계에

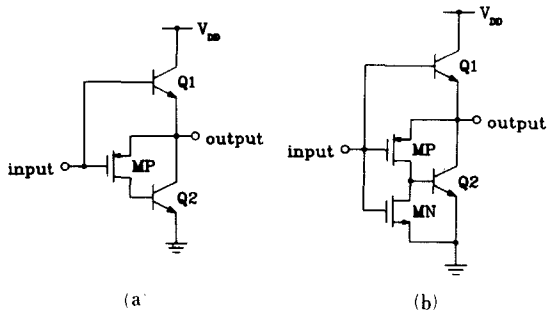


그림 1. 새로운 형태의 BiCMOS 구동회로  
 (a) 두 개의 npn 트랜지스터와 하나의 pMOS 트랜지스터로 구성된 구동회로  
 (b) 두 개의 npn 트랜지스터와 하나의 pMOS 트랜지스터, 하나의 nMOS 트랜지스터로 구성된 구동회로

Fig. 1. New type BiCMOS drivers.  
 (a) A driver composed of two npn transistors and a pMOSFET.  
 (b) A driver composed of two npn transistors, a pMOSFET and an nMOSFET.

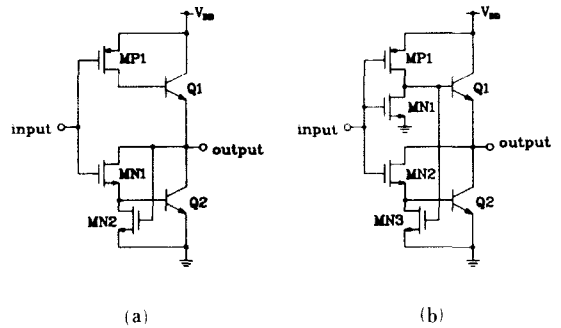


그림 2. 현재 사용되고 있는 BiCMOS 구동회로<sup>[4,5]</sup>  
 (a) 두 개의 npn 트랜지스터와 하나의 pMOS 트랜지스터, 두 개의 nMOS 트랜지스터로 구성된 구동회로  
 (b) 두 개의 npn 트랜지스터와 하나의 pMOS 트랜지스터, 세 개의 nMOS 트랜지스터로 구성된 구동회로

Fig. 2. BiCMOS drivers of current using.<sup>[4,5]</sup>  
 (a) A driver composed of two npn transistors, a pMOSFET, and two nMOSFET's.  
 (b) A driver composed of two npn transistors, a pMOSFET, and three nMOSFET's.

있어서 출구가 반전된다는 점을 고려할 필요가 없으므로 설계가 편리해진다.

또한 본 논문에서 제안하는 BiCMOS 구동회로는 같은 부하를 구동하는 기존의 BiCMOS 구동회로들보다 pull-up 속도가 빠르며 차지하는 면적이 작다. 이하에서는 이를 고찰하고자 하며 SPICE<sup>[6]</sup> 시뮬레이션(simulation)을 통해 그 결과들을 비교하고자 한다.

III. 출구 전위 pull-up시의 동작 분석

본 논문에서 제안하는 BiCMOS 구동회로는 기존의 구동회로들보다 출구 전위를 pull-up시키는 소자가 간단하면서도 동작이 빠르다. 이하에서는 본 논문에서 제안하는 BiCMOS 구동회로와 기존의 BiCMOS 구동회로의 pull-up 동작을 분석하고, SPICE<sup>[6]</sup> 시뮬레이션을 통해 이들의 동작을 비교하고자 한다.

1. 출구 전위의 시간에 따른 변화에 대한 분석

그림 3은 본 논문에서 제안하는 BiCMOS 구동회로의 입구에 계단형으로 0 volt에서 최대 전위(supply voltage)까지 상승하는 신호가 들어갈 때의 전형적인 출구 파형을 보여준다.

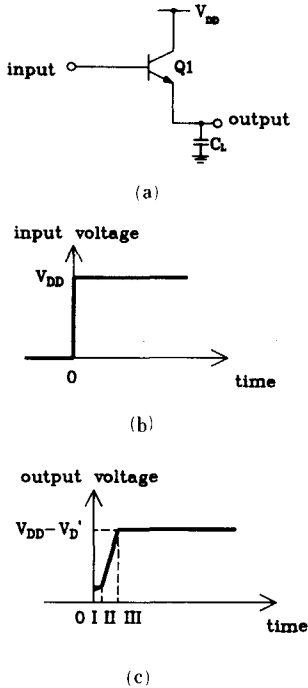


그림 3. 본 논문에서 제안하는 BiCMOS 구동회로의 pull-up 동작시의 회로와 파형  
 (a) pull-up에 사용되는 회로  
 (b) 계단형 입구 파형  
 (c) 전형적인 출구 파형  
**Fig. 3.** A circuit and output form of the proposed BiCMOS drivers in pull-up transition.  
 (a) a circuit used in pull-up transition.  
 (b) input signal of step form.  
 (c) typical output form.

그림 3의 (c)에서 시간 구간 I은 npn 트랜지스터 Q<sub>1</sub>이 아직 켜지지 않은 상태를 나타낸다. 즉 입구 신호가 V<sub>ceow</sub> + V<sub>D</sub>까지 상승할 때까지의 시간 구간이다(여기에서 V<sub>ceow</sub>는 출구의 안정된 논리값 '0'의 전위를 뜻하며 V<sub>D</sub>는 베이스-에미터의 turn-on 전압을 뜻한다.). 입구에 계단형으로 상승하는 신호가 들어갈 경우에는 이러한 시간 구간 I이 존재하지 않겠지만 실제의 경우에는 입구 신호의 시간에 따른 기울기가 존재하므로 이러한 시간 구간이 존재한다.

시간 구간 II는 npn 트랜지스터가 정상적인 on 상태에서 동작하는 구간으로 pull-up 시간 구간의 대부분을 차지한다. 이러한 pull-up은 npn 트랜지스터 Q<sub>1</sub>이 꺼질 때까지(V<sub>BE</sub> = V<sub>D</sub>') 계속된다.

그림 4는 그림 2의 기존의 BiCMOS 구동회로의 입구에 계단형으로 V<sub>DD</sub>에서 0 volt로 하강하는 신호

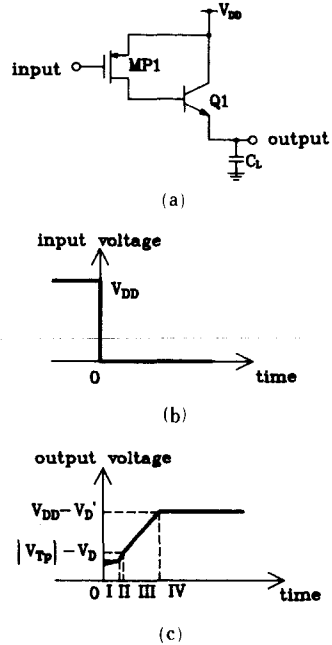


그림 4. 그림 2의 BiCMOS 구동회로의 pull-up 동작시의 회로와 파형  
 (a) pull-up에 사용되는 회로  
 (b) 계단형 입구 파형  
 (c) 전형적인 출구 파형  
**Fig. 4.** A circuit and output form of the BiCMOS drivers of fig. 2 in pull-up transition.  
 (a) a circuit used in pull-up transition.  
 (b) input signal of step form.  
 (c) typical output form.

가 들어갈 때의 전형적인 출구 파형을 보여준다.<sup>[7]</sup>

그림 4의 (c)에서 시간 구간 I은 npn 트랜지스터 Q<sub>1</sub>이 켜지기 전까지의 시간 구간이다. 앞에서 살펴 보았듯이 본 논문에서 제안하는 BiCMOS 구동회로의 경우에는 입구 신호가 계단형이면 이 시간 구간이 존재하지 않으나, 그림 2의 구동회로의 경우 계단형 입구 신호에 대해서도 이러한 시간 구간이 존재한다. 이는 npn 트랜지스터 Q<sub>1</sub>의 베이스가 본 논문에서 제안하는 구동회로(그림 1)와 같이 바로 입구 단자에 연결되지 않고 pmos 트랜지스터 MP<sub>1</sub>을 통해 충전되기 때문이다(그림 4 (a)).

그림 4의 (c)에서 시간 구간 II는 pmos 트랜지스터 MP<sub>1</sub>이 포화(saturation) 상태에서 동작하는 구간을 나타낸다.

시간 구간 III은 npn 트랜지스터 Q<sub>1</sub>의 베이스 단자의 전위가 |V<sub>TP</sub>|에 이른 후부터를 나타낸다(여기

에서  $V_{TP}$ 는 pMOS 트랜지스터  $MP_1$ 의 문턱 전압 (threshold voltage)을 뜻한다. ), 이 때에는  $MP_1$ 을 통해  $Q_1$ 의 베이스로 흘러들어오는 전류가 II 구간에 비해 작기 때문에  $Q_1$ 의 베이스 전위의 상승 속도가 완화되며 따라서 출구 전위의 상승 속도도 완화된다. 이 현상은  $Q_1$ 의 베이스 전위가 높아지면 높아질수록 더욱 심하게 나타난다.

이상에서 살펴본 바와 같이 본 논문에서 제안하는 BiCMOS 구동회로의 pull-up mechanism은 기존의 BiCMOS 구동회로의 pull-up mechanism보다 간단하다. 물론 실제의 입구 신호들은 계단형이 아니며 그 시간에 따른 기울기가 각 BiCMOS 구동회로들에 대해 동일하지도 않다. 이는 그 입구 임피던스(impedance)들이 다르기 때문이다. 이의 영향을 포함한 비교를 다음 절에서 다루겠다.

2. 실제의 입구 신호들에 대한 각 BiCMOS 구동회로들의 비교

본 논문에서 제안하는 BiCMOS 구동회로(그림 1)는 그 pull-up용 소자가 간단하기 때문에 pMOS 트랜지스터와 npn 트랜지스터의 2단 구조를 갖고 있는 기존의 구동회로(그림 2)보다 pull-up시의 지연 시간이 짧다.

그런데 기존의 BiCMOS 구동회로와는 달리 본 논문에서 제안하는 구동회로는 pull-up용 npn 트랜지스터의 베이스가 바로 입구 단자에 연결된 구조로 되어 있기 때문에 그 입구 임피던스가 기존의 구동회로의 경우와 다르다. 본 논문에서 제안하는 구동회로의 경우 pull-up용 npn 트랜지스터의 베이스와 콜렉터 간의 접합(junction) 캐패시턴스와 베이스와 에미터 간의 접합 및 확산(diffusion) 캐패시턴스가 바로 입구 캐패시턴스 성분으로 작용하게 된다. 이는 본 논문에서 제안하는 구동회로가 기존의 구동회로보다 MOS 트랜지스터의 수를 줄임으로 해서 얻어지는 입구 게이트 캐패시턴스의 감소를 증가한다. 즉, 입구 캐패시턴스 성분이 본 논문에서 제안하는 구동회로의 경우가 더 크다. 본 논문에서 비교의 모델로 사용한 구동회로들(이에 관한 설명은 후술함.)의 경우 그림 1의 (b)의 구동회로의 pull-up시의 입구 캐패시턴스는 그림 2의 (b)의 구동회로에서 보다 81ff이 크다. 또한 그림 1의 구동회로에서의 pull-up용 npn 트랜지스터의 베이스 전류 성분도 이 구동회로의 입구 slew rate를 떨어지게 하는 요인이 된다.

이상에서 살펴본 두 가지의 상충된 요소(trade-off) 중에 전자의 영향이 후자의 영향을 훨씬 능가하기 때문에 본 논문에서 제안하는 BiCMOS 구동회로

의 pull-up 동작이 같은 출구 부하를 구동하는 기존의 BiCMOS 구동회로의 pull-up 동작보다 빠르다.

본 논문에서는 이를 검증하기 위해 SPICE<sup>[6]</sup> 시뮬레이션을 사용하였다. 사용된 모델 파라미터(parameter)는 표 1과 같다.

표 1. SPICE 시뮬레이션에 사용한 모델파라미터  
Table 1. The model parameters used in SPICE simulation.

npn 트랜지스터	
IS=3E-18 BF=100 NF=1 IKF=2E-3 NE=1.5 BR=1 NR=1 NC=1.5 RB=50 RE=10 RC=20 VJE=0.7 MJE=0.44 TF=10P VJC=0.75 MJC=0.5 VJS=0.7 MJS=0.5 CJC=0.04P CJE=0.04P CJS=0.05P	
pMOS 트랜지스터	
VTO=-0.7 KP=1.7E-5 GAMMA=0.63 PHI=0.56 CJ=0.9E-4 MJ=0.5 CJSW=7.0E-10 MJSW=0.5 TOX=50N NSUB=7.0E14 XJ=1.14U UO=240 UCRIT=0.54E5 VMAX=0.58E5 CGSO=3.0E-10 CGDO=3.0E-10	
nMOS 트랜지스터	
VTO=0.7 KP=4.6E-5 GAMMA=0.59 PHI=0.60 GJ=0.9E-4 MJ=0.5 CJSW=8.0E-10 MJSW=0.5 TOX=50N NSUB=1.6E15 XJ=0.89U UO=670 UCRIT=0.5E5 VMAX=0.61E5 CGSO=3.0E-10 CGDO=3.0E-10	

각 MOS 트랜지스터들의 게이트 길이는  $3\mu\text{m}$ 이고 nMOS 트랜지스터의 게이트 폭은  $3\mu\text{m}$ 로 하였다. 기존의 BiCMOS 구동회로의 pMOS 트랜지스터의 게이트 폭은  $5\mu\text{m}$ 로 하였는데 이는 그림 2의 (b)와 같은 회로에서 CMOS 인버터의 평균 지연 시간을 최소화 하기 위해 조정된 값이다. 같은 게이트 길이를 갖는 nMOS 트랜지스터와 pMOS 트랜지스터로 구성된 CMOS 인버터에서 그 평균 지연 시간을 최소화 하기 위해서는 pMOS 트랜지스터의 게이트 폭  $W_p$ 와 nMOS 트랜지스터의 게이트 폭  $W_n$  사이에  $W_p/W_n = (\mu_n/\mu_p)^{1/2}$ 의 관계가 성립하도록 설계해야 함이 알려져 있다.<sup>[6,9]</sup> 본 논문에서 제안하는 BiCMOS 구동회로의 게이트 폭은  $8\mu\text{m}$ 로 하였는데 이는 기존의 구동회로에서 pull-down용 npn 트랜지스터의 베이스를 충전시켜 주는 nMOS 트랜지스터의 이득 계수(transistor gain factor)와 제안하는 구동회로에서 같은 기능을 하는 pMOS 트랜지스터의 이득 계수를 같게 하기 위한 것이다.

SPICE<sup>1)</sup> 시뮬레이션은 그림 5와 같이 각 구동회로를 최소 구조의 CMOS 인버터의 출력단에 연결하여 그 CMOS 인버터의 입구를 계단형 신호로 구동함으로써 행하였다. 이는 각 BiCMOS 구동회로의 입구 임피던스가 다르기 때문에 생기는 영향도 포함하여 그 지연 시간을 비교하기 위한 것이다.

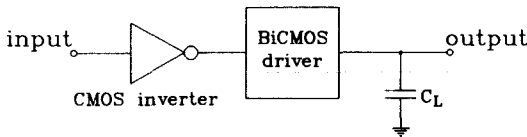


그림 5. SPICE 시뮬레이션에 사용한 회로도  
Fig. 5. Circuit diagram used in SPICE simulation.

그림 6은 1pf의 부하를 구동하는 각 BiCMOS 구동회로들에 대한 출력 pull-up시의 시뮬레이션 결과를 보여준다. CMOS 인버터의 계단형 입구 신호는 시각 0에서 가해지며 그림 2 (a)의 구동회로의 입구 신호('c')가 가장 빨리 변하며 그 다음이 그림 2 (b)의 회로의 입구 신호('d'), 그림 1 (a)의 회로의 입구 신호('a'), 그림 1 (b)의 회로의 입구 신호('b')의 순이다('a'와 'b'는 비슷하게 변하지만 최대 전위의 50%에 달하는 시간이 'a'의 경우가 빠르다.).

본 논문에서 제안하는 BiCMOS 구동회로들(그림 1)의 경우 그 입구 캐패시턴스가 기존의 BiCMOS 구동회로들(그림 2)의 입구 캐패시턴스보다 크기 때문에 입구 신호가 약간 늦어지며 slew rate가 떨어지는 것을 볼 수 있다.

출구 신호는 그림 1 (b)의 구동회로의 경우('B')가 가장 빠르며 그 다음이 그림 1 (a)의 회로('A'), 그림 2 (a)의 회로('C'), 그림 2 (b)의 회로('D')의 순이다. 그림 1 (b)의 회로가 그림 1 (a)의 회로보다 입구 신호가 늦음에도 불구하고 출력 전위의 변화가 빠른 이유는 shunting path 트랜지스터 MN(그림 1 (b))에 의해 pull-down용 트랜지스터가 빨리 꺼지게 되기 때문이다. 그림 2 (b)의 회로가 그림 2 (a)의 회로보다 pull-up이 늦는 주된 이유는 transition시 nMOS 트랜지스터 MN<sub>1</sub>(그림 2 (b))에 의한 전류 성분이 pull-up 동작을 방해하기 때문이다. 또한 그림 2 (b)의 회로에서는 그 입구 전위가 supply voltage에서 0volt로 떨어질 때에 그 초기에 nMOS 트랜지스터 MN<sub>1</sub>의 게이트와 드레인 채널 사이의 intrinsic 캐패시턴스 성분 때문에 npn 트랜지스터 Q<sub>1</sub>의 베이스 전위의 상승이 방해될 받게된다. 이러한 intrinsic 캐패시턴스

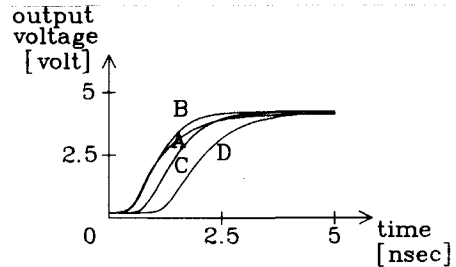
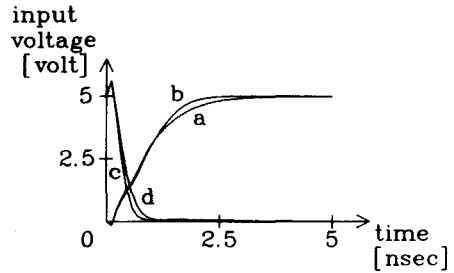


그림 6. 본 논문에서 제안하는 BiCMOS 구동회로들과 기존의 BiCMOS 구동회로들의 pull-up 동작시의 SPICE 시뮬레이션 결과 (용량성 부하의 크기가 1pf일 경우)  
'a' : 그림 1 (a)의 회로의 입구 신호  
'b' : 그림 1 (b)의 회로의 입구 신호  
'c' : 그림 2 (a)의 회로의 입구 신호  
'd' : 그림 2 (b)의 회로의 입구 신호  
'A' : 그림 1 (a)의 회로의 출력 신호  
'B' : 그림 1 (b)의 회로의 출력 신호  
'C' : 그림 2 (a)의 회로의 출력 신호  
'D' : 그림 2 (b)의 회로의 출력 신호

Fig. 6. The SPICE simulation result in pull-up transition of the proposed and the currently used BiCMOS drivers. (The output load capacitance is 1pf.).

- 'a' : Input signal of the circuit of fig. 1(a).
- 'b' : Input signal of the circuit of fig. 1(b).
- 'c' : Input signal of the circuit of fig. 2(a).
- 'd' : Input signal of the circuit of fig. 2(b).
- 'A' : Output signal of the circuit of fig. 1(a).
- 'B' : Output signal of the circuit of fig. 1(b).
- 'C' : Output signal of the circuit of fig. 2(a).
- 'D' : Output signal of the circuit of fig. 2(b).

는 대략 MN<sub>1</sub>의 게이트 캐패시턴스의 반 정도의 크기를 가지며<sup>10)</sup> 논리 회로에서 이러한 영향은 무시될 수 없다.<sup>11)</sup> 이 점도 그림 2 (b)의 회로의 출력 전위가 그림 2 (a)의 출력 전위보다 늦게 변하는 이유이다.

이상에서 살펴본 바와 같이 본 논문에서 제안하는

BiCMOS 구동회로는 그 입구 캐패시턴스의 증가와 베이스 전류 성분의 영향에도 불구하고 기존의 BiCMOS 구동회로들보다 pull-up 동작이 빠르다.

그림 6에서 BiCMOS 구동회로를 구동하는 CMOS 인버터의 입구에(그림 5 참고) 계단형 신호가 가해질 때부터 BiCMOS 구동회로의 출구 전위가 supply voltage의 50%에 달할 때까지의 시간이 그림 1 (a)의 회로의 경우 그림 2 (a)의 회로에 비해 21%, 그림 2 (b)의 회로에 비해 42% 감소함을 볼 수 있으며 그림 1 (b)의 회로의 경우 그림 2 (a)의 회로에 비해 40%, 그림 2 (b)의 회로에 비해 47% 감소함을 볼 수 있다. BiCMOS 구동회로 자체의 입구 신호가 supply voltage의 50%에 달하는 순간부터 출구 전위가 supply voltage의 50%에 달하는 순간까지의 지연 시간이 감소하는 비율은 이보다 더욱 크다.

그림 7은 여러가지 용량성 부하들에 대해 그림 5와 같은 회로를 SPICE<sup>④</sup> 시뮬레이션하여 각 BiCMOS 구동회로들의 pull-up되는 출구 전위가 supply voltage의 50%에 달하게 되는 순간까지의 지연 시간들을 비교하여 나타낸 것이다. 그림 7에서 이러한 지연 시간은 본 논문에서 제안하는 그림 1 (a)의 BiCMOS 구동회로의 경우('A') 기존의 그림 2(a)의 구동회로('C')보다 20%~23%, 그림 2(b)의 구동회로('D')보다 27%~42% 감소함을 볼 수 있고, 그림 1 (b)의 BiCMOS 구동회로의 경우('B') 기존의 그림 2 (a) 구동회로보다 24%~29%, 그림 2(b)의 구동회로보다 31%~47% 감소함을 볼 수 있다.

#### IV. 출구 전위 pull-down시의 동작 분석

본 논문에서 제안하는 BiCMOS 구동회로는 pull-down용 npn 트랜지스터의 베이스를 충전시키는 소자로 pMOS 트랜지스터를 사용한다. 이렇게 함으로써 하강하는 입구 신호를 발전시킴이 없이 큰 구동능력으로 출구에 전달시킬 수 있다. 이는 기존의 inverting형 BiCMOS 구동회로가 pull-down용 npn 트랜지스터의 베이스를 충전시키는 소자로 nMOS 트랜지스터를 사용하는 것과의 차이점이다. 이하에서는 본 논문에서 제안하는 BiCMOS 구동회로와 기존의 BiCMOS 구동회로의 pull-down 동작을 분석하고, SPICE<sup>④</sup> 시뮬레이션을 통해 이들의 동작을 비교하고자 한다.

##### 1. 출구 전위의 시간에 따른 변화에 대한 분석

그림 8은 본 논문에서 제안하는 BiCMOS 구동회로의 입구에 계단형으로 최대전위에서 0volt로 떨어

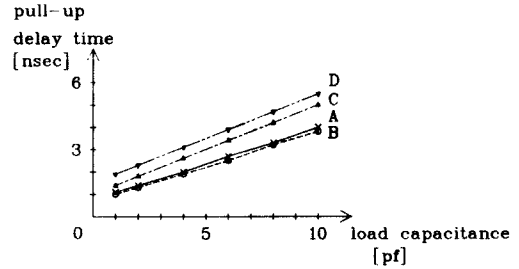


그림 7. 본 논문에서 제안한 BiCMOS 구동회로와 기존의 BiCMOS 구동회로의 출구 pull-up 시의 지연 시간의 비교(이 지연 시간에는 그림 5의 CMOS 인버터의 지연 시간도 포함되어 있음.)

'A' : 그림 1 (a)의 회로

'B' : 그림 1 (b)의 회로

'C' : 그림 2 (a)의 회로

'D' : 그림 2 (b)의 회로

Fig. 7. The comparison of pull-up delay time between the proposed BiCMOS drivers and the ones of current using.

(In this delay time the delay time of the CMOS inverter of fig. 5 is also included.)

'A' : The driver of fig. 1 (a).

'B' : The driver of fig. 1 (b).

'C' : The driver of fig. 2 (a).

'D' : The driver of fig. 2 (b).

지는 신호가 가해질 때의 전형적인 출구 파형을 보여준다.

그림 8에서 시간 구간 I은 pull-down용 npn 트랜지스터 Q<sub>1</sub>가 켜지기 전에 pMOS 트랜지스터 MP를 통해 그 베이스가 충전되는 구간을 나타낸다. 이때 MP는 포화영역에서 동작한다. 시간 구간 II는 Q<sub>2</sub>가 켜진 후 MP가 포화영역에서 동작하는 구간을 나타낸다. 시간 구간 III은 MP가 비포화(linear)영역에서 동작하는 구간을 나타낸다. 이 때에는 MP를 통해 Q<sub>2</sub>의 베이스로 흐르는 전류가 구간 II에 비해 감소하기 때문에 Q<sub>2</sub>의 구동능력이 구간 II에 비해 떨어진다. 따라서 이 구간에서의 출구 전위가 하강하는 속도는 구간 II에서보다 작다.

그림 9는 기존의 BiCMOS 트랜지스터의 입구에 계단형으로 0volt에서 최대전위까지 상승하는 신호가 가해질 때의 전형적인 출구 파형을 보여준다.

그림 9에서 시간 구간 I은 pull-down용 npn 트랜지스터 Q<sub>1</sub>가 켜지기 전에 그 베이스가 nMOS 트랜지스터 MN을 통해 충전되는 구간이다. 시간 구간

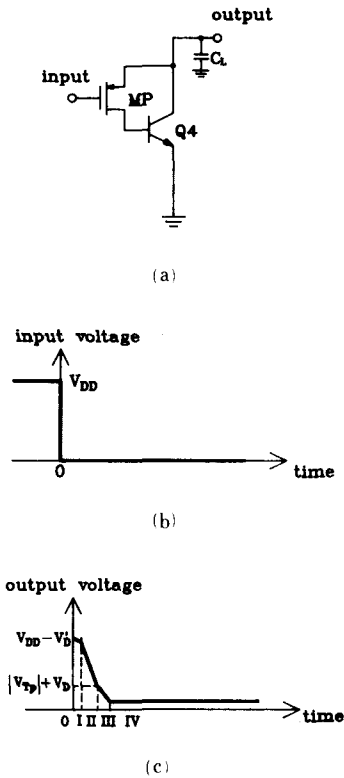


그림 8. 본 논문에서 제안하는 BiCMOS 구동회로의 pull-down 동작시의 회로와 파형  
 (a) pull-down에 사용되는 회로  
 (b) 계단형 입구 파형  
 (c) 전형적인 출구 파형

Fig. 8. A circuit and output form of the proposed BiCMOS drivers in pull-down transition.  
 (a) a circuit used in pull-down transition.  
 (b) input signal of step form.  
 (c) typical output form.

II는 Q<sub>2</sub>가 켜진 후 MN이 포화영역에서 동작하는 구간을 나타낸다. 시간 구간 III은 MN이 비포화(선형) 영역에서 동작하는 구간이다. 이 구간에서 MN을 통해 Q<sub>2</sub>의 베이스로 흐르는 전류는 구간 II에서보다 감소하므로 Q<sub>2</sub>의 콜렉터 전류가 감소한다. 따라서 출구 전위의 하강속도는 구간 II에서보다 떨어진다.

본 논문에서 제안하는 BiCMOS 구동회로의 경우 그림 8의 MP가 포화영역에서 동작할 때 그 전류는 입구 단자와 출구 단자의 전위차에 관계하게 된다. 그런데 출구 단자의 전위가 시간에 따라 감소하므로 MP를 통해 Q<sub>2</sub>의 베이스로 흐르는 전류는 점차 감소하게 된다. 기존의 BiCMOS 구동회로에서는 MN(그

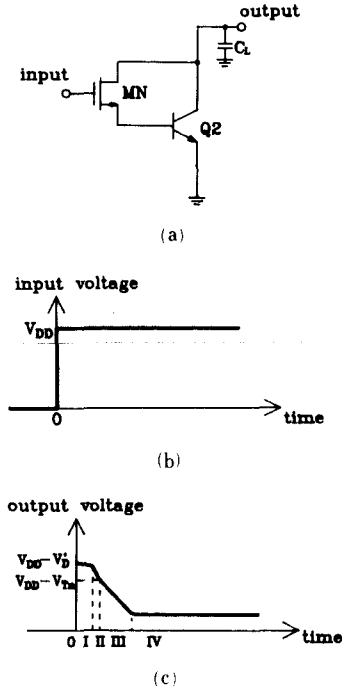


그림 9. 그림 2의 BiCMOS 구동회로의 pull-down 동작시의 회로와 파형  
 (a) pull-down에 사용되는 회로  
 (b) 계단형 입구 파형  
 (c) 전형적인 출구 파형

Fig. 9. A circuit and output form of the BiCMOS drivers of fig. 2 in pull-down transition.  
 (a) a circuit used in pull-down transition.  
 (b) input signal of step form.  
 (c) typical output form.

림 9)의 쏘오스가 출구 단자가 아니라 Q<sub>2</sub>의 베이스이므로 이런 현상은 나타나지 않는다. 하지만 이 경우에는 Q<sub>2</sub>의 베이스 전위를 입구 전위에서 감한 값이 MN의 게이트와 쏘오스간의 전위차가 되기 때문에 MN의 전류가 작아지는 요인이 존재한다. 본 논문에서 제안하는 BiCMOS 구동회로에서는 출구 전위와 입구 전위의 차이가 바로 MP(그림 8)의 쏘오스와 게이트 간의 전위차가 된다. 따라서 본 논문에서 제안하는 BiCMOS 구동회로의 pull-down시의 구동 능력은 그림 2 (b)의 구동회로에서보다 많이 떨어지지 않는다.

이상에서는 계단형 입구 신호에 대한 분석을 행하였으나 실제의 입구 신호는 계단형이 아니며 그 시간에 따른 기울기도 동일하지 않다. 이는 각 BiCMOS 구동회로마다 입구 임피던스가 다르기 때문이

다. 다음 절에서 이의 영향을 포함하여 각 BiCMOS 구동회로들의 pull-down 동작을 비교하겠다.

2. 실제의 입구 신호들에 대한 각 BiCMOS 구동회로들의 비교

각 BiCMOS 구동회로의 입구 임피던스의 차이의 영향까지 포함된 비교를 하기 위해 그림 5와 같은 회로 구성을 통해 SPICE<sup>1)</sup> 시뮬레이션을 행하였다. 사용한 모델 파라미터는 표 1과 같으며 각 소자의 크기는 III장에서와 같다.

그림 10은 1pf의 부하를 구동하는 각 BiCMOS 구동회로들에 대한 출구 pull-down시의 시뮬레이션 결과를 보여준다. CMOS 인버터의 계단형 입구 신호는 시작 0에서 가해진다. 'a'는 그림 1(a)의 구동회로의 입구 신호, 'b'는 그림 1(b)의 입구 신호, 'c'는 그림 2(a)의 입구 신호, 'd'는 그림 2(b)의 입구 신호를 나타낸다. 각 입구 신호의 지연 시간이 다른 이유는 III장에서와 같다.

출구 전위의 변화는 그림 2(b)의 회로의 경우('D')가 가장 빠르며, 그 다음이 그림 1(a)의 회로('A'), 그림 1(b)의 회로('B'), 그림 2(a)의 회로('C')의 순이다. 그림 1(b)의 회로가 그림 1(a)의 회로보다 pull-down이 늦는 이유는 주로 shunting path 트랜지스터 MN(그림 1(b))이 pull-down용 npn 트랜지스터의 베이스 전위의 상승을 방해하기 때문이다. 그림 2(a)의 회로의 pull-down이 가장 늦는 이유는 pull-up 트랜지스터의 베이스에 shunting path 트랜지스터가 연결되어 있지 않아서 pull-up용 npn 트랜지스터가 pull-down 동작을 방해하기 때문이다.

이상에서 살펴본 바와 같이 본 논문에서 제안하는 구동회로들(그림 1)의 pull-down은 기존의 그림 1(b)의 구동회로들보다는 약간 느리지만 그림 1(a)의 구동회로들보다는 빠름을 알 수 있다. 그림 11은 여러 가지 크기의 용량성 부하에 대하여 그림 5의 CMOS 인버터의 입구에 계단형 신호가 가해지는 순간부터 각 BiCMOS 구동회로의 출구 전위가 supply voltage의 50%에 달하게 될 때까지의 지연 시간을 비교한 것이다.

그림 11에서 본 논문에서 제안하는 그림 1(a)의 BiCMOS 구동회로('A')는 출구 pull-down시의 지연 시간이 기존의 그림 2(b)의 구동회로('D')에서보다는 5%~15% 길지만, 그림 2(a)의 구동회로('C')에서보다는 26%~31% 짧음을 볼 수 있다. 또한 그림 1(b)의 구동회로의('B')는 경우 출구 pull-down시의 지연 시간이 기존의 그림 2(b)의 구동회로에서보다는 18%~25% 길지만, 그림 2(a)의 구동회로에서보다는 13

%~26% 짧음을 볼 수 있다.

본 논문에서 제안하는 BiCMOS 구동회로는 기존의 구동회로들보다 MOS 트랜지스터의 수를 1~3 개 줄일 수 있음을 생각할 때 이상과 같은 동작 특성은 우수한 것이다.

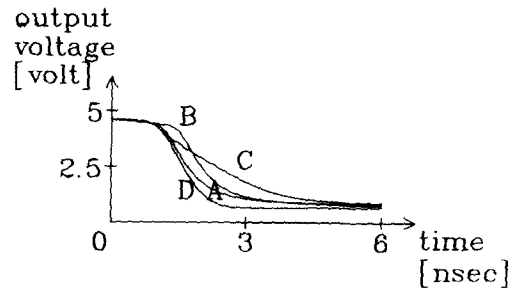
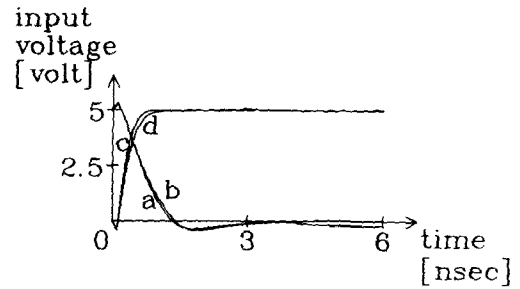


그림 10. 본 논문에서 제안하는 BiCMOS 구동회로들과 기존의 BiCMOS 구동회로들의 pull-down 동작시의 SPICE 시뮬레이션 결과(용량성 부하의 크기가 1pf일 경우)  
 'a' : 그림 1(a)의 회로의 입구 신호  
 'b' : 그림 1(b)의 회로의 입구 신호  
 'c' : 그림 2(a)의 회로의 입구 신호  
 'd' : 그림 2(b)의 회로의 입구 신호  
 'A' : 그림 1(a)의 회로의 출구 신호  
 'B' : 그림 1(b)의 회로의 출구 신호  
 'C' : 그림 2(a)의 회로의 출구 신호  
 'D' : 그림 2(b)의 회로의 출구 신호

Fig. 10. The SPICE simulation result in pull-down transition of the proposed and the currently used BiCMOS drivers (The output load capacitance is 1pf.).

- 'a' : Input signal of the circuit of fig. 1(a).
- 'b' : Input signal of the circuit of fig. 1(b).
- 'c' : Input signal of the circuit of fig. 2(a).
- 'd' : Input signal of the circuit of fig. 2(b).
- 'A' : Output signal of the circuit of fig. 1(a).
- 'B' : Output signal of the circuit of fig. 1(b).
- 'C' : Output signal of the circuit of fig. 2(a).
- 'D' : Output signal of the circuit of fig. 2(b).



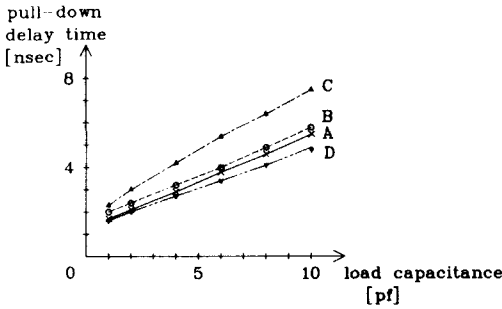


그림 11. 본 논문에서 제안한 BiCMOS 구동회로와 기존의 BiCMOS 구동회로의 출력 pull-down시의 지연 시간의 비교 (이 지연 시간에는 그림 5의 CMOS 인버터의 지연 시간도 포함되어 있음.)  
 'A' : 그림 1 (a)의 회로  
 'B' : 그림 1 (b)의 회로  
 'C' : 그림 2 (a)의 회로  
 'D' : 그림 2 (b)의 회로

Fig. 11. The comparison of pull-down delay time between the proposed BiCMOS drivers and the ones of current using.(In this delay time the delay time of the CMOS inverter of fig. 5 is also included.).  
 'A' : The driver of fig. 1 (a).  
 'B' : The driver of fig. 1 (b).  
 'C' : The driver of fig. 2 (a).  
 'D' : The driver of fig. 2 (b).

V. 결 론

본 논문에서는 두 가지의 새로운 BiCMOS 구동회로를 제안하였다(그림 1). 이 BiCMOS 구동회로는 non-inverting의 특징을 갖는 것으로 pull-down용 바이폴라 트랜지스터의 베이스를 충전시키는 소자로 pMOS 트랜지스터를 사용하는 것을 그 특징으로 한다.

그림 1의 (b)의 구동회로가 (a)의 구동회로보다 출구 전위를 pull-up시키는 속도가 빠르다. 그림 1의 (b)의 구동회로는 그 pull-up시의 지연 시간이 기존의 그림 2(a)의 구동회로에서보다 24%~29% 짧으며 그림 2(b)의 구동회로에서보다 31%~47% 짧다. 그림 1의 (a)의 구동회로는 그 pull-up시의 지연시간이 그림 2(a)의 구동회로에서보다 20%~23% 짧으며 그림 2(b)의 구동회로에서보다 27%~42% 짧다.

출구 전위를 pull-down시키는 속도는 그림 1의 (a)의 구동회로가 (b)의 구동회로보다 빠르다. 그림 1의 (a)의 구동회로는 그 pull-down시의 지연 시간이

그림 2 (b)의 구동회로에서보다는 5%~15% 길지만 그림 2 (a)의 구동회로에서보다는 26%~31% 짧다. 그림 1의 (b)의 구동회로는 그 pull-down시의 지연 시간이 그림 2 (b)의 구동회로에서보다는 18%~25% 길지만 그림 2 (a)의 구동회로에서보다는 13%~26% 짧다. 본 논문에서 제안하는 구동회로는 기존의 구동회로들(그림 2)보다 MOS 트랜지스터의 갯수가 1~3개 작기 때문에 그 면적을 줄일 수 있음을 고려하면 이러한 특성은 우수한 것이다.

또한 본 논문에서 제안하는 BiCMOS 구동회로는 기존의 구동회로들과는 달리 입구 신호를 반전시키지 않고 큰 구동능력으로 출구에 전달하는 non-inverting 구동회로이기 때문에 이를 출구단으로 사용하는 논리회로의 설계를 간편하게 할 수 있는 요인을 지니고 있다.

參 考 文 獻

- [1] H. C. Lin et al., "Complementary MOS-bipolar transistor structure," *IEEE Trans. Electron Devices*, vol. ED-16, pp. 945-951, Nov. 1969.
- [2] M. S. Adler, "A comparison between BiMOS device types," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 286-293, Feb. 1986.
- [3] G. Zimmer et al., "A fully implanted NMOS, CMOS, bipolar technology for VLSI of analog-digital systems," *IEEE Trans. Electron Devices*, vol. ED-26, pp. 390-395, Apr. 1979.
- [4] K. Ogiue et al., "13nsec, 500mW, 64kbit ECL RAM using Hi-BiCMOS technology," *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 681-685, Oct. 1986.
- [5] F. Walczgk, "A merged CMOS/bipolar VLSI process," *International Electron Devices Meeting Technical Digests*, pp. 59-62, 1983.
- [6] L. W. Nagel, *SPICE 2: A Computer Program to Simulate Semiconductor Circuits*, Memorandum no. ERL-M520, College of Engineering University of California, Berkeley, CA, 1975.
- [7] H.J. Santos et al., "Optimization and scaling of CMOS-bipolar drivers for VLSI interconnections," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 1722-1730, Nov. 1986.
- [8] A. Kanuma, "CMOS circuits optimization," *Solid-State Electronics*, vol. 26, pp. 47-58, 1983.

[9] 이병호, "MOS 논리 소자의 지연 시간 모델링과 그 최소화를 위한 설계기법", 공학 석사 학위 논문, 서울대학교 대학원, 1989년 1월.

[10] P.E. Allen et al., *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, New York, pp. 108-111, 1987. \*

---

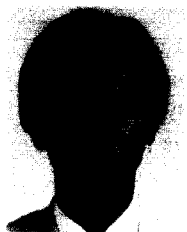
著 者 紹 介

---



宋 敏 圭(正會員)

1963年 12月 10日生. 1986年 서울대학교 전자공학과 졸업. 1988년 서울대학교 대학원 전자공학과 졸업. 공학석사학위 취득. 1988년 3월~현재 서울대학교 전자공학과 박사과정. 1988년 8월~ 현재 특수전문요원으로 군복무중. 주관심분야는 BiCMOS 회로와 아날로그 직접회로 설계등임.



李 敏 浩(準會員)

1964年 7月 6日生. 1987年 2月 서울대학교 전자공학과 졸업. 1989년 2월 서울대학교 전자공학과 석사과정 졸업예정. 주관심분야는 DRAM과 BiCMOS 회로 설계 및 MOS 논리 회로의 sizing 문제 등임.

金 元 燦(正會員)

1944年 11月 7日生. 1972年 서울대학교 전자공학과 졸업. 1976년 독일 Aachen대학 전기공학과 석사학위 취득. 1981년 독일 Aachen대학 전기공학과 박사학위 취득. 1986년~현재 서울대학교 전자공학과 부교수. 1989년 1월~현재 Massachusetts institute of technology 교환교수. 주관심분야는 BiCMOS 회로설계 등임.