

전자선 직접묘사에서 Through-put이 향상된 단위 矩形묘사방법

(Unit-Rectangle Exposure Method for Advanced Through-put in Electron-Beam Direct Writing Lithography)

朴善宇*, 金鐵柱**

(Sun Woo Park and Chul Ju Kim)

要 約

본 논문은 패턴의 모양에 따라서 패턴 데이터 포맷변환시 분할되는 각종 矩形패턴을 크기에 구애 없이 전자선 직접묘사 시간이 일정한 矩形단위로 전자선 직접묘사하는 방법을 제안하였다. 본 실험에서는 SEM을 사용하였으며 矩形의 크기에 따라 일정시간에 요구되는 전자선 전류를 변화시키기 위하여 집속렌즈의 공급전류를 BITMAP-IV CAD 시스템으로 제어하였다. 본방법에서는 패턴 데이터 포맷변환시 밀집된 패턴에 대한 resizing과정이 불필요하며 묘사시간에 근거한 through-put은 unit scan방식에 비하여 172배가 향상되었다.

Abstract

This paper describes to the unit rectangle EB direct writing lithography method using SEM. This method has the constant exposure time to any rectangle pattern. In order to change the EB current according to various rectangle size for the constant exposure time, the supply current of condenser lens is controlled by BITMAP-IV CAD system. By this method, the resizing procedure of density pattern area is not needed to pattern data conversion, and the through-put for exposure is increased about 172 times compared with the unit scan exposure method.

I. 서 론

VLSI의 제조공정에서 전자선 직접묘사(electron-beam direct writing lithography)는 초미세 패턴을 형성함에 중요한 역할을 한다. 이것이 직면하고 있는 문제점은 낮은 through-put이기 때문에 slit pl-

ate를 사용한 stamping방식^[1]이나 전자선을 변조분할시켜서 사용하는 beam split방식^[2] 등에 의하여 IC의 대량생산에 이용하고자 하는 것이 이 장비의 주된 연구목적이며 이러한 방식등으로 인하여 장비의 대형화 및 제어의 복잡화를 유기시킨다.

본 논문은 전자선(electron beam : EB) 직접묘사 장비의 기본이 되는 전자선 주사 현미경(scanning electron microscope : SEM)을 이용하여 패턴의 분할된 矩形크기에 의존하지 않고 묘사시간이 일정한 단위 矩形묘사방식(unit rectangle exposure method :

*正會員, 現代電子

(Hyundai Electronics Ind. Co.)

**正會員, 서울市立大學校 電子工學科

(Dept. of Elec. Eng., Seoul City Univ.)

接受日字 : 1988年 9月 5日

UREM)을 기술하고자 한다. 이를 위하여 EB resist의 감도는 단위 시간당 소요되는 전하량으로 주어지므로 矩形의 크기에 비례하여 전하량을 제어하여야 한다. 전하량 제어는 집속렌즈의 공급전류와 시료대(target table)에 도달하는 EB전류와의 관계로서 간단히 제어될 수 있다.¹²⁾

II. UREM

SEM이 EB직접묘사 장비로써 사용되고자 할 때에는 EB를 blanking할 수 있는 기능을 갖어야 한다. 상용 EB직접묘사 장비에서는 EB blanking은 정전컨덴서 혹은 전자코일을 사용하여 EB를 경통(column)의 측면으로 과대 편향시키는 방식을 사용하고 있는데 비해 본 실험에서는 집속렌즈(condenser lens)에 과전류를 공급함으로써 EB를 분산시키는 방식으로 하였다.¹³⁾

본 실험에 사용된 시스템의 전체 구성도는 그림 1에 보였으며 여기서 SEM부(ALPA-20A: 明石製作所), EB제어를 위한 컨트롤러회로 및 CAD시스템(BITMAP-IV: FLC Co.)이다. 경통부분의 전자총은 가속전압 20KeV, 중앙돌출형(pre-centered type) 텅그스텐 필라멘트형이다. 시료대에 도달하는 EB전류량

조정 및 EB blanking을 하기위한 집속렌즈, EB를 X 및 Y축 방향으로 편향시키기 위한 편향렌즈 및 EB의 focussing 렌즈의 신호전류는 CAD시스템에 의해 EB 컨트롤러를 통하여 주어지며 EB컨트롤러는 16비트DA 변환기(DAC-71 COB-V analog device Co.) 및 OP Amp. 로 구성하였다. 전자증배관을 통하는 2차전자는 AD변환기를 통하여 CAD시스템에 주어지며, 이 신호는 CRT상에 표시된다. 위치정렬은 X, Y방향 stepping motor에 RS-232 cable로 연결되어 지며 EB의 線走査에 의하여 주어지는 신호 profile을 분석하여 행하여 진다. 시료대는 접지축과 절연되어 있으며, 시료대에 도달하는 전류량은 picoammeter (Am-217A) 및 GP-IB interface board의 전용 케이블을 통하여 CAD시스템에 주어진다. CAD시스템은 단위矩形 면적당 소요되는 산출전류량과 시료대에 도달하는 전류량을 비교하여 다시 집속렌즈의 공급전류를 조정한다. 시료대의 working distance는 35mm로 고정하였으며 EB의 focussing을 위하여 시료대위에 별도의 모니터 웨이퍼를 준비하였다.

EB직접묘사에서 묘사방법은 현재 상용장비에서는 거의가 EB scan방식을 이용하므로 묘사시간은 패턴의 총면적에 비례하게 되는데 이러한 묘사방식의 대

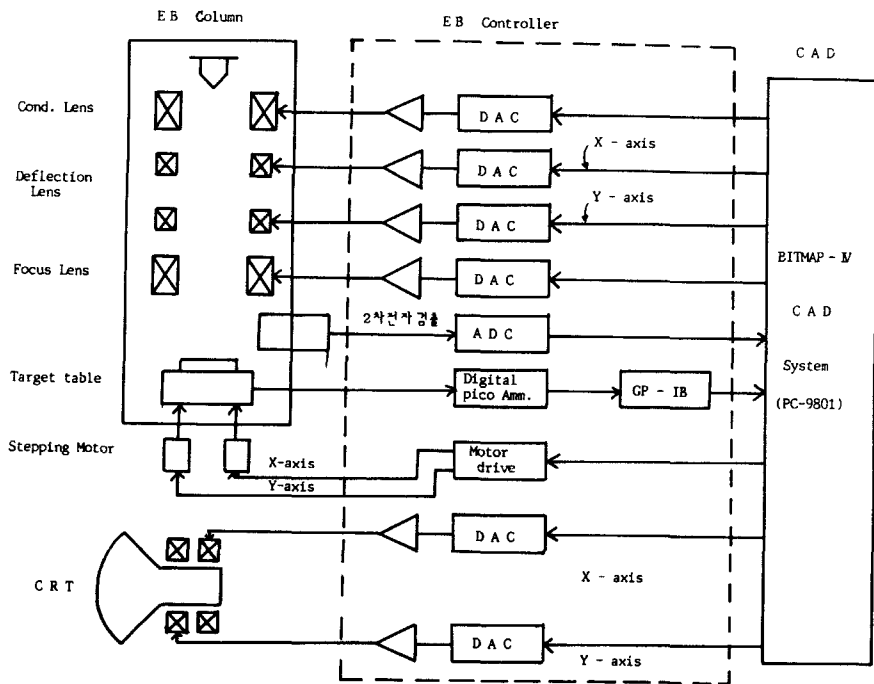
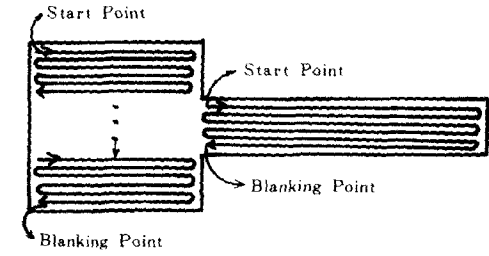
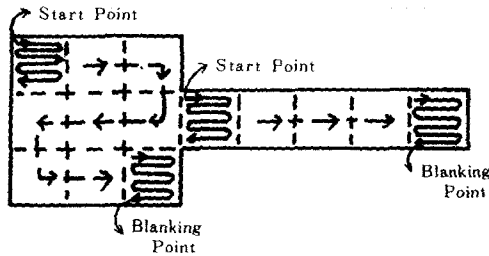


그림 1. System의 전체 구성도
Fig. 1. Schematic diagram of system.



(a)



(b)

그림 2. 일반적인 vector scan 방법 (a)과 Unit bit scan 방법 (b)의 비교

Fig. 2. Vector scan method (a) and Unit bit scan method (b).

표적인 예를 그림 2에 보였다. 그림 2(a)는 설계된 패턴을 矩形단위로 분할하여 scan하는 방법으로서 일반적으로 vector scan 방식이다.^[5] 그림 2(b)는 설계된 패턴을 각비트 단위로 분할하여 scan하는 방식이다.^[4] CAD시스템에서 패턴 데이터를 메모리에 축적시키는 방식에 따라서 vector 방식과 bitmap 방식으로 분류되는데 전자는 vector 방식에 사용되며 후자는 bitmap 방식에 사용된다. 여기서 EB scan start point 및 EB blanking point는 두 방식 공히 矩形단위로 정하여지며, 묘사 소요시간도 동일한 값이 된다. EB 직접묘사 방식에 일반적으로 사용되는 CAD 시스템은 비록 패턴 설계방식이 vector 방식이라 할 지라도 EB를 제어하는 회로가 DA 변환기에 의하여 구성되어 있으므로 패턴 데이터는 bitmap 방식으로 처리되어진다. 편향렌즈에 16비트 DA 변환기를 한개 사용하였을 경우 step수는 $2^{16}=65536$ 으로 주어진다. Bitmap 패턴의 editor 영역에서 1단위 비트를 80step으로 지정할 경우 전체패턴 공간은 약 (819×819) 비트영역으로 나눌 수 있다. 그림 3에 각 矩形에 대한 묘사 step 수를 보였다. 그림 3(a)에서 X 및 Y축을 동일하게 80step으로 하는 것을 기본 module로 설정할 경우 X축에 해당되는 80step당 DA 변환기의 변환속

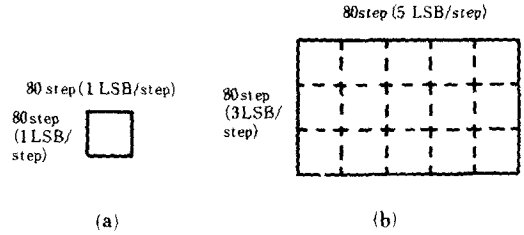


그림 3. UREM에서 각 구형에 대한 묘사 step 수
(a) Unit bit (b) 5×3 bit
Fig. 3. Number of direct write-step in UREM.
(a) Unit bit. (b) 5×3 bit.

도를 0.75ms로 할 경우 (1×1) 비트의 묘사시간은 $0.75ms \times 80step = 60ms$ 가 된다. 이 기본묘사 시간을 각 矩形에 대응시켜서 5×3 비트(그림 3(b))에 대한 묘사시간도 그림 3(a)의 1비트 시간과 동일하게 하고자 할 경우에는 1비트당 묘사되는 step수는 $80/5 \times 80/3$ step이 할당되어야 한다. 이러한 경우에 그림 3(b)의 면적에 대한 묘사시간을 그림 3(a)와 같게 하려면 소요전하량은 $15(5 \times 3)$ 배로 증가되어야 하며 이는 矩形의 크기에 따라서 집속렌즈의 공급전류를 조정해야 함을 의미한다.

BITMAP-IV CAD 시스템은 회로설계 혹은 논리설계로부터 패턴작성을 하고 또한 기능 및 논리레벨의 시뮬레이션을 행한 IC 패턴은 EB 직접묘사를 위한 포맷변환을 가능케 한다. UREM을 위하여 矩形분할이 된 패턴 데이터는 $(Xmin \ Lx, \ Ymin \ Ly)$ 의 vector값으로 메모리 영역에 저장되며 다시 矩形면적의 크기에 따라 상향 sorting 처리가 행하여진다. 여기서 $(Xmin, \ Ymin)$ 은 矩形패턴의 묘사 시작점이 되는 좌표치를 나타내며 $(Lx, \ Ly)$ 는 矩形의 크기가 된다. Sorting된 패턴 데이터는 그림 4와 같은순서에 따라서 실제의 EB 직접묘사를 실행시킨다. 먼저 wafer loading 후 SEM 자체기능에 의해 시료대에 고정되어 있는 monitor wafer를 사용하여 EB focussing을 한다. 위치정렬을 해야할 필요가 있을 경우 칩상의 정렬마크를 線走査한 후 전자증배관으로부터 얻어지는 signal profile을 CAD에서 평균치 처리한 후 CRT상에 표시함과 동시에 위치정렬을 한다. 다음은 집속렌즈에 의하여 beam blanking을 한후 stepping motor에 의하여 묘사위치로 웨이퍼를 이동함과 동시에 CAD는 矩形의 크기에 따르는 EB전류량을 조정하면 묘사준비가 완료된다. 묘사신호에는 패턴의 좌표치 $(Xmin, \ Ymin)$ 와 $(Lx, \ Ly)$ 에 따르는 $(LSB수/$

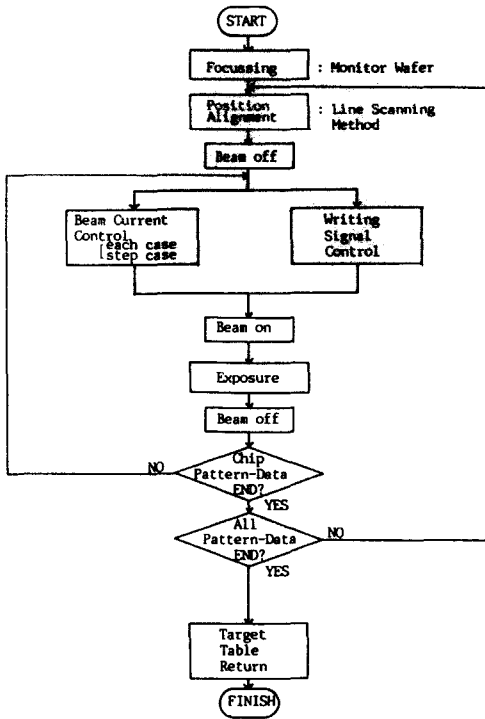


그림 4. UREM의 흐름도
Fig. 4. Flow-chart for UREM.

step) 값이 설정되어 EB가 on상태로 되기 전에 편향 렌즈에 공급되어 진다. 묘사는 (1×1)비트에서 시작하여 UREM에 의한 직접묘사가 다음 비트로 옮겨진다. 칩 한개의 묘사가 종료되면 stepping motor를 가동시켜 칩을 이동시키며 해당 칩에 대한 위치정렬을 행하여 칩단위로 묘사를 반복한다. 웨이퍼 한장에 대한 묘사가 종료되면 시료대는 복귀되며 웨이퍼는 unloading된다.

본 실험에서 사용한 EB resist (MES-E, JSR Co.)는 negative형이며 가속전압은 20KeV로 하였다. 또한 UREM의 특징을 논하기 위하여 실험결과에 대해서는 one layer에 대한 묘사만을 논한다.

III. 결과 및 검토

UREM에서의 문제점은 EB조절에 따르는 제한조건이다. EB의 전류량이 변화하여도 focus렌즈의 공급전류를 변화시키지 않는 한 EB가 defocussing되는 경우는 발생하지 않는다. 그러나 EB의 전류량이 어느 패턴의 묘사전류량 보다 과도하게 클 때 negative형 resist를 사용하였을 경우 묘사되는 패턴의 선폭

은 커진다. 일반적으로 이러한 현상을 방지하기 위하여 패턴 데이터 포맷변환시에 resizing수법을 행하고 있다.⁶⁾ Resizing수법에는 패턴크기를 undersizing하는 방법과 EB전류량 감소방법이 주로 이용되고 있다.

패턴의 크기에 따라 소요되는 EB전류량은 테스트 패턴을 사용하여 실험결과에 의해 구하였으며 패턴의 크기와 소요 EB전류량은 비례함을 확인하였다 결과로써 1μm×1μm의 패턴을 형성시키기 위한 소요 EB전류량은 그림 3의 묘사시간에 의한 경우 2pA가 최적조건이었다. 또한 정방형 모양의 패턴에서 소요전류량을 증가함에 의해 형성되는 패턴크기의 변화를 실험하였으며 이를 그림 5에 보였다. 그림 5에서 X축은 공급EB전류량을 소요전류량의 배수로 나타내었으며 Y축에는 형성되는 패턴의 크기를 설계된 패턴의 배수로 설정하였다. 즉 1μm×1μm의 패턴에서 X축의 소요전류량을 1배(2pA)로 하였을 경우 형성되는 패턴의 크기는 1μm로 되지만 2배를 공급하였을 때는 패턴의 크기가 1μm의 1.15배가 되며 3배의 경우 1.18배의 패턴크기가 형성된다. 또한 패턴크기가 크면 클수록 형성되는 패턴의 크기는 EB전류량에 크게 변화하지 않는다는 결과를 얻었다. 그러므로 패턴의 크기에 따라 자동적으로 공급 EB전류량이 조정될 때에는 proximity효과에 대한 resizing수법은 생략해도 됨을 알 수 있다. 실제로 설계된 칩내부에는 여러가지 모양의 패턴이 존재한다. 그러나 패턴크기에 따라 공급하는 EB전류량을 각종패턴에 따라 변화시

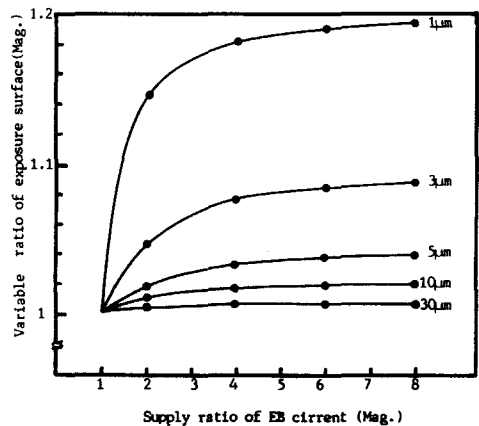


그림 5. 각 패턴의 크기에 대한 소요전류량과 묘사된 패턴크기와의 관계
Fig. 5. Relation of variable ratio of exposed pattern and supply ratio of the EB current. It is normalized to Mag. 1 about minimum supply EB current.

키는 것은 through-put을 저하시킬 뿐아니라 데이터 입력도 힘들게 된다. 그림 5의 실험결과에서 묘사되는 패턴이 크면 클수록 변화되는 값이 작아짐을 알 수 있으므로 패턴의 크기가 (1×1)비트에서 묘사가 시작되어서 2^x ($x=1, 2, \dots, n$)의 크기에 따라 EB공급전류값을 변화시켜도 된다. 즉 패턴크기의 최대값이 1024비트(32비트×32비트)라고 할 때 EB공급전류량 변화단계(x)는 11단계 만으로써 처리될 수 있다.

그림 6에 그림 5의 실험결과의 일부에서 얻어진 사진을 보였다. 1비트의 크기는 $1\mu\text{m}$ 가 될 수 있도록 편향렌즈의 공급 OP Amp의 증폭율을 조정하였다. EB직접묘사에서 패턴의 精度 및 proximity효과를 측정하기 위하여 그림 6에서 보는 것과 같은 모양을 테스트 패턴으로 사용하는 경우가 많으며 묘사결과에서 변두리쪽에 약간의 pattern bridge현상이 보이고 있으나 edge가 비교적 선명한 패턴으로서 묘사결과는 좋은 결과를 보이고 있다. 또한 through-put을 계산하기 위하여 그림 7과 같은 테스트 패턴으로 묘사실험을 하였다. 그림에서 패턴의 전체 비트수 $Nu=16,240$ 이며 총 묘사시간 $T_{total}=40\text{sec}$ 로 나타났다. 그리고 $Nu/T_{total}=406$ 개이며 unit단위 묘사시간 방법에 의한 묘사시간¹⁾보다 through-put의 향상은 약 172배가 증가되었다. Si웨이퍼 공정에서의 응용 및 위치정렬 방법은 이미 논문에 발표된 방식에 의 하였다.^(3,4)

IV. 결 론

SEM은 대학교육 및 산업체에서 정밀관찰용을 위하여 가장 보편적으로 사용되는 장비이다. 본 논문은 SEM과 EB직접묘사의 동작 및 구성이 원리적으로 유사한 점에 비추어 IC device공정에 직접묘사

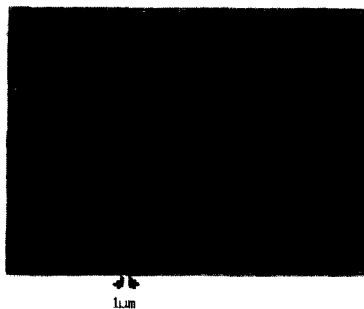


그림 6. 소요전류량에 대한 묘사결과
Fig. 6. Result of UREM.

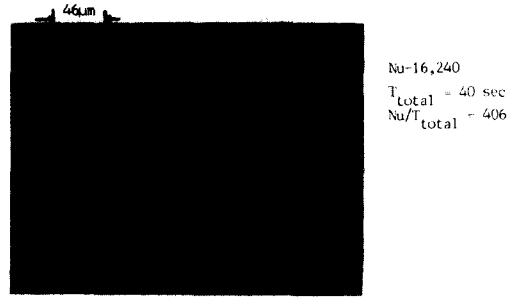


그림 7. Through-put 개선 실험을 위한 테스트 패턴
Fig. 7. Test pattern for the improved throughput.

장비로 쉽게 이용할 수 있는 가능성을 보였다. 또한 resizing처리를 하지 않으므로 데이터 처리의 간단화 및 묘사시간에 의한 through-put을 향상시켜 대량생산에 이용할 수 있는 한가지 접근방법을 기술하였다. 초미세(sub-micron) 패턴형성을 위하여는 아직 시도하지 않았으나 본 논문은 연구자들의 주위에 놓여있는 실험환경 및 조건을 충분히 활용할 수 있는 연구 자세를 습득시킴에 일예의 technique이 될 것으로 기대된다.

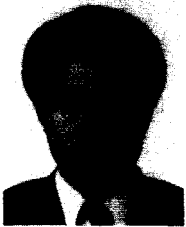
參 考 文 獻

- [1] 일본국 특허청 특허공보, “전자 beam 로광 장치”, 56-8491, 1981.
- [2] Hans C. Pfeiffer “Recent advanced in electron-beam lithography for the high volume production of VLSI devices,” *IEEE, Trans. on ED*, vol. ED-26, no 4, pp. 663-674, 1979.
- [3] Sun Woo Park and Katsufusa Shono “A new blanking method for electron beam lithography using SEM,” *JJAP*, vol. 26, no. 1, L44-L46, 1987.
- [4] Sun Woo Park, Katsufusa Shono and David J. Dumin “A new position alignment method in electron-beam direct writing lithography using the SEM,” *JJAP*, vol. 26, no. 6, L968-L970, 1987.
- [5] T.H.P chang, A.D. Wilson, A. speth and A. kern, *Proceedings of the 6th International Conference on Electron and Ion Beam Science and Technology 1974*, edited by R. Bakish (Electrochemical society, Princeton, NJ, 1974).

[6] Kazuhiko Komatsu and Masanori Suzuki
 "The outline procedure in pattern data
 preparation for vector-scan EB lithography",

IEEE, trans. on CAD. vol. CAD-6, no. 1,
 pp. 145-150, 1987. *

— 著 者 紹 介 —



朴 善 宇 (正會員)
 1952年 9月 15日生. 1980年 2月
 광운대학교 전자통신공학과 졸업.
 1986年 3月 일본 上智大學 대학
 원 전기·전자공학과 졸업 공학석사
 학위 취득. 1988年 3月 일본 上
 智大學 대학원 박사과정 수료 공
 학박사학위 취득. 1988年 4月 현대전자 반도체 연
 구소 수석연구원. 주관심분야는 신경세포의 ASIC화,
 VLSI 공정개발 등임.

金 鐵 柱 (正會員) 第25卷 第9號 參照
 현재 서울시립대학교 전자공
 학과 부교수