

시뮬레이티드 어닐링을 이용한 매크로 블록의 배치 (Macro Block Placement Using Simulated Annealing)

朴 仁 哲*, 慶 宗 旻*

(In Cheol Park and Chong Min Kyung)

要 約

Custom VLSI 칩의 설계에 있어서 임의의 폭과 높이를 갖는 직사각형 매크로 블록을 효과적으로 배치하는 것은 칩의 면적과 신호 지연시간을 줄이기 위하여 매우 중요하다. 이 논문에서는 시뮬레이티드 어닐링을 사용하여 매크로 블록을 전체적으로 최적 배치하기 위한 방법과, 시뮬레이티드 어닐링 과정이 끝난 후에 남아있는 직사각형 블록들 사이의 중첩을 제거하는 효율적인 알고리즘을 제안하였다. 최소한의 배선영역을 확보하기 위해 각 블록을 4방향으로 확장한 후에, 확장된 블록들을 최대한 밀집 되도록 배치하였다. 이 방법을 MV10000/UNIX 컴퓨터에서 C언어로 프로그램 하였으며 50개와 160개의 블록으로 구성된 회로에 적용한 결과 좋은 배치를 얻을 수 있었다. 또한 최종 배치에 큰영향을 주는 파라미터에 대한 조사를 하였다.

Abstract

An effective placement of macro blocks having arbitrary width and height is very important in reducing the chip area and the signal delay. In this paper, we proposed a method of macro block placement to obtain the globally optimal placement using simulated annealing, and an efficient algorithm for eliminating the overlaps between the rectangular macro blocks which may remain even after the simulated annealing process is terminated. Each macro block was enlarged to take into account minimal routing area, and these macro blocks were compacted as much as possible during the placement. This procedure was implemented in C language running on MV10000/UNIX computer system, and good placements were obtained by applying this procedure to two circuits which were consisted of 50 and 160 macro blocks respectively. Several parameters giving great effects to final placements were investigated.

I. 서 론

반도체 집적 기술의 발달과 회로 설계 기술의 발전에 힘입어 대규모 집적회로의 실현이 가능하게 되

었지만, 상대적으로 회로가 수동적인 작업 만으로는 처리할 수 없을만큼 복잡하여져서 설계 자동화의 필요성이 커져가고 있다. 회로의 배치는 이미 설계된 회로 블록들을 가장 작은 면적에 채우는 것으로 신호선의 길이, 전력 소모, 입출력의 배선 등의 제한 조건을 만족하도록 하여야 한다. 이러한 회로의 배치는 회로 블록의 종류에 따라 게이트 어레이의 배치,

*正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Electrical Eng., KAIST)

接受日字: 1988年 8月 17日

표준 셀의 배치, 마크로 셀의 배치로 구별할 수 있으며 게이트 어레이와 표준 셀이 비교적 일정한 형태를 가지는데 반해 마크로 셀은 임의의 높이와 폭을 가지는 회로 블록으로 보통 module generator나 많은 경험을 가진 사람에 의해 직접 설계된다.

배치 문제는 일정한 형태의 블록의 경우에도 NP-complete하기 때문에 Min-Cut^[1], FDR (force directed relaxation)^[2]등과 같은 휴리스틱 방법들이 개발되어왔지만 이러한 알고리즘들은 greedy한 특성을 가지므로 국부적으로 최적(local optimum)인 결과에 머무르게 된다.

최근에 Kirkpatrick, Gelatt^[3]와 Vecchi^[4]에 의해 발표된 시뮬레이티드 어닐링(이하 SA)은 한 온도에서 물질의 열평형 상태를 시뮬레이션하는 Metropolis 알고리즘을 일반 combinatorial 문제의 최적화에 적용할 수 있도록 한 것으로 전체적으로 최적(global optimum)인 결과를 찾을 수 있다.

본 논문에서는 SA를 마크로 셀의 배치에 이용하여 효율적이고 거의 최적인 결과를 얻기 위한 배치의 모델링과 SA의 적용 방법에 대하여 기술하였으며 SA의 결과에 존재할 수 있는 셀 간의 중첩을 제거하는 효율적인 알고리즘을 제안한다. 최소 배선영역을 확보하기 위하여 각 셀을 확대하고 최대한 밀접히 배치하는 방법을 사용하였으며 SA의 중요한 파라미터에 대한 조사를 하였다.

II. 시뮬레이티드 어닐링

어떤 물질을 높은 온도에서 부터 충분히 천천히 식히게 되면 물질 속의 입자들은 낮은 에너지 상태로 재배열되어 결정을 이루게 된다. 각 온도에서 물질은 열평형 상태를 이루게 되는데, 온도 T에서 물질의 에너지 상태가 E일 확률은 열역학적으로 볼츠만 분포를 따른다.

$$P_r(E) = \frac{\exp(-E/kT)}{Z(T)} \quad (1)$$

여기서 Z(T)는 정규화를 위한 것이고 k는 볼츠만 상수이며 온도가 낮아짐에 따라 볼츠만 분포는 낮은 에너지 쪽에 집중된다.

열평형을 시뮬레이션하기 위한 방법으로 Metropolis^[5]는 Monte Carlo 방법을 제안하였다. 이 방법은 일련의 교란을 일으켜 새로운 상태를 만들고 에너지가 커진 경우도 $\exp(-\Delta E/kT)$ 의 확률로 채택하여 열평형 상태를 얻는 것이다. 이러한 Metropolis 알고리즘은 한 온도에서 열평형 상태, 즉 볼츠만 분포를 이루게 되며 여기에 온도 스케줄링을 첨가한 것이

SA라고 할 수 있다.

SA는 높은 초기온도를 설정하고 Metropolis 알고리즘을 적용하여 열평형 상태가 되도록 한 후, 온도를 조금 내려 다시 Metropolis 알고리즘을 적용한다. 이 과정은 충분히 낮은 온도가 될 때까지 반복한다. 전체적인 SA 알고리즘은 그림 1과 같다. SA는 현재 상태보다 나빠진 경우도 어느 정도 채택함으로써 전체적인 최소점을 찾을 수 있게한 것이다.

```

Algorithm.SA(j0, T0) {
    T = T0; /* initial temperature */
    X = j0; /* initial configuration */
    while ("stopping condition" is not satisfied) {
        while ("inner loop criterion" is not satisfied) {
            j = generate(X); /* new configuration */
            if (accept(C(j), C(X), T)) X = j;
        }
        T = update(T); /* decrement of temperature */
    }
}

accept(C(j), C(i), T) {
    ΔC = C(j) - C(i);
    y = min(1, exp(-ΔC/T));
    r = random(0, 1); /* random number between 0 and 1 */
    if (r < y) return(TRUE);
    else return(FALSE);
}
    
```

그림 1. 시뮬레이티드 어닐링 알고리즘
Fig. 1. Simulated Annealing Algorithm.

SA를 combinatorial 문제의 최적화에 적용시키기 위해서는

- i) 에너지에 해당하는 비용함수 (cost function)
- ii) 다음 상태의 생성 (generation)
- iii) 초기 온도 (initial temperature)
- iv) 한 온도에서 반복 횟수 (inner loop criterion)
- v) 온도 스케줄링 (temperature scheduling)
- vi) 끝맺음 조건 (stopping condition)

의 결정이 필요하며 특히 iii-vi을 cooling schedule'이라 한다.

III. 마크로 셀의 배치

마크로 셀은 규칙적인 형태를 가지고있지 않기 때문에 표준 셀과 게이트 어레이 경우처럼 배선영역을 예측하기가 쉽지 않다. 즉 마크로 셀의 배치에서는 net의 배선을 위한 충분한 배선영역을 확보하여야 하지만 실제 배선이 끝나기 전에는 어느 정도의 배선영역이 필요한지 평가하기 힘들다. 따라서 본 논문

에서는 각 마크로 셀은 사각형으로 가정하였으며, 그림 2에서 처럼 셀의 각 변에 위치한 핀(net가 연결될 자리)의 수에 비례하는 영역을 그 변에 더하여 각 셀을 확장하고 이 확장된 셀을 서로 최대한 밀집 되도록 배치하는 방법을 사용하였다.

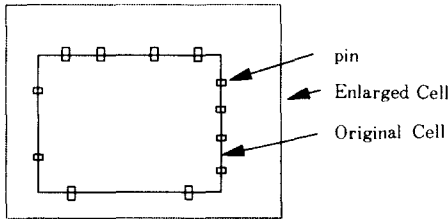


그림 2. 확장된 마크로 셀
Fig. 2. Enlarged macro cell.

전체적인 배치 과정은 그림 3 처럼 3단계로 이루어진다. 단계1에서는 입력 회로를 구성하는 각 셀을 최소한의 배선영역 만큼 확장한다. 단계2에서는 SA를 이용하여 실제 배치를 하는데, 배치의 결과를 평가하기 위하여 총배선길기와 셀 사이의 중첩을 계산한다. 한 net의 배선길이는 그 net에 연결된 핀을 모두 포함하는 최소 사각형의 4변 길이의 반(half-perimeter)으로 근사적으로 평가하며 이렇게 계산된 총배선길이가 작고 중첩이 없을수록 좋은 배치가 된 것

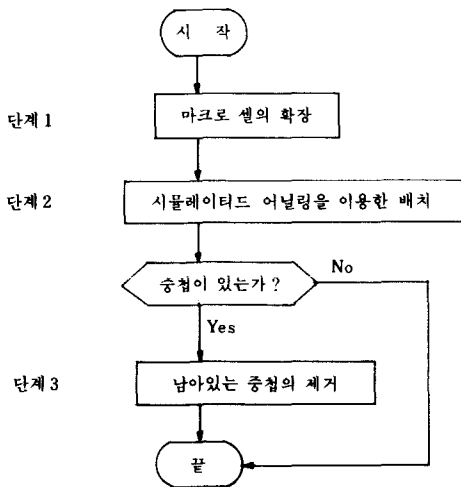


그림 3. 마크로 셀 배치의 전체 과정
Fig. 3. Overall procedure for macro cell placement.

으로 본다. 단계3에서는 SA과정이 끝난 후에도 중첩이 남아있는 경우 제안된 중첩 제거 알고리즘을 사용하여 이 중첩을 제거하여 최종 배치를 완성한다.

IV. 다음 배치의 생성(Generation)

현재의 배치 상태에서 다음의 배치의 생성은 한 셀의 이동이나 90도 회전에 의해서 얻어진다. 그러나 마크로 셀은 형태가 서로 다르므로 이러한 이동과 회전에 의해서 바뀔지 않는 셀 간의 중첩이 생길 수 있지만 penalty 함수를 적용함으로써 이러한 중첩은 점점 사라지도록 하여 온도가 내려갈수록 중첩은 제거된다. 이동과 회전은 4:1의 비율로 시도되며 한 온도에서 반복 수가 많기 때문에 한 셀은 한 온도에서 여러번의 회전할 기회가 주어진다. 다음 배치의 생성 과정은 다음과 같다.

- i) 임의의 셀, c의 선정
- ii) 0 과 1 사이의 random number, r을 생성
- iii) r 이 0.2 보다 크면 c의 이동을 시도하고 0.2 이하이면 c을 제자리에서 90도 회전 시킨다. 이동의 경우 이동할 좌표는 random number로 얻고 이동할 수 있는 범위는 range limiter⁶⁾에 의해 제한된다.

Range limiter는 각 온도에서 한 셀이 움직일 수 있는 범위로서 온도가 내려갈수록 이 범위는 점점 줄어들도록 함으로써 생성된 새로운 배치가 채택될 확률을 크게하여 총계산시간을 줄이기 위한 것이다. 온도가 내려갈수록 국부적 이동이 아니면 채택될 가능성이 점점 작아지기 때문에 필요 이상의 이동으로 계산시간이 낭비되는 것을 막기 위한 것이다. 따라서 낮은 온도에서는 적은 이동에 의해 중첩과 배선 길이를 줄이게 된다.

초기 온도에서 range limiter의 수평(수직) 길이는 chip의 수평(수직) 길이의 두배로 하여 셀이 chip의 어느 좌표로도 이동할 수 있게 하고 온도가 내려가면 온도의 logarithm에 비례하여 range limiter를 변화시킨다.

V. 비용 함수 (Cost Function)

마크로 셀의 배치의 최적화는 다음과 같은 3 가지 비용을 최소화하는 것으로 볼 수 있다.

1 중첩 비용 (Co)

셀의 이동과 회전에 의해서 생길 수 있는 셀 간의 중첩은 최종적인 배치에서 존재해선 안되므로 중첩 면적에 비례하는 penalty함수 Co이 필요하다.

$$C_o = 1/2 \sum_{i,j} O_{ij} \quad \text{for all } i, j \quad (2)$$

여기서 O_{ij} 는 그림 4와 같이 셀 i와 셀 j의 중첩 면적이다.

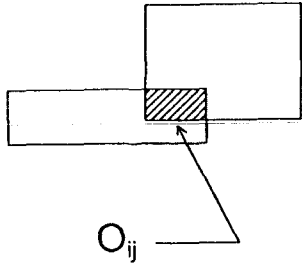


그림 4. 중첩 비용
Fig. 4. Overlap cost.

2. Half-perimeter 비용 (C_N)

한 net에 연결된 모든 셀은 가능하면 서로 가까운 거리에 있어야 하므로 이러한 셀들을 끌어당기는 비용이 필요하다. 각 net에 연결된 셀의 핀들을 둘러싸는 최소 사각형(MBB)의 크기를 최소화하는 것은 전체 net의 길이를 최소화하는 것으로 볼 수 있으므로 MBB의 둘레 길이의 반을 그 net의 길이로 간주하고 이를 최소화한다.

$$C_N = \sum_i xspan(i) + yspan(i) \quad (3)$$

여기서 $xspan(i)$ 은 net i의 MBB의 수평 길이, $yspan(i)$ 은 MBB의 수직 길이를 의미한다.

3. Wall 비용 (C_W)

주어진 chip의 면적 밖에 셀들이 배치되지 않도록 하기 위하여 그림 4와 같이 chip 밖으로 나간 셀의 면적을 최소화한다.

$$C_W = \sum_i \omega_i \quad (4)$$

여기서 ω_i 는 셀 i가 chip 밖으로 나간 부분이 있는 경우 나간 부분의 면적이다. 따라서 총비용함수 C_T 는 이 3가지 비용함수의 선형 합으로 정의된다.

$$C_T = \alpha \cdot C_o + \beta \cdot C_N + \gamma \cdot C_W \quad (5)$$

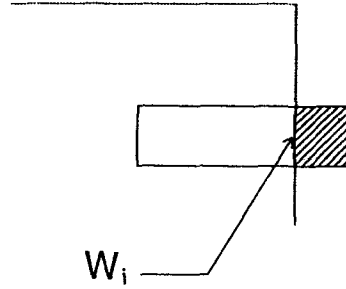


그림 5. Wall 비용
Fig. 5. Wall cost.

VI. Cooling Schedule

1. 초기 온도

초기 온도 T_0 는 생성된 모든 배치가 채택되는 높은 온도이어야 한다. Aragon⁸⁾은 몇번의 임의의 교환을 시도한 후 평균 비용 증가량을 계산하여 T_0 를 계산하였다.

$$T_0 = \frac{\Delta C^{+1}}{\ln(X_0^{-1})} \quad (6)$$

여기서 X_0 는 초기 온도에서의 채택 확률이다. 본 논문에서는 Aragon의 방법을 이용하였으며 $X_0=0.95$, 즉 초기 온도에서의 채택 확률은 95%로 하였다. 이 경우 $T_0=20 \cdot \Delta C^{+1}$ 가 된다.

2. 온도 스케줄링

열역학에서 평균에너지의 온도에 대한 미분을 specific heat라고 하며 다음과 같이 정의된다.

$$\frac{d\langle E(T) \rangle}{dT} = \frac{\sigma(T)^2}{T^2} \quad (7)$$

$$= \frac{\langle E(T)^2 \rangle - \langle E(T) \rangle^2}{T^2} \quad (8)$$

여기서 $\sigma(T)$ 는 온도 T에서 에너지 분포의 표준분산이다. 이 식을 변형하면

$$\frac{d\langle E(T) \rangle}{d(\ln T)} = \frac{\sigma(T)^2}{T} \quad (9)$$

이 되고 미분을 근사적으로 구하기 위해서

$$\frac{\Delta E}{\ln T_{new} - \ln T_{old}} = \frac{\sigma(T_{old})^2}{T_{old}} \quad (10)$$

으로 하면

$$T_{new} = T_{old} \cdot \exp\left(\frac{T_{old} \Delta E}{\sigma(T_{old})^2}\right) \quad (11)$$

으로 된다. 따라서 본 논문에서는 11식으로 다음 온도 T_{new} 를 계산하였으며 현재 온도에서의 평균 에너지(총비용)와 다음 온도에서의 평균 에너지(총비용)의 급격한 변화를 막기위해 $\Delta E = -0.7\sigma$ 로 하였다. 즉 현재 온도에서의 에너지(총비용)의 표준분산 보다 작은 에너지(총비용)의 변화가 다음 온도에서 일어나도록 하였다. 따라서 최종적인 온도 조절식은 다음과 같다.

$$T_{new} = T_{old} \cdot \exp\left(-\frac{0.7 T_{old}}{\sigma(T_{old})}\right) \quad (12)$$

3. 한 온도에서의 반복수 (Inner loop criterion)

한 온도에서 생성하여 하는 배치의 수를 구하기 위한 몇가지 이론적인 연구^{9,11)}가 있어왔지만 아직 정확한 조사는 되지않고 있기 때문에 본 논문에서는 비교적 간단한 방법을 사용하였다. 즉 미리 정한 N_{min} 만큼 채택될 때까지 다음 배치의 생성을 계속하는 것으로 N_{min} 은 마크로 셀의 수에상수, α ,를 곱하여 구한다.

$$N_{min} = \alpha \cdot N_{total} \quad (13)$$

여기서 N_{total} 은 마크로 셀의 수이며 α 는 경험적으로 정하도록 하였다. 온도가 내려갈수록 채택 확률은 떨어지므로 한 온도에서의 반복수는 최대 반복수를 정하여 그 이상이 되지않도록 하였다.

4. 끝맺음 조건

각 온도에서 평균 총비용이 3-4번 연속적으로 같으면 더이상의 개선은 기대할 수 없다고 할 수 있으므로 전체 SA 과정을 끝내게 된다. 그러나 똑같은 연속적인 평균 총비용은 사실상 일어나기 힘들므로 전 단계의 온도에서 구한 평균 총비용과 현재 온도에서 구한 평균 총비용의 차가 1%미만이면 서로 같은 것으로 간주한다.

Ⅷ. 중첩 제거 알고리즘

SA는 중첩 비용만을 최소화하는 것이 아니고 총비용 함수를 최소화하는 것이기 때문에 어닐링이 끝난 후에도 셀 간의 작은 중첩이 남아있을 수 있다. 따라서 이러한 미해결된 중첩을 제거해주면서 현재의 배치 상태를 거의 변화시키지 않으며 빠르고 효율적인 알고리즘이 필요하다.

그림6의 경우처럼 셀 i와 셀 j가 중첩되어 있는 경우 셀 j를 움직여 중첩을 없앤다고 하면 셀 i가 셀 j를 k vector 방향으로민다고 볼 수 있다. k vector는 중첩을 제거하기 위해 셀 j가 움직일 최소

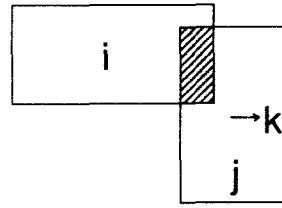


그림 6. 두 셀이 중첩된 경우
Fig. 6. A case in which two cells are overlapped.

거리 vector가 된다. 두 셀이 중첩이 된 경우 이러한 vector는 4 가지 방향이 가능하다. 그림7의 경우에는 셀 j가 움직여야할 거리는 t vector가 되고 그 크기는 셀 j를 미는 최대 vector가 된다. 그러나 그림8의 경우 셀 A가 움직이는 경우 셀 B는 아래쪽으로 밀고 셀 C는 위로 밀므로 셀 B는 제자리에 있어야한다. 왜냐하면 셀 A가 위나 아래쪽으로 움직이는 경우 결과적으로 어느 한쪽의 중첩이 커지기 때문이다. 따라서 다음과 같은 과정으로 중첩을 제거할 수 있다.

- i) 임의의 셀 A를 지정한다.
- ii) 셀 A와 중첩을 가진 모든 셀과의 중첩 제거 vector를 구한다.
- iii) 중첩 제거 vector 중에서 각 방향에 대하여 최대 크기를 갖는 vector를 찾는다.
- iv) 위에서 구한 4 개의 vector의 합 vector만큼 셀 A를 이동시킨다.
- v) 모든 중첩이 제거될 때까지 i-iv 과정을 되풀이 한다.

이 알고리즘은 배치된 영역의 빈 곳을 이용하여 중첩을 제거하고, 이것이 불가능한 경우 가장 외곽의 셀을 움직여 중첩이 해결되게 한다.

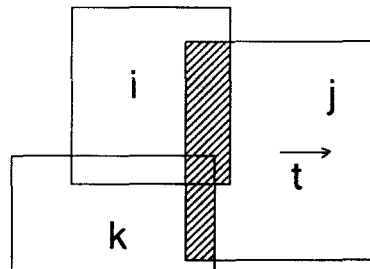


그림 7. 여러 셀이 중첩된 경우
Fig. 7. A case in which several cells are overlapped.

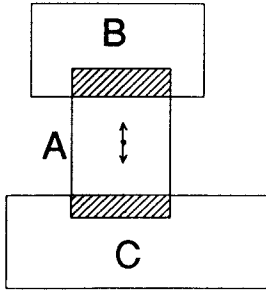


그림 8. 중첩이 줄지않는 이동
Fig. 8. Moving of a cell which does not reduce overlaps.

Ⅷ. 결과 및 결론

SA를 사용한 배치를 C언어를 사용하여 구현하였으며 50개의 마크로셀로 이루어진 IN_50 회로와 160개 셀로 이루어진 IN_160 회로에 대한 배치를 하고 몇가지 중요한 파라미터에 대한 조사를 하였다.

그림 9는 식(13)에서의 α 에 대한 조사로써 α 가 커질수록 전체 배선 길이와 중첩은 줄어들지만 α 가 10 이상이 되면 개선은 무시할 정도임을 나타낸다.

총비용함수식 (5)에서 각 비용의 상대적 비율이 최종 결과에 미치는 영향에 대하여 알아보는것, 즉 상수 α, β, γ 에 대한 상대적인 비율이 최종 결과에 미치는 영향에 대한 조사는 중요하다. γ 는 α, β 보다 큰 수로 주어지면 최종 결과에 거의 영향을 주지않으므로 α 는 1로하고 β 를 변화시킬 때 결과의 변화를 그림10에 나타내었다. 그림10은 β 가 커질수록 배선 길이는 줄어들지만 중첩은 증가한다는 것을 보여주고 있으며 β 가 0.5일 때 비교적 좋은 결과를 얻을 수

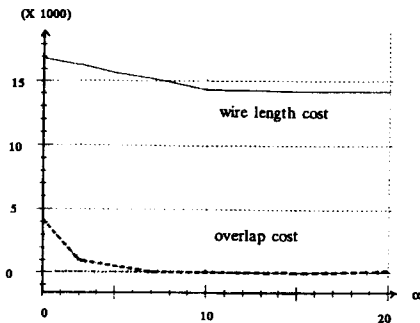


그림 9. α 에 대한 조사
Fig. 9. An investigation on α .

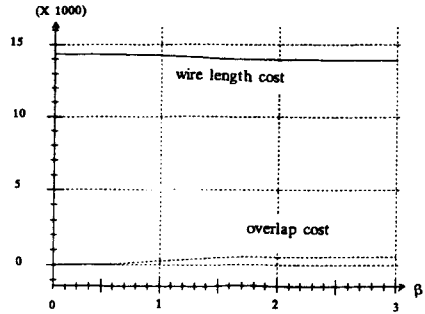


그림10. β 의 변화에 따른 결과의 변화
Fig. 10. Change of final result according to the change of β .

있다는 사실을 나타낸다. 그림11은 각 회로의 어닐링 과정중의 비용함수의 변화와 채택 비율과 각 온도에서의 총비용의 표준분산을 보여준다. 그림12는 각 회

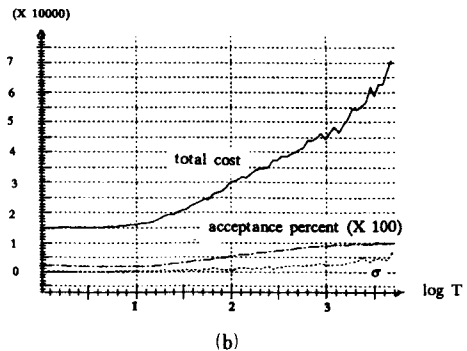
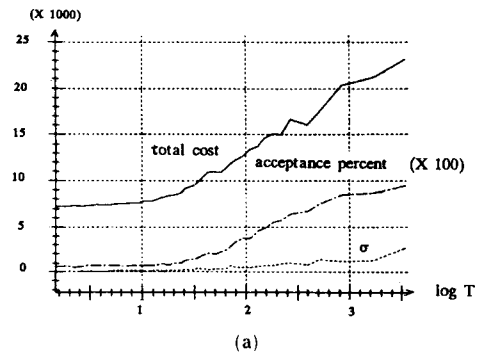


그림11. (a) IN_50에 대한 온도에 따른 비용과 채택 확률의 변화
(b) IN_160의 경우

Fig. 11. (a) Change of the cost and the acceptance percent for IN_50 according to temperature.
(b) for IN_160.

로의 최종 배치된 모습으로 (a)는 IN-50의 배치 형태이며 (b)는 IN-160의 배치를 나타내고 있다.

중첩 제거 알고리즘의 효율성을 알아보기 위해 SA 과정의 중간 결과(그림13(a))로 실험을 하였더니 그림13(b)와 같은 결과를 MV 10000/UNIX에서 3 초의 계산 시간으로 얻을 수 있었다.

본 논문에서는 SA를 이용하여 마크로 셀의 배치를 하기위한 비용함수와 cooling schedule을 제시하고 SA의 결과에 존재할 수 있는 중첩을 효과적으로 제거하는 알고리즘을 제안하였다. 마크로 셀의 배치는

3 단계로 이루어지는데 첫번째 단계에서는 각 셀을 확대하여 최소 배선영역을 확보하고 두번째 단계에서는 이 확대된 셀을 SA를 이용하여 최대한 밀접히 배치하며 세번째 단계에서는 SA의 결과에 남아있는 중첩을 완전히 제거하여 최종 배치 결과를 얻는다. 또한 이 방법들을 프로그램 하여 몇개의 회로에 대하여 실험한 결과 상당히 좋은 배치를 얻을 수 있었으며 최종 결과에 영향을 주는 파라미터에 대한 조사를 하여 실제 설계하는데 사용할 수 있도록 하였다.

參 考 文 獻

- [1] Breuer, M.A., "A class of Min-cut placement algorithms," *Proc. 14th DAC*, pp. 284-290, 1977.
- [2] N.R. Quinn, "The placement problem as viewed from the physics of classical mechanics," *12th DAC*, pp. 173-178, 1975.
- [3] S. Kirkpatrick, C.D. Gelatt, Jr., M.P. Vecchi, "Optimization by simulated annealing," *Science*, vol. 220, 1983.
- [4] V. Cerny, "Thermodynamic approach to the traveling salesman problem," *Journal of optimization theory and applications*, vol. 45, no. 1, 1985.
- [5] Metropolis, N.A. Rosenbluth, M. Rosenbluth, A. Teller and E. Teller, "Equation of state calculations by fast computer machines," *J. of Chem. Physics*, 21, 1953.
- [6] C. Sechen and A. Sangiovanni-Vincentelli, "The Timber Wolf placement and routing package," *IEEE Journal of solid state circuits*, vol. sc-20, no. 2, 1985.
- [7] T. Ohtsuki, "Layout design and verification," North-Holland, pp. 68-69, 1986.
- [8] Argon C.R., D.S. Johnson, "Optimization by simulated annealing: an experimental evaluation," *Workshop on statistical physics in engineering and biology*, April, 1984.
- [9] E.H.L Aarts and P.J.M. van Laarhoven, "A new polynomial time cooling schedule," *ICCAD*, 1985.
- [10] M.D. Huang, F. Romeo and A. Sangiovanni-Vincentelli, "An efficient general cooling schedule for simulated annealing," *ICCAD*, 1986. *

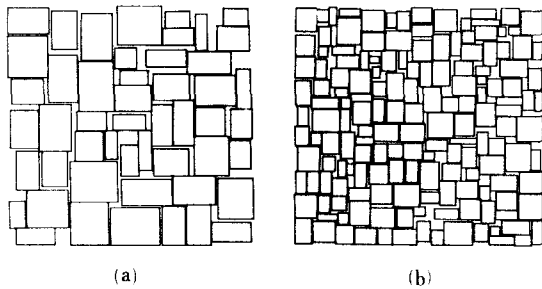


그림12. (a) IN_50의 최종 배치된 형태
 (b) IN_160의 최종 배치된 형태
Fig. 12. (a) Final placement pattern of IN_50.
 (b) Final placement pattern of IN_160.

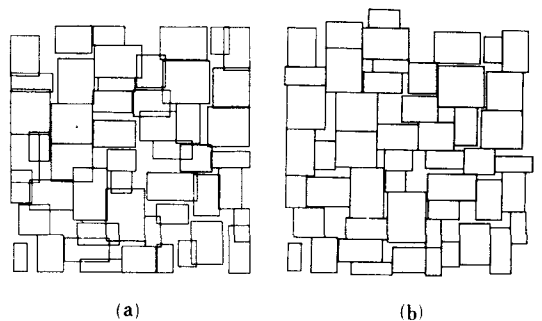
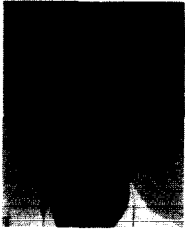


그림13. 중첩 제거 알고리즘의 결과
 (a) 중첩 제거 알고리즘 적용 전
 (b) 중첩 제거 알고리즘 적용 후
Fig. 13. A result of the algorithm eliminating overlaps.
 (a) before application of the algorithm.
 (b) after application of the algorithm.

 著 者 紹 介



朴 仁 哲 (正會員)

1964年 3月 10日生. 1986年 2月
 서울대학교 전자공학과 공학사학
 위 취득. 1988年 2月 한국과학기술
 원 전기 및 전자공학과 석사학
 위 취득. 1988年 3月~현재 한국
 과학기술원 전기 및 전자공학과 박
 사과정. 주관심분야는 CAD, Computer architecture
 computer graphics hardware 등임.

慶 宗 旻 (正會員) 第25卷 第10號 參照

현재 한국과학기술원 전기 및
 전자공학과 부교수